

FPGA – porównanie układów i zestawów startowych

Główną ideą stojącą za układami FPGA jest opracowanie uniwersalnej logiki, czyli takiej, którą możemy zaprojektować na komputerze, a następnie za pomocą narzędzi typu „software defined hardware” uzyskać sprzęt odzwierciedlający naszą koncepcję. Realizacja tego abstrakcyjnego konceptu przybrała różne formy u różnych producentów, dlatego porównanie możliwości układów FPGA nie jest łatwe.

Układy FPGA można scharakteryzować na podstawie ich budowy, wydzielając cztery główne elementy:

- sposób realizacji logiki,
- dostępne bloki pamięci,
- sprzętowe bloki DSP,
- tzw. Hardware IP realizujący specyficzne funkcje (transceivery, kontrolery pamięci, interfejsy PCIe, Ethernet PHY, itd.).

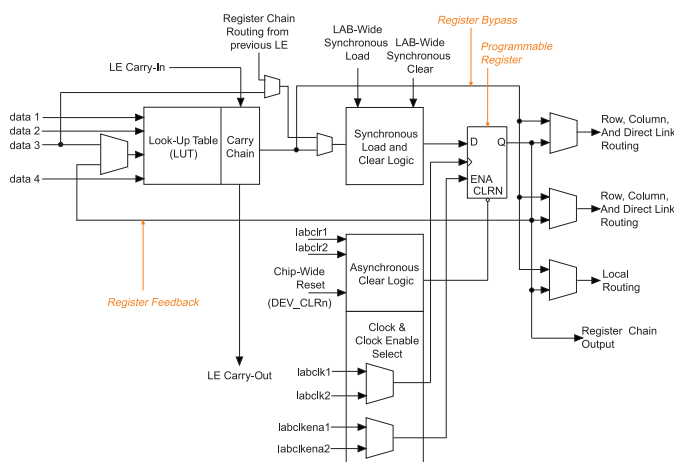
Zaprezentujemy, w jaki sposób różni producenci odnoszą się do tych czterech punktów. Zamieszczone fragmenty dokumentacji pokażą, w jaki sposób realizowane są te podstawowe bloki. Na podstawie pokazanych przykładów Czytelnik zrozumie, jak można porównywać układy FPGA.

Zaprezentujemy sześciu różnych producentów, wśród których można wyznaczyć dwóch wiodących – Intel i Xilinx, dwóch ścigających czołówkę – Lattice i Microchip oraz dwóch nowych – Anlogic i Gowin.

Na zakończenie zaprezentujemy listę dostępnych zestawów startowych, które pozwolą na szybkie rozpoczęcie pracy z opisanymi układami.

Intel (kiedyś Altera)

Układy FPGA firmy Intel (dawniej Altera) są podzielone na pięć grup różniących się między sobą budową wewnętrzną. Ich porównanie znajduje się w tabeli 1.



Rysunek 1. Podstawowa komórka układów MAX 10 – LE (Logic Element)

Tabela 1. Porównanie układów FPGA firmy Intel

Rodzina	LE/ALM [tys.]	Block RAM	DSP	Transceiver Gbps	PCIe
Max10	2...50 LE	12...189 9 kb	16...144	N/A	N/A
Cyclone IV	14...150 LE	30...720 9 kb	0...360	3,125 (wersje GX)	×4 Gen 1 (wersje GX)
Cyclone V	9,4...113,6 ALM	176...1220 10 kb	25...684	6,144 (wersje T)	×4 Gen 2
Cyclone 10LP	6...119 LE	30...423 9 kb	15...288	N/A	N/A
Cyclone 10GX	31...80,3 ALM	291...587 20 kB	168...384	12,5	×4 Gen 2
Arria V	28...190 LE	800...2414 M10K 585...1700 (GZ...M20K)	240...1156	12,5	×8 Gen 2, Gen 3
Arria 10	160...1150 LE	440...2713 M20K	156...1518	25,78	×8 Gen 3
Stratix V	236...952 ALM	688...2660 M20K	600...3926	14,1	×8 Gen 3
Stratix 10	128...3466 ALM	1537...12950 M20K	648...5760	56	×16 Gen 4
Agilex	531...3651 ALM	1900...13272 M20K	1150...8528	116	×16 Gen 4

MAX 10

Podstawowym elementem układów MAX 10 jest *Logic Element (LE)*. Budowa tego bloku została pokazana na **rysunku 1**, składa się z 4-wejściowej tablicy *LUT* i pojedynczego rejestru [1]. Szesnaście *LE* tworzy pojedynczy blok *LAB (Logic Array Blocks)*.

Przerzutniki z bloku *LAB* mogą służyć jako niewielkie pamięci RAM. Jednak gdy potrzebna jest większa ilość pamięci, to używane są specjalne bloki *M9K* o pojemności 9 kb. W układzie znajdują się także bloki *DSP* pozwalające na realizowanie pojedynczego mnożenia dwóch liczb stałoprzecinkowych o długości 18×18 bitów. Można go też skonfigurować jako dwa niezależne bloki mnożenia liczb 9×9 bitów. Jego uproszczony schemat został pokazany na **rysunku 2**.

Układy tej rodziny są także wyposażone w nieulotną pamięć Flash, która może być użyta do przechowywania zarówno konfiguracji układu, jak i danych użytkownika. Niektóre modele układów mają

także kontroler pamięci *DDR3*, przetwornik analogowo-cyfrowy oraz interfejs *LVDS*.

Cyclone

Cyclone IV

Podstawowe elementy składowe takie jak *LE*, pamięć czy bloki *DSP* są podobne jak dla rodziny MAX 10. W wersjach oznaczonych jako *GX* dodatkowo dostępne są transceivery o prędkości 3 Gbps oraz wsparcie dla *PCIe* [2].

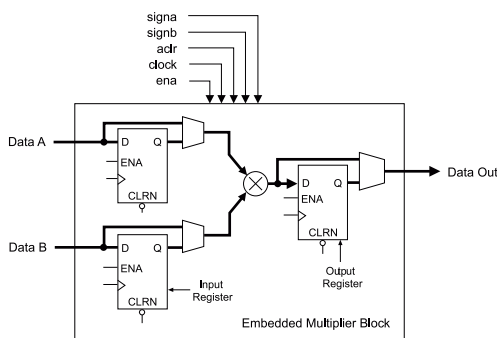
Cyclone V

Podstawowym elementem logiki jest blok nazwany *Adaptive Logic Module (ALM)* [3]. Jego uproszczony schemat został pokazany na **rysunku 3**. Składa się on z dwóch 6-wejściowych tablic *LUT*, dwóch jednobitowych bloków dodawania oraz czterech przerzutników. Jego dokładną budowę wewnętrzną i dostępne konfiguracje można znaleźć w [4].

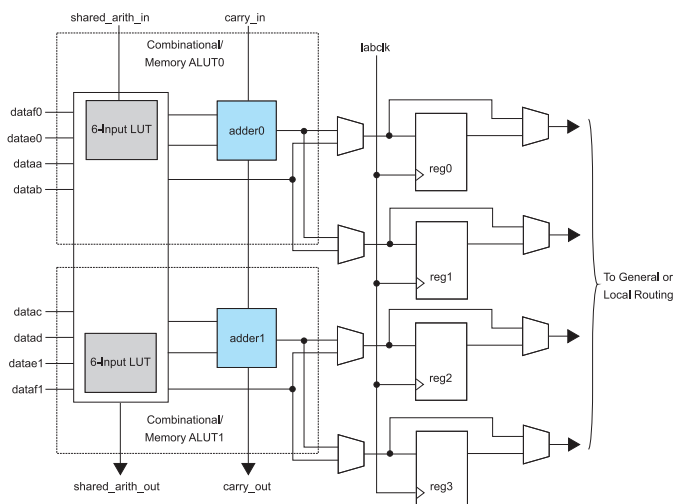
Pamięć RAM jest dostępna w blokach po 10 kb oznaczanych jako *M10K*. Blok *DSP* pozwala na wykonanie jednego mnożenia liczb stałoprzecinkowych o długości 27×27 bitów, dwóch mnożeń 18×19, albo trzech 9×9. Na wyjściu znajduje się akumulator o długości 64 bitów. Dzięki dodatkowym blokom dodawania/odejmowania za pomocą dwóch modułów można zrealizować mnożenie dwóch liczb zespolonych. Jego uproszczony schemat został pokazany na **rysunku 4**.

Układy z rodziny Cyclone V dostępne są w różnych wersjach oznaczonych kombinacją liter [5]:

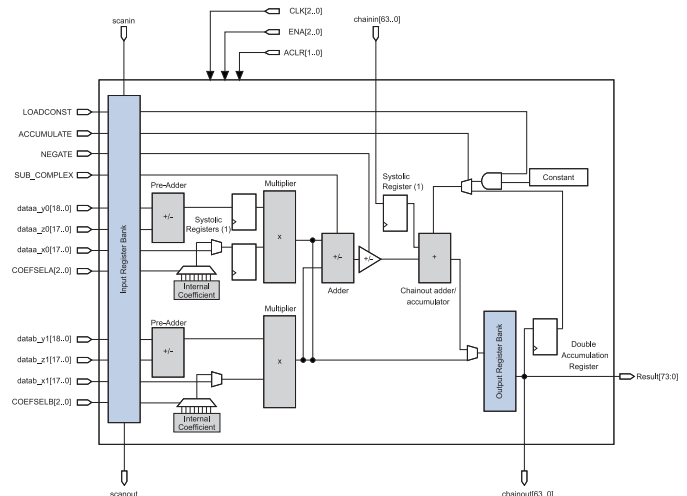
- E – wersja podstawowa,
- X – wyposażony w transceiver 3,125 Gbps,



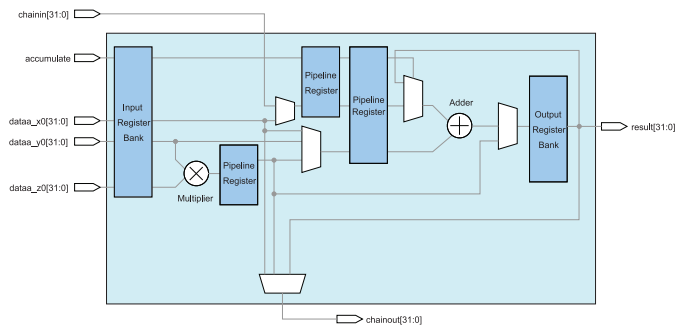
Rysunek 2. Mnożarka w układzie MAX 10



Rysunek 3. Budowa wewnętrzna bloku ALM



Rysunek 4. Budowa bloku DSP w układach Cyclone V



Rysunek 5. Blok DSP układu Cyclone 10 GX w trybie zmiennoprzecinkowym

- T – wyposażony w transceiver 6,144 Gbps,
- S – wyposażony w rdzeń ARM Cortex-A9.

Cyclone 10 LP

Układy podobne do Cyclone IV, wyposażone w elementy *LE*, bloki pamięci *M9K* oraz moduły *DSP*.

Cyclone 10 GX

Architektura bloków *ALM* jest podobna do tej z Cyclone V. Pamięć RAM jest dostępna w blokach po 20 kb – *M20K*. Bloki *DSP* wspierają zarówno arytmetykę stało- jak i zmiennoprzecinkową. Pojedynczy blok może zrealizować jedno mnożenie 27×27 bitów albo dwa mnożenia 18×19 bitów. Poza mnożeniem dodane jest także wsparcie dla dodawania, akumulacji oraz zaokrąglenia. Pojedynczy blok może wykonać dodawanie i mnożenie na liczbie zmiennoprzecinkowej pojedynczej precyzji. Uproszczony schemat pracy w tym trybie pokazuje rysunek 5.

Główną różnicą, w stosunku do wcześniejszych wersji układów, są transceivery o prędkości 12,5 Gbps oraz wsparcie dla *PCIe* i *Ethernet* 10 Gbps [6].

Arria

Arria V

Bloki *ALM* oraz *DSP* są takie same jak w układzie Cyclone V [7]. Pamięć RAM, w zależności od wersji, występuje w rozmiarach po 10 kb albo 20 kb. Różne wersje są opisane kodem literowym. Pierwsza litera wersji oznacza:

- G – bez rdzenia ARM,
- S – z rdzeniem ARM Cortex-A9.

Natomiast druga litera:

- X – zawiera transceivery 6,5 Gbps,
- T – zawiera transceivery 10,31 Gbps,
- Z – zawiera transceivery 12,5 Gbps.

Arria 10

Budowa bloku *ALM* jest analogiczna do wcześniejszych wersji [8]. Pamięć RAM jest dostępna w blokach po 20 kb. Blok *DSP* ma podobne funkcję jak w Cyclone 10 GX. Dostępne są trzy wersje układów oznaczone literami:

- GX – zawiera transceivery 17,4 Gbps,
- GT – zawiera transceivery 25,78 Gbps,
- SX – z dwurdzeniowym procesorem ARM Cortex-A9.

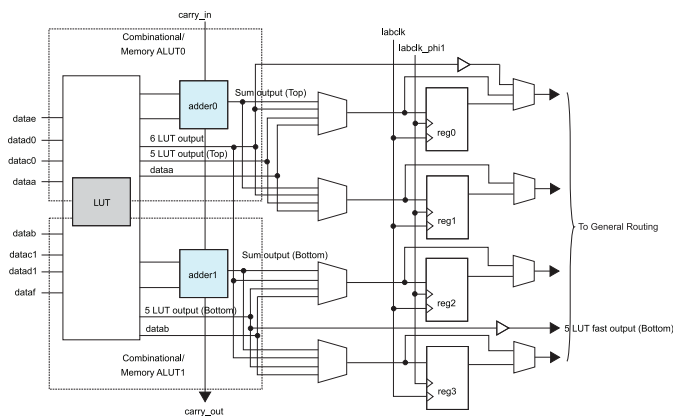
Stratix

Stratix V

Budowa wewnętrzna jest podobna do układów z rodziny Arria V. Główną różnicą jest więcej zasobów oraz dostępność innych peryferiów, takich jak szybsze transceivery [9].

Stratix 10

Budowa bloku *ALM* jest analogiczna do wcześniejszych układów. Nowością są dodatkowe rejestry – *hyper-registers*, w strukturze



Rysunek 6. Blok ALM w układzie Agilex

połączeniowej między blokami pozwalające na uzyskanie wyższej częstotliwości taktowania [10]. Dostępne są różne wersje:

- GX – zawiera transceivery 28,3 Gbps,
- SX – zawiera transceivery 28,3 Gbps, czterordzeniowy ARM Cortex-A53 (także w niektórych układach T i M),
- TX – zawiera transceivery 56 Gbps,
- MX – zawiera zintegrowaną pamięć *DRAM*,
- DX – zawiera *PCIe gen4* oraz wsparcie dla magistrali *UPI*,
- NX – zawiera blok akceleracji sztucznej inteligencji (*AI tensor block*).

Agilex

Zmianie uległa budowa bloku *ALM*. Jego nowa wersja została pokazana na rysunku 6 [11]. Blok *DSP* wspiera mnożenie liczb stało- i zmiennoprzecinkowych. Pozostałe wyposażenie to między innymi wsparcie dla *Ethernet* 400 Gb, kontroler pamięci *DDR5* oraz interfejs *PCIe gen4*.

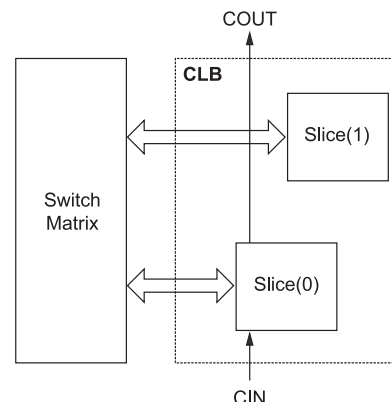
Xilinx (wkrótce AMD)

Kolejnym dużym producentem układów FPGA jest firma Xilinx. Została ona wykupiona przez firmę AMD, proces przejmowania powinien zakończyć się w 2021 roku [12]. Dostępne układy można podzielić na kategorię 6, kategorię 7 oraz UltraScale.

Spartan 6

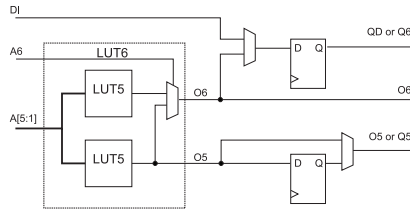
Podstawową komórką tego układu jest *Configurable Logic Block (CLB)* [13]. Jak widzimy na rysunku 7, składa się on z dwóch bloków *Slice* [14], jednak tylko *Slice(0)* jest podłączony do linii szybkiego przeniesienia (oznaczonej *CIN/COUT*). W układzie występują trzy typy bloków: *SLICEX*, *SLICEL*, *SLICEM*.

- Blok *SLICEX* – zawiera 4 tablice *LUT*, które mogą pracować jako 6-wejściowa funkcja logiczna lub 5-wejściowa funkcja logiczna z dwubitowym wyjściem. Do każdej tablicy dołączone są dwa przerzutniki. Ten typ stanowi 50% wszystkich *slic*ów występujących w układzie. Jego fragment został pokazany na rysunku 8.
- Blok *SLICEL* – zawiera dodatkowo dołączone szybkie przeniesienie. Stanowią one 25% układu.
- Blok *SLICEM* – zawiera wszystkie



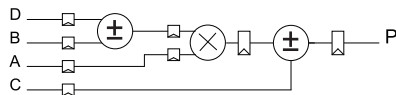
Rysunek 7. Podział bloku CLB na dwa bloki Slice w strukturze układu Spartan 6

funkcje bloku *SLICE*, a dodatkowo może być skonfigurowany jako 64-bitowa pamięć RAM albo 32-bitowy rejestr przesuwany.

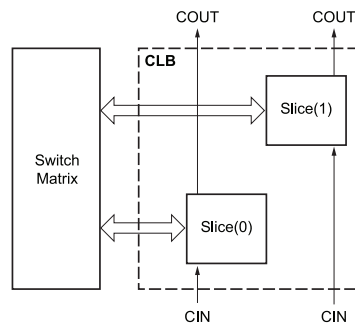


Rysunek 8. Fragment (1/4) bloku *SLICEX*

Wielkość układu w dokumentacji jest charakteryzowana za pomocą wartości *logic cells*, która jest liczbą dostępnych tablic *LUT* pomnożonych przez 1,6 (aby porównywać z 4-wejściowymi tablicami ze starszych wersji). Blokowa pamięć RAM dostępna jest w formie 2-portowych modułów o pojemności 18 kb. Układy Spartan 6 są także wyposażone w blok *DSP48A1* [15]. Jego wewnętrzną budowę prezentuje rysunek 9. Pozwala on na mnożenie dwóch liczb stałoprzecinkowych o długości 18 bitów. Na wyjściu znajduje się 48-bitowy akumulator.



Rysunek 9. Blok *DSP48A1* układu Spartan 6



Rysunek 10. Blok *CLB* w układach Xilinx serii 7

Pozostałe peryferia obejmują między innymi kontrolery pamięci *DDR*, *DDR2*, *DDR3*, *LPDDR*. Układy oznaczone jako *LXT* są ponadto wyposażone w transceiver o prędkości 3,2 Gbps oraz wsparcie dla *PCIe 1.1*.

Jest to ostatnia rodzina układów firmy Xilinx, która bazuje na środowisku programistycznym ISE Design Suite. Pozostałe korzystają z nowego środowiska Vivado.

FPGA serii 7

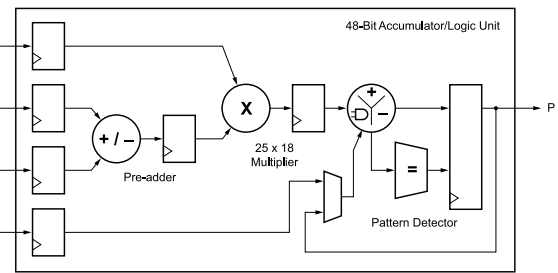
Podobnie jak w układach Spartan 6 logika dzieli się na *CLB* składające się z dwóch bloków *Slice*. Główną różnicą jest wycofanie najmniejszych *SLICEX*. Dodano także więcej zasobów połączeniowych pomiędzy *CLB*, co zostało pokazane na rysunku 10. Tak jak w przypadku układów Spartan 6 podawana liczba *Logic Cells* odpowiada liczbie tablic *LUT* pomnożonej przez 1,6 [17]. Blokowa pamięć RAM jest dostępna jako moduły o pojemności 36 kb z wbudowaną logiką pozwalającą na używanie ich jako kolejek FIFO.

W układach serii 7 zastosowany jest nowszy blok *DSP* oznaczony jako *DSP48E1*. Pozwala on na mnożenie liczby 18-bitowej przez liczbę 25-bitową. Za mnożarką znajduje się 48-bitowy akumulator, a przed nią dodatkowy blok pozwalający wykonać dodawanie (rysunek 11).

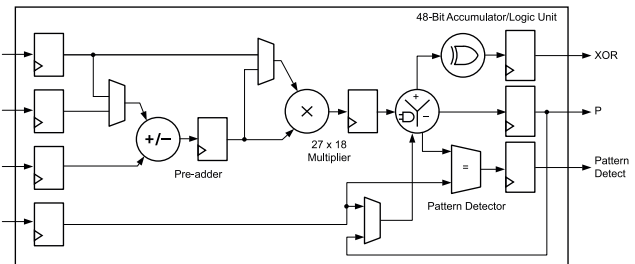
Układy z tej rodziny są także wyposażone w kontrolery pamięci *DDR3*, przetworniki analogowo-cyfrowe, transceivery czy wsparcie dla protokołów komunikacyjnych.

Podzielone są na cztery rodziny. W kolejności od układów najsłabszych do najmocniejszych są to:

- Spartan-7,
- Artix-7,
- Kintex-7,



Rysunek 11. Blok *DSP48E1* w układach Xilinx serii 7



Rysunek 12. Blok *DSP48E2* w układach UltraScale

- Virtex-7.

Różnią się między sobą głównie dostępnymi zasobami oraz dostępnością szybkich interfejsów. Porównanie parametrów znajduje się w tabeli 2.

Dostępna jest także seria układów Zynq-7000 SoC, w których strukturze zintegrowane są: procesor ARM Cortex-A9 (jeden albo dwa rdzenie) oraz logika programowalna Artix-7 lub Kintex-7. Komunikują się one za pomocą interfejsu *AMBA* [19].

UltraScale/UltraScale+

W układach UltraScale podobnie jak dla rodziny 7 logika jest podzielona na bloki *CLB* [20]. Tym razem każdy z nich składa się z tylko jednego bloku *Slice* zawierającego 8 tablic *LUT*. Oznacza to, że zasoby przypadające na blok *CLB* są porównywalne jak dla układów poprzednich rodzin, ale liczba *slice'ów* będzie o połowę mniejsza [21]. Pamięć RAM także jest dostępna w blokach po 36 kb, jednak możliwości ich konfiguracji są bardziej rozbudowane. Został wprowadzony także nowy typ nazwany *UltraRAM*. Jest to pamięć dwuportowa, ale taktowana tylko jednym zegarem. Rozmiar pojedynczego bloku wynosi 288 kb [22]. Niektóre układy z rodziny Virtex UltraScale+ mają wbudowaną pamięć *HBM DRAM (High Bandwidth Memory DRAM)* o rozmiarze od 4 do 16 GB. Wprowadzony został także nowy typ bloku *DSP – DSP48E2 (rysunek 12)*. Jego głównym elementem jest mnożarka 27×18 bitów [23].

Układy z tej serii występują w sześciu odmianach:

- Kintex UltraScale FPGA,
- Kintex UltraScale+ FPGA,
- Virtex UltraScale FPGA,
- Virtex UltraScale+ FPGA,
- Zynq UltraScale+ MPSoC,
- Zynq UltraScale+ RFSoC.

Różnią się one dostępnymi zasobami oraz występowaniem wyspecjalizowanych peryferiów. Znajdziemy tu między innymi wsparcie dla *PCIe* generacji 3 i 4, Ethernet 100 Gb/s czy przetworniki ADC i DAC pracujące na częstotliwościach radiowych. Rodzina Zynq zawiera

Tabela 2. Porównanie układów FPGA Xilinx serii 7

Rodzina	CLB [tys.]	36 kb Block RAM	DSP	ADC	Transceiver Gbps	PCIe
Spartan-7	0,5...8	5...120	10...160	0..1	0	N/A
Artix-7	1...16	20...365	40...740	1	6,6	×4 Gen 2
Kintex-7	5...37,3	135...955	240...1920	1	12,5	×8 Gen 2
Virtex-7	45,5...89	795...1880	1260...3360	1	28,05	×8 Gen 3

Tabela 3. Porównanie układów z serii UltraScale/UltraScale+

Rodzina	CLB [tys.]	36 kb Block RAM	Ultra Ram block	HBM DRAM (GB)	DSP [tys.]	Ethernet 100 Gbps	Transceiver Gbps	PCIe
Kintex UltraScale	18...83	360...2160	0	-	0,8...5,5	0...2	16,3	×8 Gen 3
Kintex UltraScale+	20...105	360...1728	0...288	-	1,4...3,5	0...4	32,75	×16 Gen 3 ×8 Gen 4
Virtex UltraScale	45...317	1260...3780	0	-	0,6...2,8	3...9	30,5	×8 Gen 3
Virtex UltraScale+	49...511	720...2688	320...1280	4...16	1,3...12,3	3...15	58,0	×16 Gen 3 ×8 Gen 4
Zynq UltraScale+ MPSoC	6...65	128...984	0...128	-	0,2...3,5	0...2	32,75	×16 Gen 3
Zynq UltraScale+ RFSoc	28...53	648...1080	48...160	-	1,8...4,2	0...2	32,75	×16 Gen 3 ×8 Gen 4

zintegrowane rdzenie ARM Cortex-A53 oraz Cortex-R5F. Niektóre z nich są także wyposażone w kartę graficzną z rodziny *Mali*. Porównanie parametrów zostało pokazane w tabeli 3.

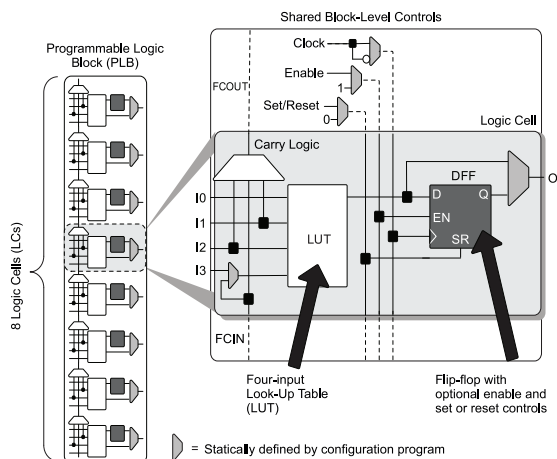
Lattice iCE40

W układach tego typu podstawową jednostką logiki jest *Programmable Logic Blocks (PLB)*. Jego budowa została pokazana na rysunku 13. Składa się on z ośmiu bloków *Logic Cells (LC)* oraz logiki przeniesienia. Poszczególne *LC* składają się z 4-wejściowej tablicy *LUT* oraz przerzutnika [24]. Blokowa pamięć RAM dostępna jest w dwóch typach bloków: *Embedded Block RAM (EBR)* o rozmiarze 4 kb i *Single Port RAM (SPRAM)* o rozmiarze 256 kb [25]. Dostępny jest też blok DSP nazwany *sysDSP*. Składa się on z mnożarki 16×16 bitów (mogącej pracować jako dwie niezależne mnożarki 8×8) i 32-bitowego akumulatora [26]. Jego budowa została pokazana na rysunku 14.

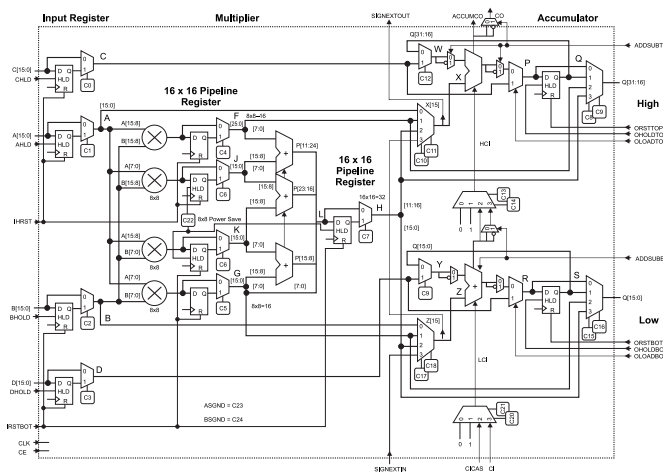
ECP2

Logika programowalna w tych układach podzielona jest na bloki *Programmable Function Units (PFU)*. Jak widać na rysunku 15, każdy z nich dzieli się na 4 *Slice*y. Każdy z nich zawiera po dwie 4-wejściowe *LUT*, jednak tylko trzy pierwsze wyposażone są w przerzutniki (po 2 sztuki) i logikę przeniesienia. Pamięć występuje w blokach *EBR* o rozmiarze 18 kb. Pojedynczy blok DSP (*sysDSP*) wspiera mnożenia do 36×36 bitów. Może być także skonfigurowany do wykonania czterech mnożeń 9×9 albo dwóch 16×16. Dla rozmiarów 8 i 16 może zostać skonfigurowany akumulator pozwalający wykonywać operacje MAC. Prace w tym trybie prezentuje rysunek 16.

Układy tej rodziny mogą być wyposażone w blok wspierający obsługę zewnętrznej pamięci DDR. Układy serii M mają także moduł *SERDES* zapewniający prędkość transmisji do 3,125 Gbps. Może służyć do obsługi interfejsu *PCIe* [27].



Rysunek 13. Budowa komórki Programmable Logic Blocks w układzie iCE40



Rysunek 14. Moduł sysDSP układu iCE40

XP2

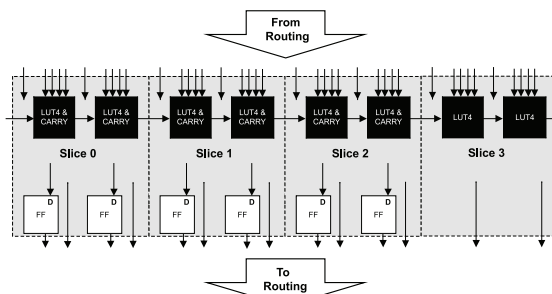
Dostępne bloki logiki *PFU* oraz DSP (*sysDSP*) są podobne do tych dostępnych w układach ECP2. Także bloki pamięci *EBR* są analogiczne, jednak tym razem każdemu z nich odpowiada blok nieulotnej pamięci Flash (*FlashBAK*). Układy tej rodziny mają wbudowaną nieulotną pamięć Flash mogącą przechowywać konfigurację [28].

ECP3

Budowa bloków *PFU* oraz *EBR* jest taka sama jak w układach z rodziny ECP2. Zmianie uległa architektura bloków DSP (rysunek 17). W tej rodzinie nosi on nazwę *sysDSP Slice*. Pojedynczy blok może wspierać pojedyncze mnożenie 18×36, dwa mnożenia 18×18 albo cztery 9×9. Połączenie dwóch modułów pozwala na realizację mnożenia 36×36. Operacja MAC może być realizowana z mnożeniem 18×36 i długością akumulatora równą 54 bitów [29].

ECP5/ECP5-5G

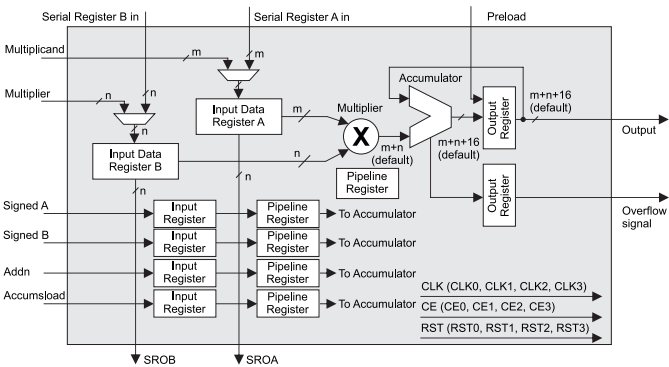
W układach tej rodziny zmianie uległa budowa bloku *PFU* i wygląda jak na rysunku 18. Tym razem wszystkie 4 *slice*y są wyposażone



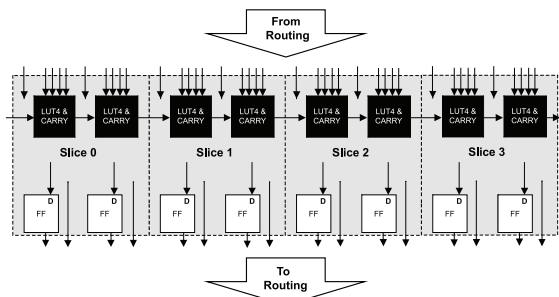
Rysunek 15. Blok Programmable Function Units (PFU) układu Lattice ECP2

Tabela 4. Porównanie możliwości układów FPGA firmy Lattice

Rodzina	LUT [tys.]	EBR	SPRAM	LRAM	DSP	Wbudowana pamięć Flash	Transceiver Gbps	PCIe
iCE40	0,6...7,7	14...32	0...4	-	0...8	nie	-	-
ECP2	6...95	3...288	-	-	3...42	nie	3,125	×4 Gen 1
XP2	5...40	9...48	-	-	3...8	tak	-	-
ECP3	17...149	38...372	-	-	12...160	nie	3,125	×4 Gen 1
ECP5	12...84	32...208	-	-	12...160	nie	3,125/5 (wersje 5G)	×4 Gen1 ×2 Gen 2 (wersje 5G)
Certus-NX	14...32	24...84	-	2...5	6...14	nie	5	×1 Gen 2

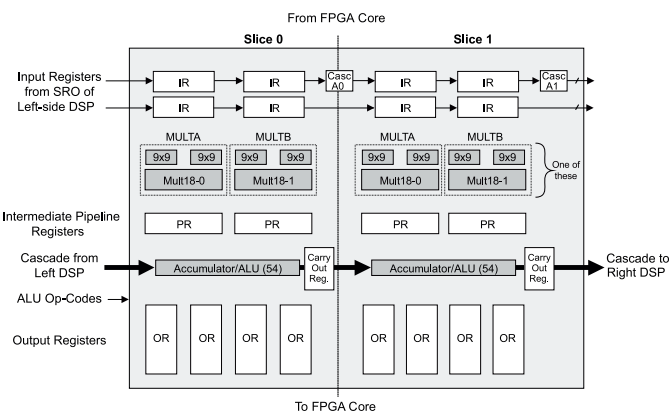


Rysunek 16. Blok sysDSP układu ECP5



Rysunek 18. Blok PFU w układach ECP5

Rysunek 16. Blok sysDSP układu ECP5



Rysunek 17. Moduł sysDSP z układu ECP3

w przerzutniki oraz logikę przeniesienia. Budowa bloków pamięci *EBR* jest analogiczna do układów rodziny ECP3. Także podstawowe funkcjonalności bloku *sysDSP Slice* są podobne. Jednak zostały rozszerzone możliwości konfiguracji. Z pozostałych peryferiów znajdziemy blok wspierający obsługę pamięci (LP)DDR 2 i 3, *XGMII* oraz *PCIe*. Dostępne są także transceivery o prędkości 3,2 Gbps, a w wersji 5 G – 5 Gbps [30].

Certus-NX

Architektura bloku *PFU* jest podobna do tej z układów ECP5. W dokumentacji można znaleźć liczbę *Logic Cells*, która jest oznaczana jako liczba tablic *LUT* (4-wejściowych) mnożona razy współczynnik efektywności równy 1,2. Pamięć RAM dostępna jest w dwóch typach bloków: znanym nam już *EBR* oraz nowym *Large RAM (LRAM)* o rozmiarze 0,5 Mbita. Zmianie uległa architektura bloku DSP, jest to *Certus-NX sysDSP Slice*. Pozwala on na wykonanie mnożenia o maksymalnej długości 36×36 bitów (**rysunek 19**). Natomiast przy porównaniu układów zamiast liczby bloków DSP podana jest liczba mnożarek 18×18. Jako że jeden blok DSP można skonfigurować jako cztery takie mnożarki, to aby poznać liczbę bloków, podaną wartość należy podzielić przez 4. Niektóre układy z tej rodziny mają też sprzętowe wsparcie dla *PCIe* generacji 1 i 2 oraz dla obsługi pamięci DDR3 [31].

Microchip IGLOO

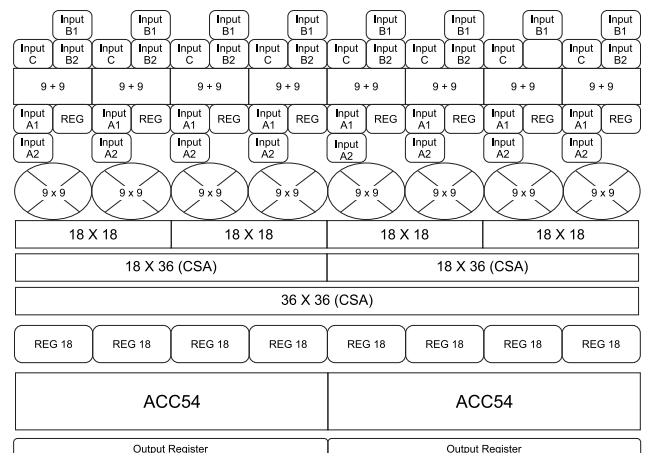
Podstawowa komórka logiki nosi nazwę *VersaTile*, a jej schemat został pokazany na **rysunku 20**. Zaznaczone przełączniki (switche) są skonfigurowane przez zaprogramowany *bitstream*. Pojedyncza komórka może pełnić jedną z trzech funkcji:

- 3-wejściowa funkcja logiczna,
- zatrask *Latch*,
- Przerzutnik D.

Bloki pamięci SRAM mają rozmiar po 4608 bitów. Użytkownik ma też dostęp do bloków *FlashROM* o rozmiarze 1024 bitów. Układy tych rodzin nie są wyposażone w bloki DSP, ale niektóre zawierają rdzeń ARM Cortex-M1 [32].

IGLOO 2

Podstawowym elementem układów tej rodziny jest *logic element* składający się z 4-wejściowej tablicy *LUT* oraz przerzutnika typu D [33]. Jego budowa została pokazana na **rysunku 21**. Pamięć RAM dostępna jest w dwóch wariantach: *LSRAM* o pojemności 18 kb i *μSRAM* o pojemności 1 kb. Układy te są wyposażone w bloki DSP o nazwie *Math Block*, które pozwalają na mnożenie dwóch liczb 18-bitowych, a za mnożeniem znajduje się moduł dodawania. Ich budowa została pokazana



Note: All Registers inside the DSP Block are Bypassable via Configuration Setting

Rysunek 19. Blok Certus-NX sysDSP Slice

Tabela 5. Porównanie układów FPGA firmy Microchip

Rodzina	LUT [tys.]	LSRAM	μSRAM	Math Blocks	Transceiver Gbps	PCIe
IGLOO	0,1...330*	4...112	-	-	-	-
IGLOO2	6...146	10...236	11...240	11...240	5	×4 Gen 2
PolarFire	109...481	352...1520	1008...4440	336...1480	12,7	×4 Gen 2

* Equivalent LEs

na **rysunku 22**, pozwalają one między innymi na implementację operacji MAC.

Układy tej rodziny mają także wbudowane transceivery pozwalające na obsługę interfejsów *XGMII* (dla Ethernetu 10 Gbps), interfejsy *PCIe* drugiej generacji, a także interfejsy dla pamięci *DDR3*.

PolarFire

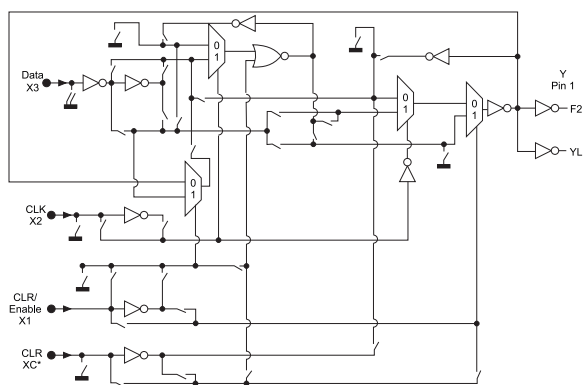
Najmniejszą częścią logiki jest *Logic Element (LE)* składający się z 4-wejściowej tablicy *LUT* i przerzutnika. Dwanaście *LE* składa się na jeden *Logic Cluster (LC)*. Dostępne są cztery typy bloków pamięci:

- *LSRAM (large SRAM)* o pojemności 20 kb,
- *μSRAM* o pojemności 768 bitów,
- *μPROM*, nieulotna pamięć *PROM*, programowana przez *bitstream*, służy do inicjalizacji bloków *LSRAM* i *μSRAM*,
- *sNVM* – blok bezpiecznej pamięci nieulotnej, podobnie jak *μPROM* może być użyty do inicjalizacji pamięci *RAM*.

Blok *DSP (Math Block)* pozwala na wykonanie mnożenia 18×19 bitów. Jego schemat został pokazany na **rysunku 23**. Przed i za mnożeniem dostępne są operacje dodawania [34]. Układy tej serii mają wbudowane interfejsy dla pamięci *DDR4*, linie *LVDS* o prędkości do 1,6 Gbps oraz transceivery mogące pracować z prędkością 12,7 Gbps. Dostępny jest także blok *Phy* dla Ethernetu 10 Gbps oraz kontroler *PCIe*. Wersja *PolarFire SoC* dodatkowo jest wyposażona w 64-bitowy procesor *RISC-V*.

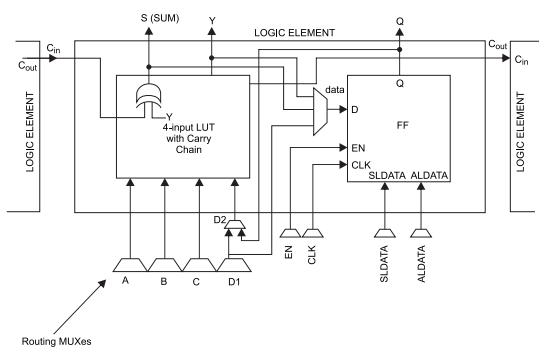
Anlogic

Jest to dalekowschodni producent układów *FPGA*. W ofercie ma dwie rodziny układów oznaczone jako *ELF* i *EAGLE*. Niestety większość



Legend: Via (hard connection) Switch (flash connection) Ground

Rysunek 20. Blok VersaTile układu IGLOO 2



Rysunek 21. Budowa bloku LE układu IGLOO 2

dostępnej dokumentacji jest w języku chińskim. Płytki prototypowe są dostępne w Polsce. Parametry układów znajdują się w **tabeli 6**.

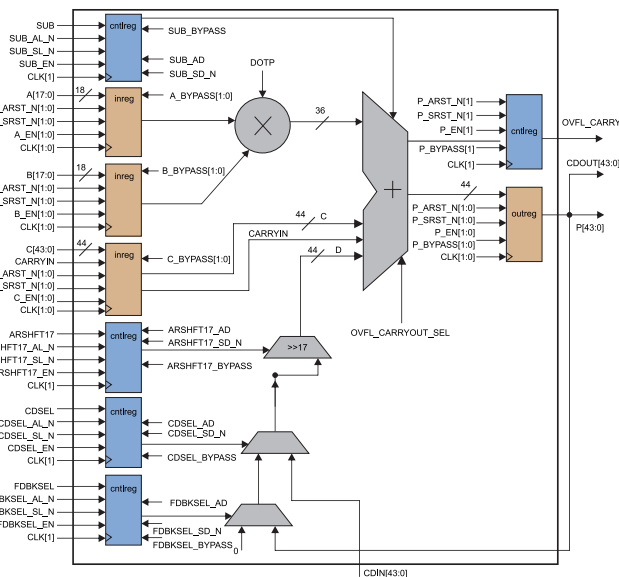
Podstawową jednostką logiki jest blok *PFB* składający się z czterech *Slice*ów: dwóch *LSLICE* i dwóch *MSLICE*. Ciekawostką jest zastosowanie dwóch różnych typów tablic *LUT*. *LSLICE* składa się z dwóch przerzutników i dwóch 5-wejściowych tablic *LUT*, natomiast *MSLICE* z dwóch 4-wejściowych *LUT* i dwóch przerzutników. Budowa bloku została pokazana na **rysunku 24**.

Pamięć *RAM* dostępna jest w postaci bloków o rozmiarze 9 kb, 32 kb, 128 kb i 256 kb. Układ zawiera dość prosty blok *DSP* składający się z mnożarki 18×18 bitów (**rysunek 25**). Niektóre z układów są także wyposażone w kontroler pamięci *DDR2*, przetwornik *ADC* oraz wejścia/wyjścia *LVDS*.

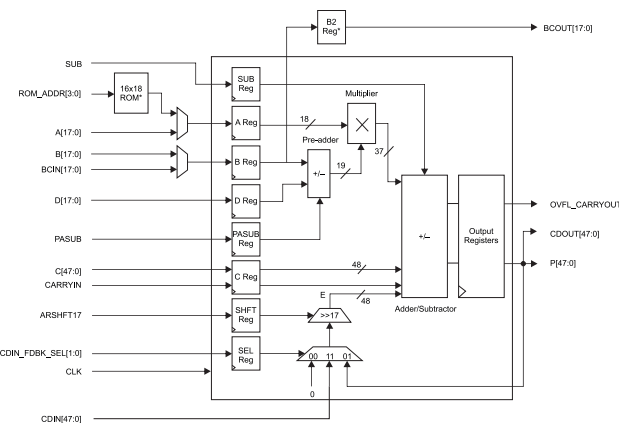
Gowin

Jest to drugi dalekowschodni producent ujęty w zestawieniu. Dostępna jest dokumentacja oraz strona internetowa w języku angielskim, a płytki prototypowe są dostępne w polskich sklepach.

Budowę logiki zaprezentujemy na przykładzie układów *GW2A*. Logika w układach tego producenta dzieli się na bloki nazwane *Configurable Logic Unit (CFU)*, których budowę pokazuje **rysunek 26**.



Rysunek 22. Schemat bloku Math Block układu IGLOO2



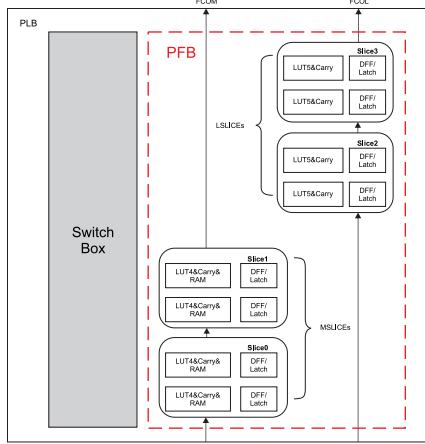
Rysunek 23. Math Block układu PolarFire

Tabela 6. Porównanie układów FPGA firmy Anlogic

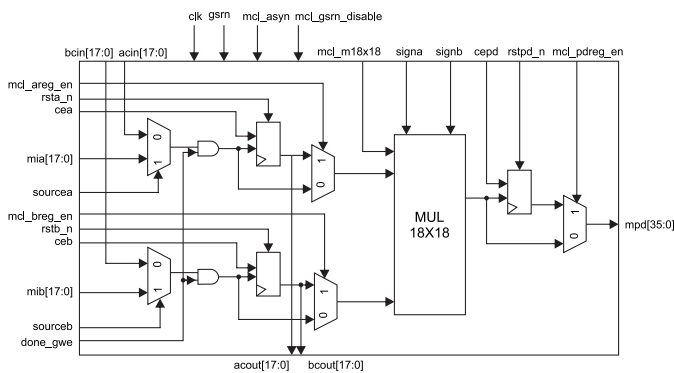
	LUT [tys.]	RAM 9 kb	RAM 32 kb	RAM 128 kb	RAM 256 kb	DSP (mnożenia 18×18)
ELF	1,5...9,3	6...30	0...6	0...1	0...1	8...16
FALCON	8,6...19,6	48...64	2...16	0	0	3...29

Składa się on z: *Configurable Logic Unit (CLU)* i *Configurable Routing Unit (CRU)* (czyli zasobów połączeniowych). CLU dzieli się na cztery *configurable logic slices (CLS)*. Każdy *CLS* zawiera dwie czterowejściowe tablice *LUT* i dwa przerzutniki.

Pamięć RAM jest podzielona na moduły *Block SRAM (B-SRAM)*. Jeden



Rysunek 24. Blok PFB w układach ELF firmy Anlogic

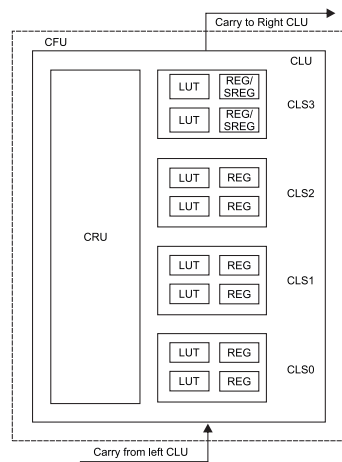


Rysunek 25. Blok DSP w układach ELF firmy Anlogic

blok zawiera 18,432 bitów. Może być skonfigurowany jako pamięć jedno albo dwuportowa. Pojedynczy blok DSP składa się z dwóch bloków *Macro*. Budowę pojedynczego modułu pokazano na **rysunku 27**. Każdy blok *Macro* składa się z dwóch dodawców, dwóch mnożarek 18×18 i 3-wejściowego *ALU* z 54-bitowym akumulatorem [37].

Dostępne są dwie główne serie układów:

- Arora
- GW2A
 - R – zawiera SDRAM,
 - NR – zawiera SDRAM i Flash,
- LittleBee (GW1N) – zawierające pamięć nieulotną
 - Z – bardzo niski pobór mocy,



Rysunek 26. Struktura bloku CFU w układach Gowin

- S-C – zawiera rdzeń Cortex-M3,
- E – dodatkowe funkcje bezpieczeństwa (*Root of Trust*),
- R – zawiera SDRAM,
- RF – zawiera Bluetooth 5.0.

Porównanie parametrów znajduje się w **tabeli 7**.

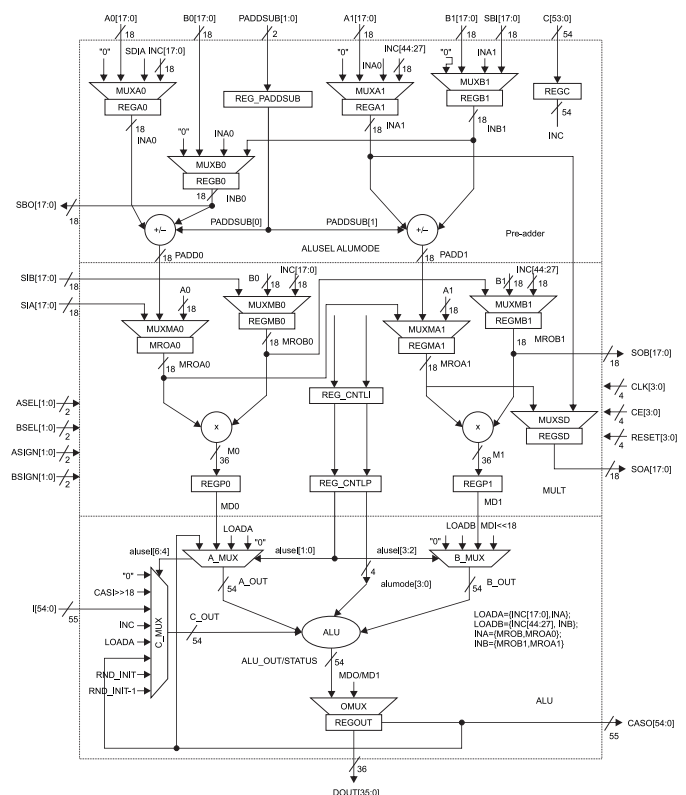
Podsumowanie

Zaprezentowane porównanie oczywiście nie wyczerpuje tematyki układów FPGA, ale mam nadzieję, że pozwoli zrozumieć sposób opisu parametrów używany przez różnych producentów.

Rafał Kozik
rafkozik@gmail.com

Bibliografia:

[1] <http://intel.ly/35tdr41> [13] <https://bit.ly/38txD7j> [27] <https://bit.ly/3bo6aGr>
 [2] <https://intel.ly/3q6tpcd> [14] <https://bit.ly/35oJUGv> [28] <https://bit.ly/3scjuE4>
 [3] <http://intel.ly/2LmGUpo> [15] <https://bit.ly/3sbOq7j> [29] <https://bit.ly/3hXTcXA>
 [4] <http://intel.ly/39fyUPe> [16] <https://bit.ly/39fz3SM> [30] <https://bit.ly/35sQXjB>
 [5] <http://intel.ly/2K4ln4o> [17] <https://bit.ly/38t0xVM> [31] <https://bit.ly/2K7dETe>
 [6] <https://intel.ly/3i1v1kP> [18] <https://bit.ly/3hXSCD1> [32] <https://bit.ly/3bp0ax1>
 [7] <http://intel.ly/3boTE9E> [19] <https://bit.ly/38xjMgE> [33] <https://bit.ly/2LBUoK>
 [8] <https://intel.ly/39mpjWy> [20] <https://bit.ly/3q4h3Bs> [34] <https://bit.ly/3bpPGO9>
 [9] <http://intel.ly/2XrKAZx> [21] <https://bit.ly/39mAXOm> [35] <https://bit.ly/35pMU7C>
 [10] <http://intel.ly/2MLcKwp> [22] <https://bit.ly/35v2grM> [36] <https://bit.ly/3i1VBKo>
 [11] <http://intel.ly/3sd1Sdu> [23] <https://bit.ly/3nrSA7z> [37] <https://bit.ly/2MRmXYo>
 [12] <https://bit.ly/2LmdVCj> [24] <https://bit.ly/3q6fu5V>
 [25] <https://bit.ly/3ow1XV7>
 [26] <https://bit.ly/3bqZzv1>



Rysunek 27. Budowa bloku Macro DSP

Tabela 7. Porównanie układów FPGA firmy Gowin

Rodzina	LUT [tys.]	B-SRAM	DSP (mnożenia 18×18)	Wbudowana pamięć FLASH	PSRAM	ARM Cortex-M3	Bluetooth 5.0
GW2A	20...55	46...140	40...48		Wersja N	Nie	Nie
GW1N	1...8,6	4...26	0...20	Tak	Wersja R	Wersje S-C	Wersja RF