

Eksperymenty z FPGA (2)

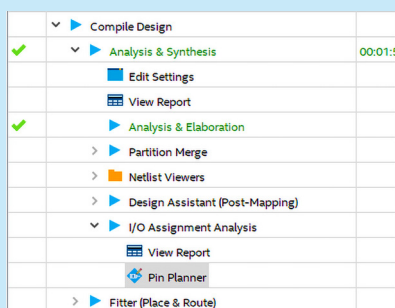
W listopadowym numerze EP (EP 11/19) została zaprezentowana płytka do eksperymentów z układem FPGA „zlutowana” w warunkach domowych. Teraz chciałbym zaprosić czytelników do przeprowadzenia kilku ćwiczeń pozwalających lepiej zrozumieć funkcjonowanie układu MAX10. Pierwszą część kursu zakończyliśmy na syntezy projektu.



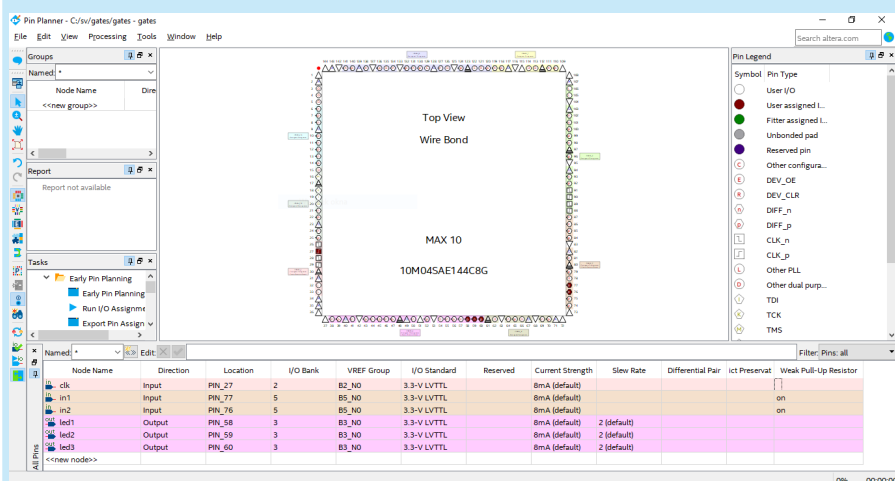
Podłączenie wejść

Po udanej syntezie możemy połączyć wejścia/wyjścia naszego modułu z pinami układu FPGA. W tym celu w znanym nam już panelu *Tasks* w głównym oknie programu Quartus rozwijamy opcję *I/O Assignment Analysis* (ang. analiza połączeń wejść/wyjść) i wybieramy opcję *Pin Planner* (ang. planowanie wyprowadzeń) (rysunek 21). Pojawi się nowe okno (rysunek 22). W jego środkowej części widzimy rysunek prezentujący obudowę układu scalonego. Dolny panel zawiera natomiast listę wejść i wyjść głównego modułu. Aby je połączyć po prostu chwytamy daną nazwę i przeciągamy ją na odpowiedni pin. Przy wykonywaniu połączeń przydatna będzie ściągą z opisem wyprowadzeń (rysunek 23). Kolejne złącza podłączamy zgodnie z tabelą 1.

Musimy jeszcze skonfigurować podciąganie wejść przełączników do plusa zasilania. Niestety tej opcji nie ma w domyślnym widoku. Dlatego naciskamy nagłówek tablicy z pinami i wybieramy opcję *Customize Columns...* (ang. dostosuj kolumny), tak jak pokazuje rysunek 24. Pojawi się okno podobne do tego z rysunku 25. Na liście *Available columns* (ang. dostępne kolumny) klikamy opcję *Weak Pull-Up Resistor* (ang. opornik podciągający do plusa) i przenosimy ją do prawej listy klikając przycisk



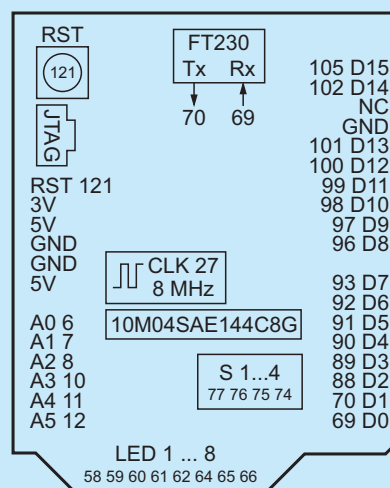
Rysunek 21. Uruchamiamy *Pin Planner* z panelu *Tasks*



Rysunek 22. Okno programu *Pin Planner*

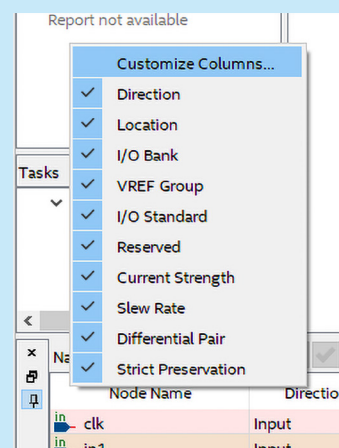
Tabela 1. Sposób podłączenia modułu gates do pinów układu FPGA.

Złącze	Pin
clk	PIN_27
in1	PIN_77
in2	PIN_76
led1	PIN_58
led2	PIN_59
led3	PIN_60

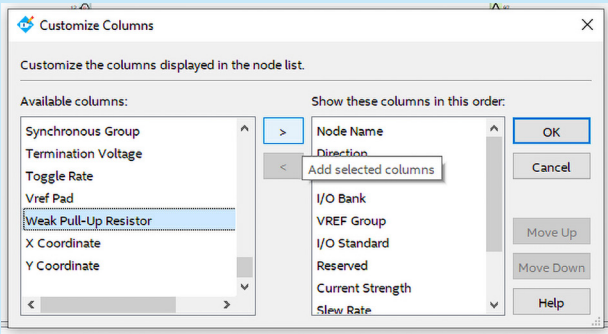


Rysunek 23. Opis pinów płytki *Rysino*

ze znakiem >. Zatwierdzamy klikając OK. Teraz dla pól in1 i in2 w nowej kolumnie wybieramy opcję on (ang. włączony). Następnie w polu *I/O Standard* (ang. standard wejścia/wyjścia) ustawiamy dla każdego złącza wartość 3.3-V LVTTTL. Gotową konfigurację



Rysunek 24. Dodawanie opcji do konfiguracji

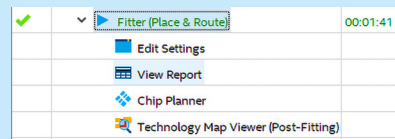


Rysunek 25. Okno konfiguracji listy kolumn

Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved	Current Strength	Slew Rate	Differential Pair	ict Preservat	Weak Pull-Up Resistor
clk	Input	PIN_27	2	B2_NO	3.3-V LVTTTL		8mA (default)				
in1	Input	PIN_77	5	B5_NO	3.3-V LVTTTL		8mA (default)				on
in2	Input	PIN_76	5	B5_NO	3.3-V LVTTTL		8mA (default)				on
led1	Output	PIN_58	3	B3_NO	3.3-V LVTTTL		8mA (default)	2 (default)			
led2	Output	PIN_59	3	B3_NO	3.3-V LVTTTL		8mA (default)	2 (default)			
led3	Output	PIN_60	3	B3_NO	3.3-V LVTTTL		8mA (default)	2 (default)			

Rysunek 26. Gotowa konfiguracja wyprowadzeń

Flow Summary	
Flow Status	Successful - Fri Oct 04 20:09:01 2019
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition
Revision Name	gates
Top-level Entity Name	gates
Family	MAX 10
Device	10M04SAE144C8G
Timing Models	Final
Total logic elements	4 / 4,032 (< 1 %)
Total registers	3
Total pins	6 / 101 (6 %)
Total virtual pins	0
Total memory bits	0 / 193,536 (0 %)
Embedded Multiplier 9-bit elements	0 / 40 (0 %)
Total PLLs	0 / 1 (0 %)
UFM blocks	0 / 1 (0 %)
ADC blocks	0 / 1 (0 %)



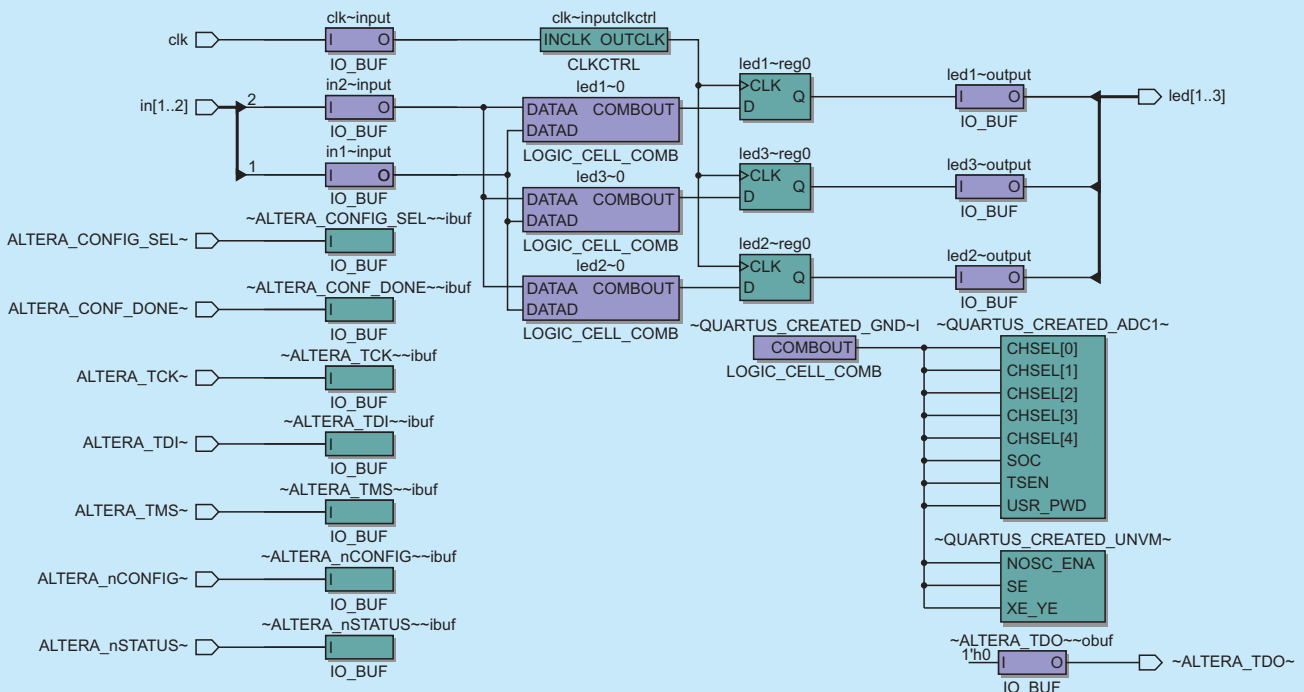
Rysunek 28. Zakładka Fitter w panelu Task

Rysunek 27. Efekt pracy Fittera

prezentuje **rysunek 26**. Konfiguracji pinów nie musimy zapisywać – dzieje się to automatycznie na bieżąco. Po prostu zamykamy okno programu Pin Plannera.

Rozwińmy teraz zakładkę *Fitter* w panelu *Task* (**rysunek 28**). Najpierw uruchomimy *Technology Map Viewer (Post-Mapping)*. Zobaczmy wtedy okno podobne do tego z **rysunku 29**. Jest podobne do tego z **rysunku 17**, ale pojawiło się kilka nowych elementów. Nasz projekt, tak jak poprzednio zajmuje 3 tablice LUT i 3 przerzutniki. Doszła natomiast między innymi konfiguracja interfejsu JTAG, czy przetwornika ADC. To właśnie te elementy zużyły czwarty element logiczny.

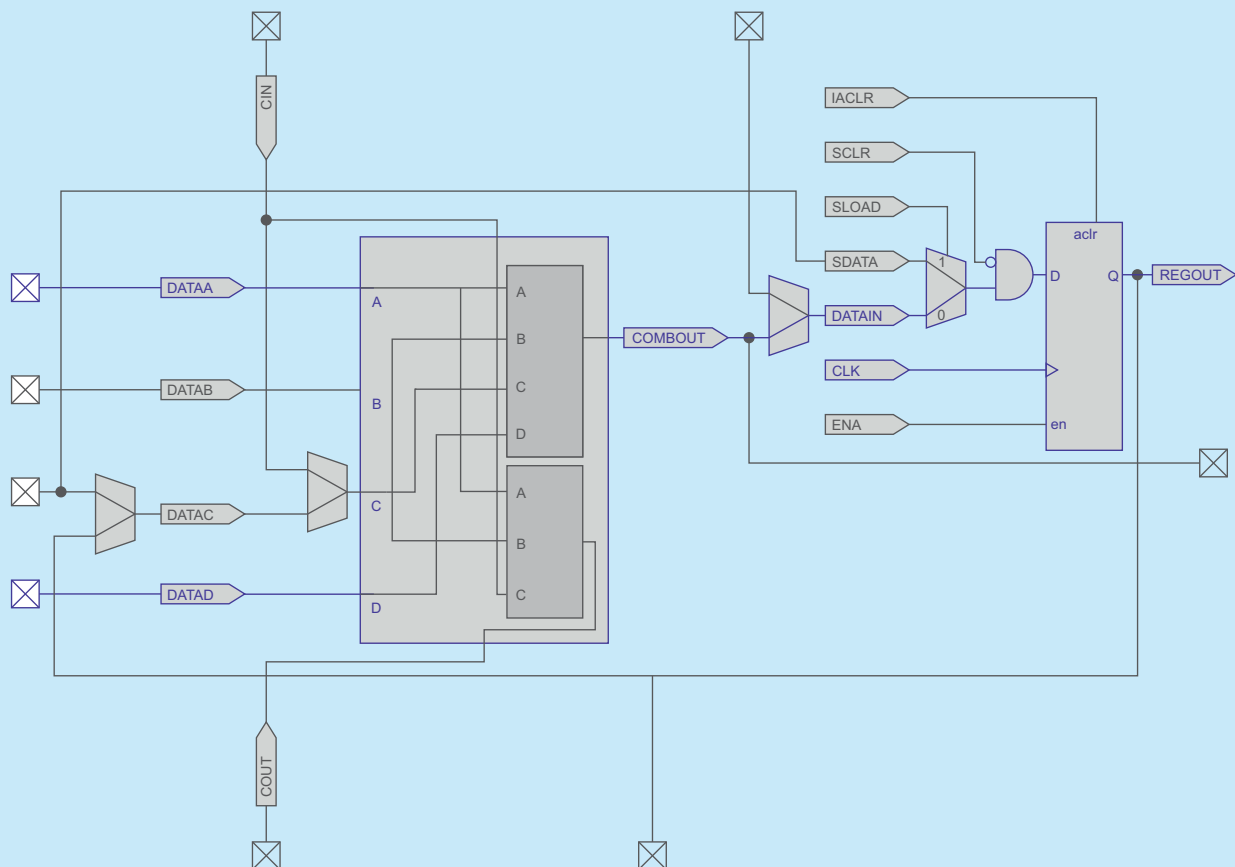
Tym razem poszczególnym elementom zostało już przyporządkowane konkretne miejsce w strukturze układu FPGA. Możemy się o tym przekonać otwierając znowu *Resource Property Editor* (w ten sam sposób jak pokazany na **rysunku 19**). Zobaczmy, że zarówno tablica LUT, jak i przerzutnik pochodzą z tego samego elementu logicznego (**rysunek 30**).



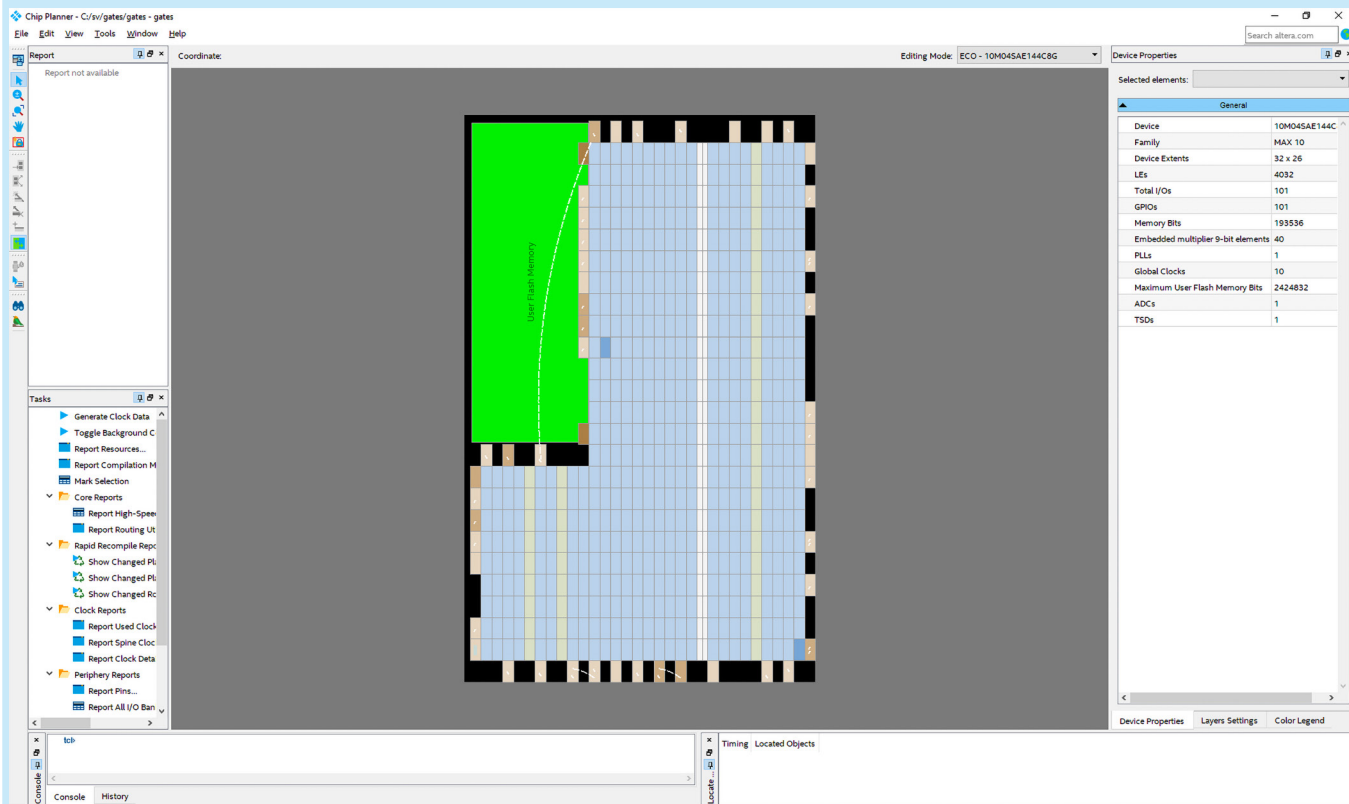
Rysunek 29. Projekt naszego modułu po zmapowaniu na zasoby dostępne w układzie MAX10

Jeszcze więcej możemy dowiedzieć się na temat wewnętrznej struktury układu z programu *Chip Planner* (ang. planowanie układu scalonego). Uruchamiamy go z panelu *Tasks* (rysunek 28). Po uruchomieniu zobaczymy ekran podobny do tego z **rysunku 31**. Na środku widzimy

schemat przedstawiający wnętrze układu FPGA. Po kliknięciu na kolejne elementy w panelu po prawej stronie pojawia się ich opis. Także kolory określają różne rodzaje bloków. Niebieski to LAB (ang. *Logic Array Block* – blok tablic logicznych). Składa się z 16 elementów logicznych oraz



Rysunek 30. Element logiczny ze zmapowaną funkcjonalnością

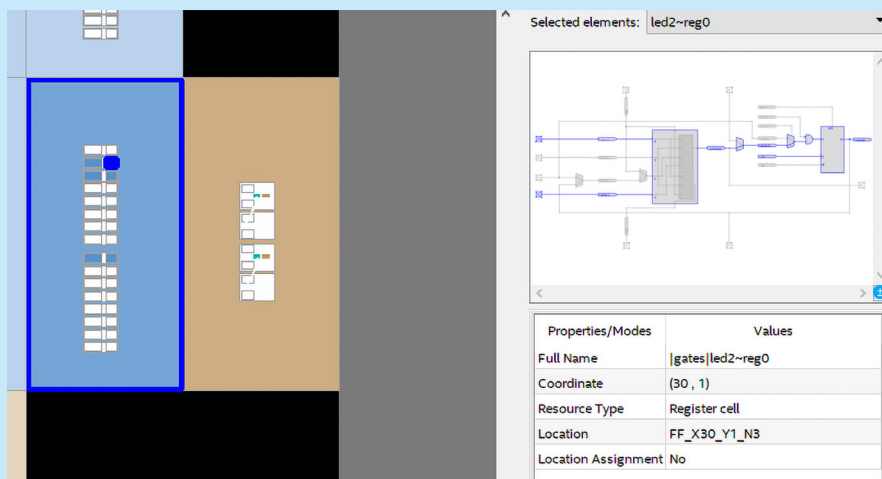


Rysunek 31. Program *Chip Planner*

konfigurowalnych zasobów połączeniowych. Kolorem białym przedstawiono bloki DSP (*digital signal processing* – ang. cyfrowe przetwarzanie sygnałów), które zawierają tak zwaną mnożarkę – sprzętowy układ realizujący mnożenie. Kolor jasnozielony wskazuje natomiast na 9 kb bloki pamięci RAM. Różnego rodzaju zasobom zawartym w układzie FPGA będziemy przyglądać się w kolejnych częściach. Gdy za pomocą kółka myszy przybliżymy któryś z fragmentów zobaczymy jego schematyczny rysunek. Na przykład użyte przez nas elementy logiczne pokazuje **rysunek 32**. Gdy klikniemy któryś z elementów w panelu po prawej stronie zobaczymy jego opis.

Programujemy sprzęt

Przeszliśmy długą drogę od przygotowania modułu w języku SystemVerilog, poprzez symulację



Rysunek 32. Użyte przez nas elementy logiczne widoczne w programie Chip Planner

REKLAMA

UlubionyKiosk.pl oferuje papierowe i elektroniczne wydania czasopism z najważniejszych segmentów rynku.



UlubionyKiosk.pl

do jego zmapowania na zasoby (logiczne i połączeniowe) dostępne w naszym układzie FPGA. Teraz pozostało już wygenerowanie pliku konfiguracyjnego (tak zwany *bitstream*) i wgranie go do płytki.

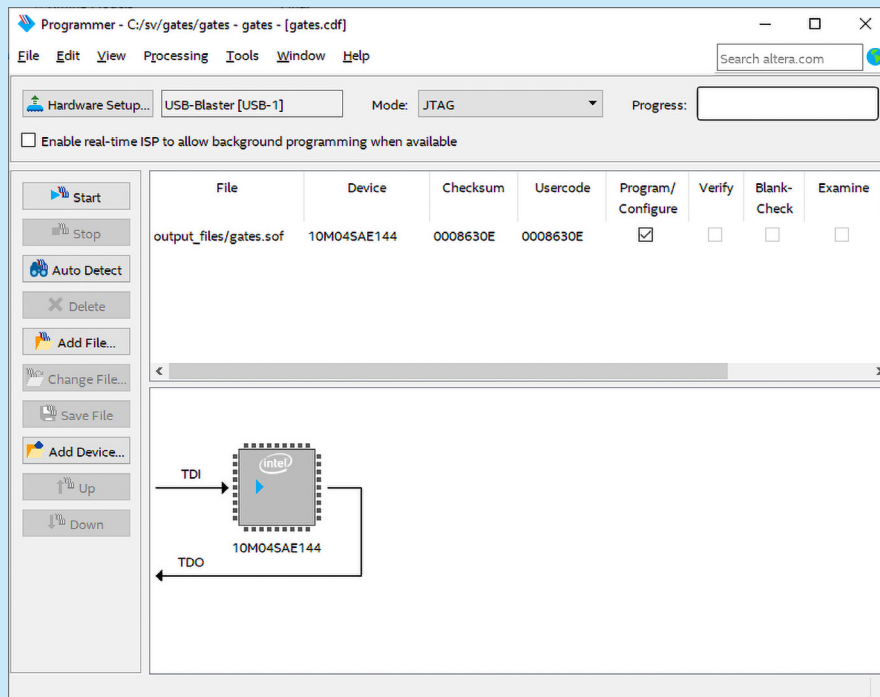
Aby go wygenerować w panelu *Tasks* uruchamiamy opcję *Assembler (Generate programming files)* (ang. generowanie plików konfiguracyjnych). Po jego zakończeniu uruchamiamy Program Device (Open Programmer) (ang. programuj urządzenie otwórz programator). Pojawi się okno podobne do tego z **rysunku 33**.

Następnie podłączamy programator USB Blaster oraz zasilanie do płytki. Gdy to zrobimy klikamy znajdujący się w prawym górnym rogu przycisk *Hardware Setup...* (ang. konfiguracja sprzętu). W kolejnym oknie (**rysunek 34**) wybieramy z listy *Currently selected hardware* (ang. obecnie wybrany sprzęt) nasz programator i zamykamy okno przyciskiem *Close*.

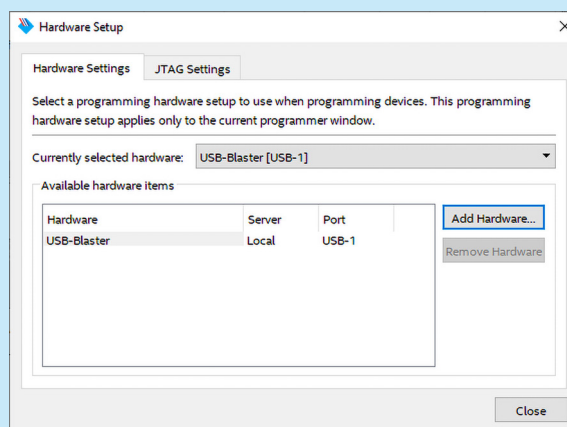
Teraz możemy rozpocząć programowanie klikając *Start*. Gdy się zakończy w prawym górnym rogu powinien pojawić się napis 100% (*Successful*). Teraz możemy sprawdzić działanie programu w sprzęcie. Zmieniamy położenie dwóch pierwszych suwaków i oglądamy zmiany stanu trzech pierwszych diod LED. Pozostałe 5 domyślnie są zaświecone.

W następnych odcinkach

Umiemy już stworzyć moduł i uruchomić go w układzie FPGA. W kolejnym odcinku uruchomimy kilka podstawowych układów logicznych takich jak rejestr przesuwany, czy licznik.



Rysunek 33. Okno programatora



Rysunek 34. Wybór programatora

Rafał Kozik

rafkozik@gmail.com

Bibliografia:

- [1] <http://bit.ly/33Xec2e>
- [2] <https://intel.ly/2DESKUJ>
- [3] <https://intel.ly/2MC6TYp>
- [4] <http://bit.ly/33uYPxs>

Miesięcznik „Elektronika Praktyczna” (12 numerów w roku) jest wydawany przez AVT-Korporacja Sp. z o.o. we współpracy z wieloma redakcjami zagranicznymi.

Wydawca:



AVT-Korporacja Sp. z o.o.
03-197 Warszawa, ul. Leszczyńska 11
tel.: 22 257 84 99, faks: 22 257 84 00

Adres redakcji:

03-197 Warszawa, ul. Leszczyńska 11
tel.: 22 257 84 60
faks: 22 257 84 00
e-mail: redakcja@ep.com.pl
www.ep.com.pl

Redaktor Naczelny:

Wiesław Marciniak

Redaktor Programowy, Przewodniczący Rady Programowej:

Piotr Zbysiński

Zastępca Redaktora Naczelnego, Redaktor Prowadzący:

Damian Sosnowski

Zastępca Redaktora Naczelnego, Menedżer Magazynu

Marcin Karbowiczek

Szef Pracowni Konstrukcyjnej:

Grzegorz Becker, tel.: 22 257 84 58

PARK Pracownia Badań Rynku Konstruktorów:

Maksymilian Hoser, tel.: 22 257 84 65

Redaktor strony internetowej www.ep.com.pl

Dariusz Welik

Zespół marketingu i reklamy:

Katarzyna Gugąła, tel.: 22 257 84 64
Adam Kęska, tel.: 22 257 84 63
Bożena Krzykawska, tel.: 22 257 84 42
Grzegorz Krzykowski, tel.: 22 257 84 60
Maksymilian Hoser, tel.: 22 257 84 65

Sekretarz Redakcji:

Grzegorz Krzykowski, tel.: 22 257 84 60

DTP i okładka:

MAD Sp. z o.o.

Stali Współpracownicy:

Jacek Bogusz, Lucjan Bryndza, Jarosław Doliński,
Andrzej Gawryluk, Krzysztof Górski, Tomasz Jabłoński,
Michał Kurzela, Szymon Panecki, Sławomir Skrzyński,
Ryszard Szymaniak, Adam Tatuś, Robert Wołgajew

Uwaga!

Kontakt z wymienionymi osobami jest możliwy via e-mail, według schematu: imię.nazwisko@ep.com.pl

Prenumerata w Wydawnictwie AVT

www.avt.pl/prenumerata

lub tel.: 22 257 84 22

e-mail: prenumerata@avt.pl

www.sklep.avt.pl, tel.: 22 257 84 66



Prenumerata w RUCH S.A.

www.prenumerata.ruch.com.pl

lub tel.: 801 800 803, 22 717 59 59

e-mail: prenumerata@ruch.com.pl



Wydawnictwo
AVT-Korporacja Sp. z o.o.
należy do **Izby Wydawców Prasy**

Copyright AVT-Korporacja Sp. z o.o.

03-197 Warszawa, ul. Leszczyńska 11

Projekty publikowane w „Elektronice Praktycznej” mogą być wykorzystywane wyłącznie do własnych potrzeb. Korzystanie z tych projektów do innych celów, zwłaszcza do działalności zarobkowej, wymaga zgody redakcji „Elektroniki Praktycznej”. Przedruk oraz umieszczenie na stronach internetowych całości lub fragmentów publikacji zamieszczonych w „Elektronice Praktycznej” jest dozwolone wyłącznie po uzyskaniu zgody redakcji. Redakcja nie odpowiada za treść reklam i ogłoszeń zamieszczonych w „Elektronice Praktycznej”.

