

Programowanie układów FPGA w Altium Designer

Altium Innovation Station to zintegrowane środowisko składające się z oprogramowania Altium Designer oraz płyty uruchomieniowej NanoBoard. Zapewnia ono komplet narzędzi i technologii potrzebnych do projektowania, implementowania, testowania i uruchamiania projektów FPGA. Co ważne, uruchamianie i testowanie odbywa się w czasie rzeczywistym.

Dzięki tej zunifikowanej technologii można zarządzać całym projektem wykonanym za pomocą Altium bez nadmiernego koncentrowania się na szczegółach, dzięki czemu można skoncentrować się na funkcjonalności urządzenia – tworzonego produktu. Przed rozpoczęciem tworzenia projektu urządzenia, tego oraz wielu innych budowanych w przyszłości z zastosowaniem układów mikroprocesorowych oraz oprogramowania wbudowanego, jest wskazane solidne zrozumienie podstaw projektowania w tym innowacyjnym środowisku – implementowania podstawowych elementów logicznych, a następnie testowania ich działania w rzeczywistym środowisku, do czego może posłużyć płyta uruchomieniowa NanoBoard.

W tym artykule przedstawiono implementację nieskomplikowanego układu logicznego zbudowanego z podstawowych elementów logicznych, którymi są bramki, rejestry itp. (w kolejnych publikacjach będą opisane bardziej zaawansowane projekty z wykorzystaniem mikroprocesorów softwareowych). W przykładowym projekcie zaimplementowano licznik rewersyjny, który po zaprogramowaniu układu FPGA zamontowanego na płycie NanoBoard będzie kolejno (od lewej do prawej lub od prawej do lewej) zaświecał diody LED zamontowane w zestawie. Nauczymy się korzystania ze zunifikowanego środowiska Altium Designer, płyty NanoBoard, wskażemy metodologię projektowania układów FPGA ze szczególnym uwzględnieniem:

- Tworzenia projektu FPGA za pomocą środowiska Altium Designer, a więc rysowanie schematu z zastosowaniem bibliotek elementów logicznych.
- Uruchomienie projektu na płycie NanoBoard przy użyciu funkcji automatycznej konfiguracji.
- Przetwarzania projektu – kompilowania, syntezy i implementowania projektu, aby w ich wyniku uzyskać pliki służące do zaprogramowania urządzenia docelowego.
- Przykładowego projektu hierarchicznego FPGA, włączając w to przykład elementów logicznych utworzonych w języku opisu sprzętu (HDL).
- Użycia narzędzi wspomagających programowanie.

Przykładowy projekt

Schemat licznika pierścieniowego pokazano na **rysunku 1**. Zanego-

wany, najstarszy bit wyjściowy jest dołączony do wejścia SLI, natomiast zanegowany najmłodszy bit wyjściowy jest doprowadzony do wejścia SRI. Zamiast budować taki licznik pierścieniowy z przerzutników D zastosujemy gotowy komponent rejestru przesuwającego SR8CLEDB. Biblioteki takich i podobnych komponentów są dostępne w pakiecie Altium Designer.

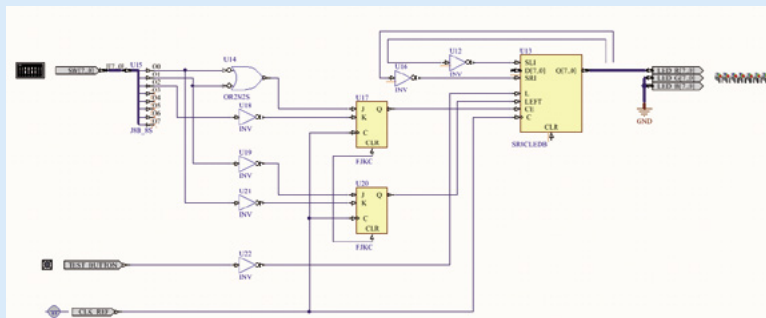
Sygnалу zegarowy potrzebny do taktowania elementów logicznych jest generowany przez komponenty zamontowane na płycie NanoBoard. Sygnały wyjściowe z licznika należy dołączyć do diod świecących LED.

Do sterowania działaniem licznika będącego przedmiotem projektu niezbędne będą następujące sygnały wyjściowe:

- **KIERUNEK** – poziom logiczny tego sygnału będzie określał kierunek przesuwania zawartości licznika: od lewej do prawej albo od prawej do lewej. Poziom ten będzie wymuszany przez przełącznika SW0 na płycie NanoBoard (część przełącznika DIP).
- **STOP/START** – poziom logiczny, który będzie zatrzymywał lub uruchamiał zliczanie. Ten sygnał będzie zależny od ustawienie przełącznika SW2 na płycie NanoBoard (część przełącznika DIP).
- **KASOWANIE** – wyjścia licznika można wyzerować, co powoduje zgaszenie wszystkich diod LED, przez naciśnięcie klawisza DAUGHTER BD TEST/RESET zamontowanego na płycie NanoBoard.

Oprogramowanie narzędziowe

Zanim rozpoczniemy programowanie układów FPGA należy zainstalować odpowiednie narzędzia pochodzące od producentów układów programowalnych. Służą one do wykonania syntezy i implementacji dla docelowego układu programowalnego. Narzędzia te nie są dostarczane wraz z pakietem Altium Designer i powinny być pozyskane i zainstalowane niezależnie. Więcej informacji na



Rysunek 1. Licznik rewersyjny będący przedmiotem projektu



Rysunek 2. Nowy projekt FPGA z pojedynczym arkuszem schematu

ten temat można znaleźć na następujących stronach producentów podzespołów:

- Actel Designer Libero IDE (www.actel.com). Oprogramowanie wymaga licencji. Warunki licencjonowania oraz dostępne rodzaje licencji można znaleźć na stronie internetowej.
- Altera Quartus II (www.altera.com). Oprogramowanie Altera Quartus II Web Edition jest udostępniane za darmo.
- Lattice Diamond oraz ispLever (www.latticesemi.com). Programy Diamond oraz ispLever Starter wymagają licencji. Warunki licencjonowania oraz dostępne rodzaje licencji można znaleźć na stronie internetowej.
- Xilinx ISE (www.xilinx.com). Program ISE WebPACK jest udostępniany za darmo.

Ogólna zasada jest taka, że najnowsza wersja Altium Designera wspiera najnowsze oprogramowanie narzędziowe firm Xilinx i Altera.

Przykładowy projekt

Pierwszą rzeczą, którą należy zrobić to przeniesienie koncepcję projektu do środowiska Altium Designer. Dla tego projektu będzie to oznaczało rozmieszczenie niezbędnych elementów na schemacie i odpowiednie ich

połączenie. Zanim będziemy mogli zająć się rysowaniem schematu, musimy utworzyć projekt. W kolejnych punktach, krok po kroku, będą opisane kolejne czynności przy tworzeniu projektu licznika pierścieniowego.

Tworzenie nowego projektu FPGA

Podstawą każdego projektu stworzonego w środowisku Altium Designer jest plik projektu. Dla projektu FPGA musimy utworzyć nowy projekt FPGA. Zbiór projektu to plik o rozszerzeniu *.PrjFpg. Jest to zbiór ASCII, w którym zapisane są informacje o projekcie, takie jak: wykaz dokumentów należących do projektu, ustawienia parametrów wyjściowych, ustawienia dla kompilatora, sposoby kontroli błędów i inne. Aby utworzyć nowy projekt FPGA należy:

- Z menu programu wybrać *File -> New -> Project -> FPGA Project*.
- Klikając prawym klawiszem na nazwie domyślnej projektu (Prosty_licznik_rewersyjny.PrjFpg) w panelu *Projects* należy zapisać plik projektu na dysku za pomocą polecenia *Save Project*.

Uwaga: W nazwach plików nie wolno używać znaku odstępu („ ”) i/lub myślnika („-”), ponieważ może to spowodować błędy podczas syntezy. W zamian powinien być stosowany znak podkreślenia („_”).

Dodawanie plików do projektu

Projekt FPGA jest projektem hierarchicznym. Może być do niego dołączona hierarchicznie dowolna liczba arkuszy schematów, modułów programów w językach HDL, VHDL, Verilog lub dokumentów OpenBus. Ale należy pamiętać, że nadrzędny dokument projektu, tak zwany TOP LEVEL, powinien być arkuszem schematu. Arkusz ten zawiera nie tylko porty wejścia/wyjścia, to znaczy interfejs łączący wyprowadzenia fizycznego układu FPGA z portami projektu, ale również ułatwia integrowanie FPGA – PCB. W dalszej części artykułu pokażemy jak zbudować projekt hierarchiczny teraz będziemy pracować na jednym arkuszu (TOP LEVEL):

Dodajmy nowy arkusz schematu klikając prawym klawiszem na nazwie projektu w obszarze panelu *Projects* i wybieramy *Add New to Project -> Schematic*.

Zapisujemy dokument (*File -> Save*) w tym samym folderze, w którym znajduje się projekt, nadając mu nazwę licznik_rewersyjny.SchDoc.

Powyższe działanie jest modyfikacją projektu, więc jest konieczne również zapisanie całego projektu. Zapisujemy projekt za pomocą kliknięcia prawym przyciskiem myszy na jego nazwie i wybierając opcję *Save Project*.

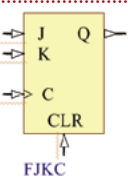

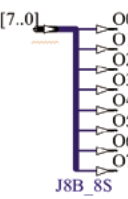

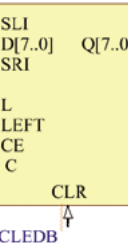
Roźmieszczenie elementów na schemacie

Na pustym arkuszu schematu należy rozmieścić elementy oraz połączyć je, tak aby uzyskać zakładaną funkcjonalność gotowego urządzenia. Gotowe elementy będziemy pobierać z bibliotek środowiska Altium Designer.

W tabeli 1 umieszczono wykaz elementów niezbędnych do zbudowania licznika pierścieniowego. Wszystkie można pobrać z biblioteki FPGA Generic (FPGA Generic.IntLib) znajdującej się w folderze *Library\Fpga*.

W tabeli 2 umieszczono elementy interfejsu projektu. Elementy te, powszechnie nazywane portami, łączą sygnały ze schematu TOP LEVEL z rzeczywistymi wyprowadzeniami I/O układu FPGA. Porty interfejsu znaj-

Tabela 1. Elementy potrzebne do naszego projektu

Nazwa elementu	Symbol	Opis	Liczba elementów
FJKC		Przerzutnik J-K z zerowaniem asynchronicznym	2
INV		Negator	6
J8B_8S		Łącznik magistralowy – magistrala 8-bitowa	1
OR2N2S		2-wejściowa bramka OR z zanegowanymi wejściami (wersja z pojedynczymi wejściami)	1
SR8CLED		8-bitowy szeregowo – równoległy rejestr przesuwany z wejściem ustawiającym, maskowaniem zegara i zerowaniem asynchronicznym (wersja z wyjściem magistralowym)	1

dują się w bibliotece użytej płyty, w naszym wypadku FPGA NB3000 (FPGA NB3000 Port-Plugin.IntLib) w folderze `\Library\Fpga`.

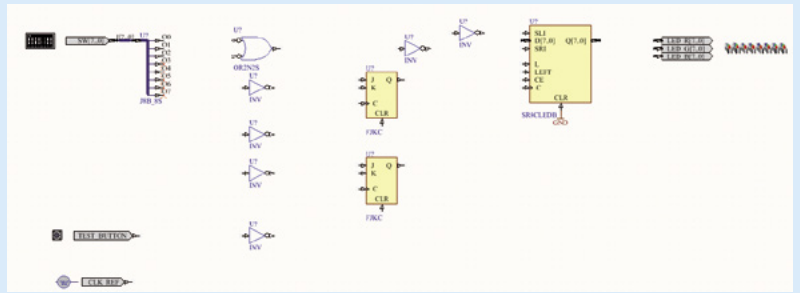
Na arkuszu schematu należy rozmieścić elementy, jak na **rysunku 3**. Elementy znajdują się w bibliotekach, które są instalowane domyślnie z pakietem Altium Designer. Biblioteki są dostępne za pomocą panela *Libraries*. Z jego użyciem należy otworzyć odpowiednią bibliotekę, wskazać element i umieścić go na schemacie klikając przycisk *Place*. Za pomocą klawisza spacji można elementy obracać w zależności od potrzeb. Klawisz X umożliwia odbicie lustrzane.

Po rozmieszczeniu elementów na arkuszu należy je ponumerować. Najszybciej to można zrobić wybierając z menu polecenie *Tools -> Annotate Schematics Quietly*.

Połączenia

Elementy znajdujące się na arkuszu schematu należy w odpowiedni sposób połączyć.

- Aby połączyć elementy, należy kliknąć prawym klawiszem myszy na arkuszu schematu i z menu kontekstowego wybrać *Place -> Wire lub Place -> Bus*. Sposób wykonania połączeń zilustrowano na rysunku 1.
- Z paska narzędziowego należy wybrać ikonę GND i umieścić symbol GND na schemacie. Zanim symbol zostanie umieszczony na schemacie można go edytować naciskając klawisz *Tab*. W oknie dialogowym należy zmienić m. in. *Style* wybierając np.



Rysunek 3. Wstępne rozmieszczenie elementów na arkuszu schematu

opcję *Bar*. Symbol GND trzeba połączyć z wejściem CLR rejestru D.

- Kolejny symbol GND połączyć z wejściem CLR rejestru przesuwającego jak pokazano na **rysunku 4**.
- Z paska narzędziowego *Wiring* należy wybrać ikonę z symbolem magistrali GND (**rysunek 5**). Podobnie jak poprzednio, należy zmienić *Style* na *Bar*. Następnie wstawić ten symbol na schemacie dołączając go do wejść D[7..0] rejestru przesuwającego (**rysunek 6**).
- Kolejnym krokiem jest dodanie dwóch indywidualnych wyjść magistralowych z magistrali dołączonej do wyjścia rejestru przesuwającego (**rysunek 7**). Te wyjścia są potrzebne do wykonania sprzężenia zwrotnego. Sygnały po zanegowaniu zostaną dołączone do wejść SLI oraz SRI rejestru przesuwającego.
- W celu uporządkowania projektu i zmniejszenia liczby ostrzeżeń można umieścić na arkuszu schematu dyrektywy *No ERC* na każdym niepołą-

REKLAMA


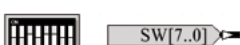


Altium Designer

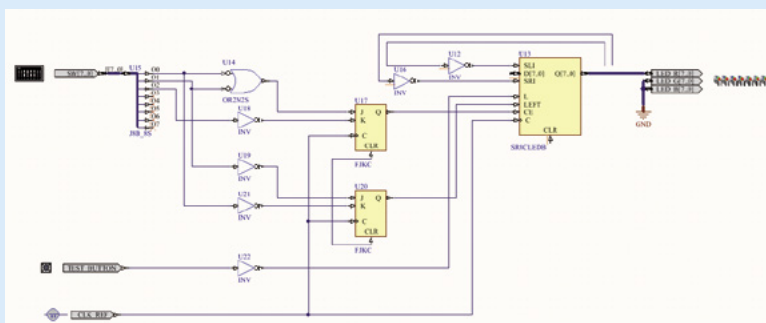
„Uznaliśmy, że zintegrowane środowisko projektowe Altium Designer jest najlepszym rozwiązaniem dla naszego bieżącego modelu biznesowego”.

Timm Zimmerman
Supervisor of Electronics Development
Cessna Aircraft Company

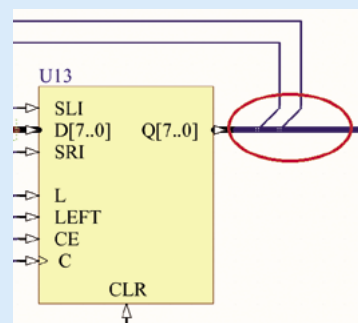


ul. Przybyły 2, 43-300 Bielsko-Biała, tel. 33 499 59 12
eda@evatronix.com.pl; www.evatronix.com.pl/eda

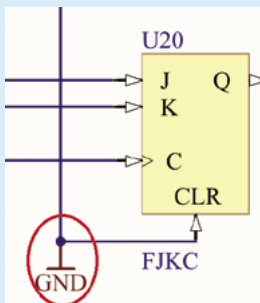
Tabela 2. Porty potrzebne do naszego projektu.		
Symbol	Nazwa	Opis
	CLOCK_REFERENCE	CLK_REF sygnał zegara systemowego płyty NanoBoard o stałej częstotliwości 20 MHz. W projekcie będzie on używany jako sygnał zegarowy taktujący rejestr przesuwany oraz przerzutniki D do synchronizacji układów logicznych zerowania.
	DIPSWITCH	Komponent przełącznika DIP-switch umieszczony na płycie NanoBoard. Będą używane tylko trzy bity z tego przełącznika do ustawienia kierunku (lewo/prawo) oraz do zatrzymania zliczania.
	LED	Komponent diod świecących LED zamontowanych na płycie NanoBoard. Diody LED będą używane do wizualizacji poziomów występujących na wyjściach licznika pierścieniowego.
	TEST_BUTTON	Przycisk znajdujący się na płycie NanoBoard DAUGHTER BD TEST/RESET. Zanegowany sygnał przycisku będzie używany do wygenerowania sygnału Load Enable rejestru przesuwanego ładującego wartość domyślną. Wejścia D tego rejestru są dołączone do masy (GND), co powoduje, że ładowaną wartością domyślną jest wektor o wartości zero.



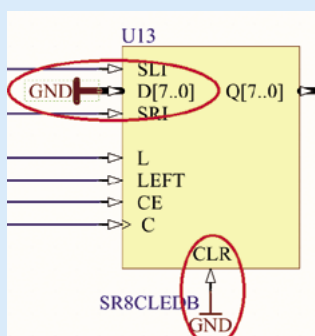
Rysunek 4. Przerzutnik - połączenie GND



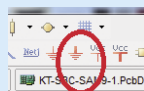
Rysunek 8. Dyrektywy No ERC



Rysunek 5. Ikona – symbol GND



Rysunek 7. Dodanie wyjść magistralowych



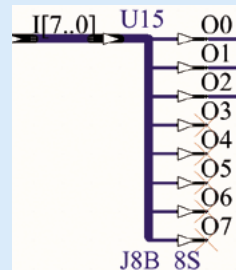
Rysunek 6. Rejestr przesuwany – połączenie GND

czonym wyjściu rozcięcia magistralowego (U15). Z belki narzędziowej *Wiring* wybieramy ikonę *No ERC* i kładziemy ją na schemacie. Dyrektywę *No ERC* należy umieścić na każdym nieużywanym wyjściu O3...O7, jak to pokazano na **rysunku 8**.

Aby zakończyć projekt, musimy jeszcze dodać etykiety magistrali do naszego obwodu.

Dzięki temu projekt będzie łatwiejszy do zrozumienia i do uruchomienia. Aby dodać etykiety jak na **rysunku 9**, należy użyć poleceń *Place -> Net Label*. Na zakończenie, przed wykonaniem syntezy, należy zapisać projekt korzystając z poleceń *File -> Save All*.

W kolejnej części pokazemy jak sposób przeprowadzenia syntezy, zaprogramowania płyty docelowej NanoBoard oraz uruchomienia nowoutworzonego programu.



Rysunek 9. Kompletny projekt – ze wszystkimi etykietami i połączeniami

Wojciech Pietrasina
Evatronix SA

Dodatkowe informacje:

Evatronix S.A., ul. W. Przybyły 2, 43-300 Bielsko-Biała
tel. 33-499-59-12, faks: 33-499-59-18
e-mail: eda@evatronix.com, www.evatronix.com

<http://sklep.avt.pl>