

# MSP430 w przykładach (2)

## Konfigurowanie układu zegarowego

**Charakterystyczną cechą MSP430 jest rozbudowany system zegarowy. Najbardziej zaawansowane układy posiadają 3 wewnętrzne sygnały zegarowe, które można taktować z jednego z 5 źródeł (3 wewnętrzne, 2 zewnętrzne). Dodatkowo część układów wyposażono w wewnętrzny oscylator który może być użyty do taktowania przetwornika A/C oraz kontrolera FLASH. W artykule omówimy działanie systemu zegarowego w MSP430f1232.**

Zainstalowany w module „Komputerek” mikrokontroler MSP430f1232 to układ serii 1xx. Sygnały zegarowe mikrokontrolera tworzy i zarządza nimi generator taktujący Basic Clock. Budowę generatora ilustruje **rysunek 1**.

Na wyjściu generatora dostępne są 3 sygnały zegarowe. Sygnał **ACLK** (Auxiliary Clock) - zegar pomocniczy, używany do taktowania modułów peryferyjnych. Sygnał **MCLK** (Main Clock) - zegar jednostki centralnej CPU oraz systemu. Sygnał **SMCLK** (Sub-Main Clock) - zegar modułów peryferyjnych. Sygnały zegarowe ACLK, MCLK, SMCLK taktowane są przez wewnętrzne sygnały DCOCLK, LFXT1CLK, XT2CLK. Częstotliwość wewnętrznych sygnałów ustalana jest przez źródła DCO, LFXT1, XT2 i może być programowo podzielona przez 1/2/4/8. Sygnał ACLK taktowany jest przez sygnał LFXT1CLK (źródło LFXT1). Sygnały MCLK oraz SMCLK taktowane są przez sygnał DCOCLK (źródło DCO.), ale mogą być również taktowane przez sygnał LFXT1CLK (źródło LFXT1), albo przez sygnał XT2CLK (źródło XT2). Ponieważ MSP430f1232 nie ma źródła XT2, to sygnały zegarowe możemy taktować z dwóch źródeł: DCO oraz LFXT1.

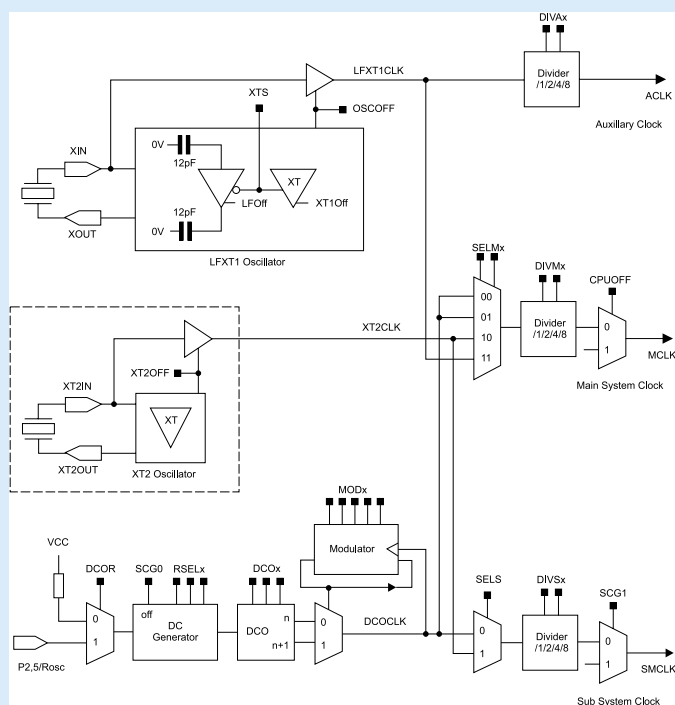
### Źródło DCO

Źródło DCO to wbudowany w strukturę mikrokontrolera generator kwarcowy o charakterystyce RC. Na wyjściu generatora wytwarzany jest sygnał DCOCLK. Zakres pracy generatora ustala rezystor. Domyślnie do źródła DCO dołączony jest wewnętrzny rezystor. W MSP430f1232 ma on wartość 300 kΩ i ustala zakres pracy generatora na 80 kHz...4,6 MHz. Żeby zmienić zakres pracy DCO należy do nóżki P2.5 mikrokontrolera dołączyć zewnętrzny rezystor oraz przełączyć DCO w tryb pracy z zewnętrznym rezystorem (bit DCOR w rejestrze BCCTL2). Sposób dołączenia rezystora ustalającego ilustruje **rysunek 2**.

Rezystor ustala zakres pracy źródła DCO. Częstotliwość sygnału DCOCLK konfigurowana jest za pomocą bitów RSELx, DCOx, MODx. Trzy bity RSELx, dzielą zakres pracy DCO (np. 80 kHz...4,6MHz) na 7 przedziałów. Z kolei bity DCOx dzielą wybrany przez RSELx przedział na 7 podprzedziałów. Bity RSELx, DCOx pozwalają ustawić częstotliwość DCOCLK na 1 z 64 sposobów. Żeby precyzyjniej ustawić częstotliwość DCOCLK należy zastosować mechanizm modulacji. Modulacja konfigurowana jest przy pomocy bitów MODx i działa na zasadzie mieszania częstotliwości dwóch sąsiednich podprzedziałów DCOx z DCOx+1. Stosując modulację w podprzedziale DCOx można uzyskać 32 częstotliwości pośrednie. W całym przedziale RSELx  $8 \times 32 = 256$  częstotliwości. W całym zakresie pracy rezonatora DCO, aż  $7 \times 256 = 1792$

częstotliwości DCOCLK! W sposób graficzny podział zakresu pracy DCO na przedziały i podprzedziały oraz modulację sygnału ilustruje **rysunek 3**. W materiałach będących uzupełnieniem artykułu autor prezentuje procedury pozwalające „precyzyjnie” ustawić częstotliwość DCOCLK. Procedury korzystają z mechanizmu programowej pętli FLL, ich użycie prezentowane jest w przykładzie numer 5.

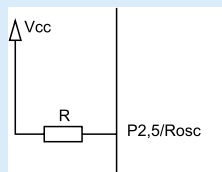
Korzystając z generatora DCO jako źródła sygnałów zegarowych, należy pamiętać, że częstotliwość sygnału DCOCLK, zależy od temperatury otoczenia oraz napięcia zasilania mikrokontrolera. Wahań częstotliwości sygnału, są mniejsze, jeśli DCO pracuje z zewnętrznym rezystorem ustalającym. Fluktuacje częstotliwości przy pracy z zewnętrznym rezystorem wynoszą: 0.1% na 1°C. Natomiast przy pracy z wewnętrznym rezystorem: 0.4% na 1°C. W **ćwiczeniu 2.1** „Pomiar częstotliwości sygnału DCOCLK” (na płycie CD) autor prezentuje program pozwalający zmierzyć częstotliwość sygnału DCOCLK. Program został napisany w dwóch wersjach. W pierwszej rezonator DCO pracuje w wewnętrznym, w drugiej z zewnętrznym rezystorem ustalającym. W obu przypadkach wynik pomiaru częstotliwości DCOCLK wyświetlany jest na ekranie LCD. Podgrzewając procesor (np.: przy użyciu nagrzewnicy),



**Rysunek 1. Schemat blokowy generatora Basic Clock**

Tab. 1 System zegarowy w wybranych seriach MSP430

seria MSP430	1xx	2xx	G2xx	5xx/6xx	CC430	FR57xx
Maks. częstotliwość taktowania CPU	8 MHz	16 MHz		25 MHz	20 MHz	24 MHz
Nazwa systemu zegarowego	Basic Clock BC	Basic Clock + BC+		Unified Clock System UCS		Clock System CS
Sygnaly zegarowe	ACLK, MCLK, SMCLK					
	sygnał generowany z oscylatora ADC			MODCLK		
Źródła sygnałów zegarowy	Wewnętrzne	DCO	DCO, VLO	DCO z FLL, VLO, REFO		DCO, VLO
	Zewnętrzne	dodatkowy oscylator ADC1xOSC		dodatkowy oscylator MODOSC		
VLO – (Very Low Power, Low Frequency Oscillator) częstotliwość około 10 kHz						
REFO – (Low Frequency Reference Oscillator) częstotliwość „zegarkowa” 32768 Hz						
ADC[10/12]OSC – oscylator ADC, taktowanie pomiarów analogowych, częstotliwość około 5 MHz						
MODOSC – oscylator ADC/FLASH, taktowanie pomiarów analogowych, kontrolera FLASH, częstotliwość około 5 MHz						
DCO, LFXT1, XT2 – omówione w artykule (DCO z FLL – DCO z funkcją sprzętowej kalibracji rezonatora)						



Rysunek 2. Źródło DCO, podłączenie zewnętrznego rezystora ustalającego

możemy empirycznie sprawdzić jak zmiany temperatury wpływają na częstotliwość sygnału DCOCLK. Wykonując to doświadczenie, należy uważać aby nie przegrzać i nie uszkodzić mikrokontrolera. W praktyce, jeśli chcemy aby częstotliwość sygnału DCOCLK była stabilna, to w oprogramowaniu musimy cyklicznie ustawiać jej wartość. Do kalibracji sygnału DCOCLK służą procedury prezentowanych w przykładzie numer 5.

### Źródło LFXT1

Źródło LFXT1, to wbudowany w strukturę mikrokontrolera oscylator. Na wyjściu źródła wytwarzany jest sygnał LFXT1CLK. Częstotliwość sygnału LFXT1CLK można ustalić na dwa sposoby. Pierwszym jest dołączenie do nóżek XIN, XOUT rezonatora. Można zastosować zarówno rezonator kwarcowy, jak i ceramiczny. Drugim sposobem jest doprowadzenie do nóżki XIN przebiegu zegarowego. Konfigurację elementów ustalających częstotliwość sygnału LFXT1CLK ilustruje rysunek 4.

Ustalając częstotliwość sygnału LFXT1CLK (rezonator, przebieg zegarowy) trzeba wziąć pod uwagę tryb pracy źródła. Źródło LFXT1, może pracować w jednym z dwóch

trybów pracy. W trybie LF (Low Frequency), tryb niskiej częstotliwości, bądź w trybie HF (High Frequency), tryb wysokiej częstotliwości. Oba tryby pracy konfigurowane są przy pomocy bitu XTS. W trybie LF, źródło może pracować z rezonatorem kwarcowym o częstotliwości „zegarkowej” 32768 Hz. W trybie HF, do źródła można dołączyć rezonator kwarcowy o częstotliwości 1...8 MHz, bądź rezonator ceramiczny 0,45...8 MHz. Podczas taktowania źródła przebiegiem zegarowym źródło również może pracować w trybie LF, albo HF. Z doświadczeń autora wynika, że układ w trybie LF zachowuje się stabilnie, gdy częstotliwość jest niższa niż 40 kHz, a w trybie HF, gdy jest z zakresu 0,1...8 MHz.

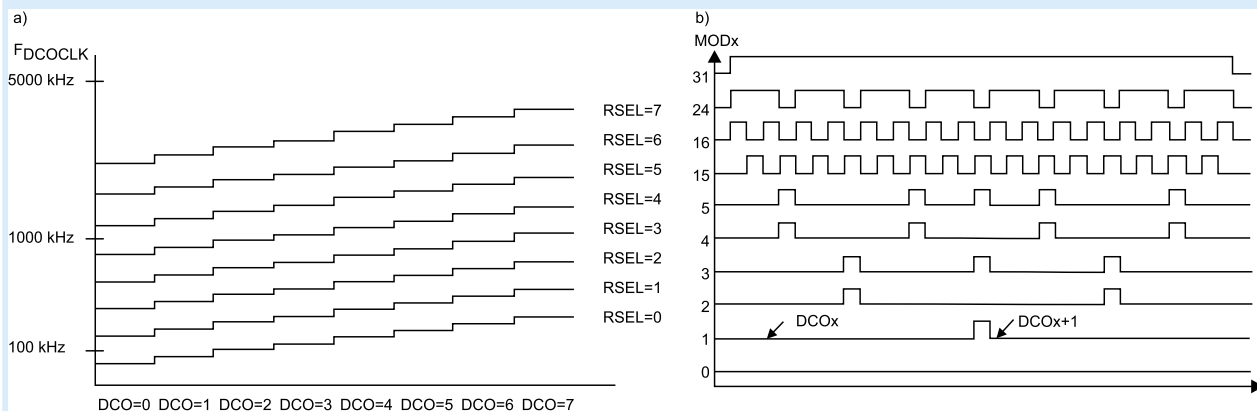
W trybie HF źródło LFXT1 posiada mechanizm wykrywający zanik sygnału LFXT1CLK. W momencie, gdy sygnał zaniknie na czas dłuższy niż 50 mikrosekund to w rejestrze IFG1 ustawiana jest flaga przerwania OFIFG. Programista w procedurze obsługi przerwania („niemaskowane” NMI) może zareagować na wystąpienie błędu. Dodatkowo, w przypadku, gdy sygnał LFXT1CLK taktował sygnał zegarowy MCLK to automatycznie źródło taktowania MCLK zostanie zmienione (przełączenie taktowania na sygnał DCOCLK). Zmiana taktowania MCLK zapobiega zatrzymaniu pracy jednostki centralnej CPU.

### Źródło XT2

Źródło XT2, to wbudowany w strukturę mikrokontrolera oscylator. Na wyjściu źródła generowany jest sygnał XT2CLK. Do ustalania częstotliwości sygnału XT2CLK, można zastosować rezonator kwarcowy (1...8 MHz), bądź ceramiczny (0,45...8 MHz) dołączony do wyprowadzeń XT2IN, XT2OUT. Możliwe jest również doprowadzenie do nóżki XT2IN sygnału zegarowego (0,1...8 MHz). Sposób dołączenia elementów ustalających częstotliwość sygnału XT2CLK ilustruje

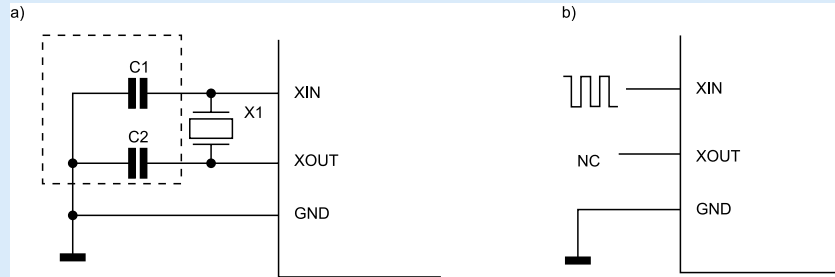
Tab. 2 Zakres pracy generatora DCO. Dane pomiarowe dla MSP430f1232

Rezystor Ustalający	rezystancja (kΩ)	Zakres pracy DCO	
		Częstotliwość DCOCLK Minimalna	Częstotliwość DCOCLK Maksymalna
Wewnętrzny	300	RSELx=0, DCOx=0	RSELx=7, DCOx=7
	400	80 kHz	4,6 MHz
	300	40 kHz	3,6 MHz
Zewnętrzny	300	60 kHz	4,5 MHz
	200	95 kHz	6,3 MHz
	100	240 kHz	9,3 MHz



Rysunek 3. Źródło DCO a) podział zakresu pracy na przedziały i podprzedziały b) modulacja

**rysunek 5.** Podobnie jak w przypadku źródła LFXT1 pracującego w trybie HF, zaimplementowano mechanizm wykrywania zaniku sygnału XT2CLK. Użyty w module „Komputerek” mikrokontroler MSP430f1232 nie ma źródła.



**Rysunek 4.** Źródło LFXT1 a) montaż rezonatora, (w trybie HF kondensatory) b) sposób dołączenia sygnału zegarowego

## Konfigurowanie

Parametry pracy układu zegarowego w MSP430 ustalamy definiując konfigurację

Konfigurowanie układu zegarowego. Przykład 1	
Konfiguracja sprzętowa modułu „Komputerek”.	Odłącz zworki JP7, JP8. MSP430f1232 pracuje bez zewnętrznych elementów ustalających częstotliwość sygnałów zegarowych.
Konfiguracja programowa układu MSP430f1232.	Brak.
Parametry sygnałów zegarowych: MCLK, SMCLK, ACLK.	1.2 Sygnały zegarowe MCLK, SMCLK taktowane są ze źródła DCO sygnałem DCOCLK. Częstotliwość sygnału DCOCLK a tym samym sygnałów zegarowych MCLK, SMCLK wynosi około 740 kHz (wewnętrzny rezystor, ustawienia domyślne). 3. Sygnał zegarowy ACLK taktowany jest ze źródła LFXT1 sygnałem LFXT1CLK (źródło pracuje w trybie LF) Ponieważ nie podłączono elementów ustalających częstotliwość sygnału LFXT1CLK, to sygnał ACLK nie jest aktywny.

cię sprzętową oraz programową układu. Konfigurowanie sprzętowe polega na dołączeniu do mikrokontrolera zewnętrznych elementów ustalających częstotliwość sygnałów zegarowych (rezystor ustalający, rezonator kwarcowy, rezonator ceramiczny, sygnał zegarowy). Konfiguracja programowa to zmiana bitów w rejestrach konfiguracyjnych.

Projektując urządzenie musimy podjąć decyzję, czy do mikrokontrolera będą dołączane zewnętrzne elementy ustalające częstotliwość pracy zegarów, a jeśli tak to o jakich parametrach. Brak jest „twardych” reguł mówiących o tym, jak należy postępować. Zawsze trzeba kierować się założeniami projektu. W przypadku, gdy konstruowane urządzenie ma być zasilane z baterii, to należy zastosować taką konfigurację sprzętową układu, aby pobór prądu był jak najmniejszy. Jednym z najczęściej stosowanych schematów dla MSP430 jest, dołączenie do źródła LFXT1 rezonatora kwarcowego o częstotliwości zegarkowej 32768 Hz oraz użycie źródła XT2 (jeśli występuje).

REKLAMA

# Moduł komputera z procesorem MSP430F1232 AVTMSP430/2

# MSP430

Moduł startowy „Komputerek” zaprojektowany specjalnie na potrzeby kursu prowadzonego na łamach Elektroniki Praktycznej

### Wybrane parametry:

- złącze programatora JTAG,
- złącze USB typu B (do zewnętrznego zasilania modułu),
- koszyk na baterie CR2032 (zasilanie baterijne modułu),
- kwarc zegarkowy o częstotliwości 32768 Hz,
- rezonator kwarcowy 6 MHz,
- złącze do montażu wyświetlacza LCD ze sterownikiem HD44780,
- złącza interfejsów 1-Wire, SPI, RS-232 (dopasowanie poziomów logicznych interfejsu UART do standardu RS-232 wykonano na tranzystorach),
- brzęczyk piezoelektryczny, potencjometr, trójkolorowa dioda RGB,
- złącze do pomiaru poboru prądu,
- dwa przyciski ogólnego przeznaczenia, przycisk reset,
- trzy złącza szplikowe na które wyprowadzono wszystkie linie wejścia-wyjścia mikrokontrolera.

[www.sklep.avt.pl](http://www.sklep.avt.pl)

AVT-Korporacja Sp. z o.o., 03-197 Warszawa, ul. Leszczynowa 11, tel. 022 257 84 50, fax 022 257 84 55, e-mail: handlowy@avt.pl





W przypadku, gdy w oprogramowaniu potrzebujemy stabilnej częstotliwości DCOCLK, to zaleca się wykonanie kalibracji rezonatora DCO (ewentualnie dołączenie do źródła DCO zewnętrznego rezystora i tym samym poprawienie stabilności sygnału DCOCLK). Przy takiej konfiguracji w MSP430 aktywny jest sygnał zegarowy ACLK oraz możemy korzystać trybu uśpienia LPM3 w którym pobór prądu wynosi około 0,8  $\mu$ A.

Programowo moduł *Basic Clock* konfigurowany jest przy pomocy rejestrów DCOCTL, BCSCTL1, BCSCTL2 (opis w materiałach dołączonych do artykułu). Bity RSELx, DCOx, MODx definiują częstotliwość sygnału DCOCLK, a bit DCOR wybiera rezystor ustalający częstotliwość DCO (wewnętrzny / zewnętrzny). Źródło taktowania sygnału MCLK konfiguruje bit SELMx, a sygnału

SMCLK bit SELS. Źródło taktowania sygnału zegarowego ACLK nie można zmieniać. Jest nim zawsze sygnał LFXT1CLK. Bity DIVAx, DIVMx, DIVSx ustawiają preskaler sygnałów zegarowych ACLK, MCLK, SMCLK (podział częstotliwości przez 1/2/4/8). Z kolei bit XTS definiuje tryb pracy źródła LFXT1 (tryb LF / tryb HF).

W przypadku, gdy zdecydujemy się taktować sygnały zegarowe, sygnałem LFXT1CLK (źródło LFXT1, tryb HF) albo sygnałem XT2CLK to konieczne jest sprawdzenie poprawności sygnału. Sekwencja instrukcji sprawdzająca poprawność sygnału LFXT1CLK wygląda następująco: włącz źródło LFXT1/XT2, wyzeruj flagę błędu oscylatora OFIFG, czekaj co najmniej 50 mikrosekund, sprawdź

#### Konfigurowanie układu zegarowego. Przykład 2

Konfiguracja sprzętowa modułu „Komputerek”.	Zworki JP7, JP8 ustaw w pozycji LF. Rezonator kwarcowy X1, o częstotliwości 32768 Hz dołączony do wejść XIN, XOUT źródła LFXT1.
Konfiguracja programowa układu MSP430f1232.	BCSCTL1  = RSEL2 + RSEL1 + RSEL0; DCOCTL  = DCO2 + DCO1 + DCO0;
Parametry sygnałów zegarowych: MCLK, SMCLK, ACLK.	1.2 Sygnały zegarowe MCLK, SMCLK taktowane są ze źródła DCO sygnałem DCOCLK. Źródło DCO pracuje z wewnętrznym rezystorem ustalającym. Bity konfiguracyjne RSELx, DCOx ustalają maksymalną częstotliwość sygnału DCOCLK. Częstotliwość sygnału DCOCLK a tym samym sygnałów zegarowych MCLK, SMCLK wynosi około 4,6 MHz. 3. Sygnał zegarowy ACLK taktowany jest ze źródła LFXT1 sygnałem LFXT1CLK. Źródło LFXT1 pracuje w trybie LF. Elementem ustalającym częstotliwość sygnału LFXT1CLK jest rezonator kwarcowy X1. Częstotliwość sygnału LFXT1CLK, a tym samym ACLK wynosi 32768 Hz.

#### Konfigurowanie układu zegarowego. Przykład 3

Konfiguracja sprzętowa modułu „Komputerek”.	Zworki JP7, JP8 ustaw w pozycji HF. Rezonator kwarcowy X2, o częstotliwości 6 MHz dołączony do wejść XIN, XOUT źródła LFXT1.
Konfiguracja programowa układu MSP430f1232.	BCSCTL1  = XTS; // włącz tryb wysokiej częstotliwości HF do // instrukcje sprawdzające poprawność { // sygnału LFXT1CLK IFG1 &= ~ OFIFG; // wyczyść flagę błędu oscylatora for (int i = 0xFF; i > 0; i--); // czekaj ponad 50 mikrosekund } // jeśli flaga błędu została ponownie while (IFG1 & OFIFG); // ustawiona (układ zgłosił błąd)  // // // powtórz instrukcje sprawdzające  BCSCTL2  = SELS; // taktuj SMCLK sygnałem LFXT1CLK BCSCTL1  = DIVA_1; // podzieli częstotliwość ACLK przez 2
Parametry sygnałów zegarowych: MCLK, SMCLK, ACLK.	1. Sygnał zegarowy MCLK taktowany jest ze źródła DCO sygnałem DCOCLK. Częstotliwość sygnału DCOCLK a tym samym sygnału zegarowego MCLK wynosi około 720 kHz. (wewnętrzny rezystor, ustawienia domyślne). 2. Sygnał zegarowy SMCLK taktowany jest ze źródła LFXT1 sygnałem LFXT1CLK. Źródło LFXT1 pracuje w trybie HF. Elementem ustalającym częstotliwość sygnału LFXT1CLK jest rezonator kwarcowy X2. Częstotliwość sygnału LFXT1CLK, a tym samym SMCLK wynosi 6 MHz. 3. Sygnał zegarowy ACLK taktowany jest ze źródła LFXT1 sygnałem LFXT1CLK. Częstotliwość sygnału ACLK, programowo podzielono przez 2. Wynosi 3 MHz.

#### Konfigurowanie układu zegarowego. Przykład 4

Konfiguracja sprzętowa modułu „Komputerek”.	Zworki JP7, JP8 ustaw w pozycji LF. Rezonator kwarcowy X1 o częstotliwości 32768 Hz dołączony do wejść XIN, XOUT źródła LFXT1. Do wejścia P2.5/Rosc podłącz zewnętrzny rezystor 300 k $\Omega$ .
Konfiguracja programowa układu MSP430f1232.	BCSCTL2  = DCOR; // ustaw zewnętrzny rezystor, jako element  // ustalający częstotliwość DCOCLK BCSCTL2  = DIVS_2; // podzieli częstotliwość SMCLK przez 4 BCSCTL1  = DIVA_1; // podzieli częstotliwość ACLK przez 2
Parametry sygnałów zegarowych: MCLK, SMCLK, ACLK.	1. Sygnał zegarowy MCLK taktowany jest ze źródła DCO sygnałem DCOCLK. Źródło pracuje z zewnętrznym rezystorem. Bity konfiguracyjne mają ustawienia początkowe RSELx=4, DCOx=3. Częstotliwość sygnału DCOCLK a tym samym sygnału zegarowego MCLK wynosi około 620 kHz 2. Sygnał zegarowy SMCLK taktowany jest ze źródła DCO sygnałem DCOCLK. Częstotliwość sygnału programowo podzielono przez 4. Wynosi 155 kHz. 3. Sygnał zegarowy ACLK taktowany jest ze źródła LFXT1 sygnałem LFXT1CLK. Źródło LFXT1 pracuje w trybie LF. Elementem ustalającym częstotliwość sygnału LFXT1CLK jest rezonator kwarcowy X1. Częstotliwość sygnału LFXT1CLK, a tym samym ACLK wynosi 16384 Hz. Częstotliwość bazową 32768 Hz programowo podzielono przez 2.

#### Konfigurowanie układu zegarowego. Przykład 5

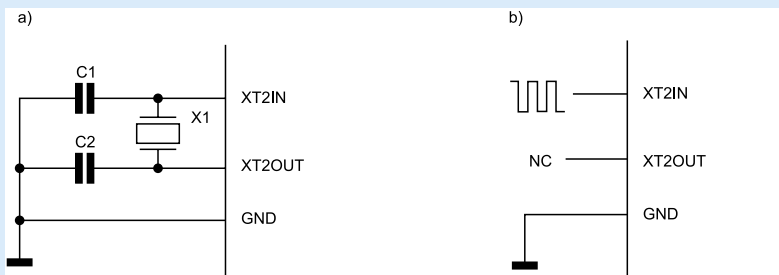
Konfiguracja sprzętowa modułu „Komputerek”.	Zworki JP7, JP8 ustaw w pozycji LF. Rezonator kwarcowy X1, o częstotliwości 32768 Hz dołączony do wejść XIN, XOUT źródła LFXT1.
Konfiguracja programowa układu MSP430f1232.	Ustawienie oraz kalibracja częstotliwości DCOCLK (program „Rezonator DCO” zamieszczony na CD). 1.2 Sygnały zegarowe MCLK, SMCLK taktowane są ze źródła DCO sygnałem DCOCLK. Częstotliwość sygnału DCOCLK a tym samym sygnałów zegarowych MCLK, SMCLK wynosi dokładnie 4 MHz (kalibracja sygnału). 3. Sygnał zegarowy ACLK taktowany jest ze źródła LFXT1 sygnałem LFXT1CLK. Częstotliwość sygnału LFXT1CLK, a tym samym ACLK wynosi 4096kHz. Częstotliwość bazową 32768 Hz programowo podzielono przez 8.
Parametry sygnałów zegarowych: MCLK, SMCLK, ACLK.	

wartość flagi błędu oscylatora. Jeśli flaga jest ustawiona to wróć do instrukcji zerowania flagi błędu oscylatora.

### Moduł „Komputerek”

Mikrokontroler MSP430f1232 zastosowany w module „Komputerek” nie posiada źródła XT2. Dostępne są źródło DCO oraz LFXT1. Do ustalania częstotliwości sygnału LFXT1CLK na płycie układu zainstalowano dwa rezonatory kwarcowe. W trybie LF do nóżek XIN, XOUT można dołączyć rezonator kwarcowy X1 o częstotliwości zegarkowej 32768 Hz. W trybie HF, rezonator kwarcowy X2 o częstotliwości 6 MHz. Oba rezonatory konfigurowane są przy pomocy zworek JP7, JP8. Obie zworki ustawione w pozycji 1-2 (na płycie układu oznaczenie LF) dołączają rezonator X1. Ustawione w pozycji 2-3 (oznaczenie HF) rezonator X2. Szeregowo do rezonatora XT2 dołączono dwa kondensatory o pojemności 27 pF każdy.

Po starcie mikrokontrolera sygnały zegarowe MCLK, SMCLK taktowane są z generatora DCO, sygnałem DCOCLK. Bit konfiguracyjny DCOR jest wyzerowany i źródło DCO pracuje z wewnętrznym rezystorem ustalającym. Bit RSELx ma wartość 4, a bit DCOx wartość 3. Ustawienie bitów RSELx, DCOx sprawia, że częstotliwość sygnału DCOCLK, wynosi około 740 kHz (zasilanie 3.3 V, temperatura 20 °C). Sygnał ACLK taktowany jest z źródła LFXT1, sygnałem LFXT1CLK, a źródło pracuje w trybie LF.



Rysunek 5. Źródło XT2 a) sposób dołączenia rezonatora b) sposób dołączenia sygnału zegarowego

### Przykłady

Autor prezentuje 5 przykładów konfiguracji układu zegarowego. Wszystkie przykłady były testowane przy użyciu modułu „Komputerek”. Przykłady o numerach od 1 do 4 należy uruchomić korzystając z zamieszczonego na CD programu „Generator Basic Clock”. W programie wszystkie sygnały zegarowe mikrokontrolera zostały wyprowadzone na linie wejścia-wyjścia i można zmierzyć ich wartość. Przykład numer 5 należy uruchamiać korzystając z zamieszczonego na CD programu „Rezonator DCO”. W programie autor ustawia częstotliwość sygnału DCOCLK. Następnie, cyklicznie co 10 sekund koryguje parametry sygnału (kalibracja rezonatora DCO).

**Łukasz Krysiewicz**  
lukasz\_krysiewicz@interia.pl

REKLAMA

# Altium Designer

Zapraszamy na jesienne

## ROADSHOW

WARSZAWA POZNAŃ WROCŁAW

Szczegóły na: [www.evatronix.com.pl/roadshow](http://www.evatronix.com.pl/roadshow)



 **evatronix**

ul. Przybyły 2, 43-300 Bielsko-Biała, tel. 33 499 59 12  
eda@evatronix.com.pl; [www.evatronix.com.pl/eda](http://www.evatronix.com.pl/eda)