

Programowany dzielnik częstotliwości

**Projekt
099**

W dominujących we współczesnej elektronice urządzeniach z układami programowalnymi i sterownikami mikroprocesorowymi propozycja budowy urządzenia zawierającego tylko dwa „normalne” cyfrowe układy scalone wydawać się może nie na miejscu. Jednak i takie urządzenie, jak wykazano poniżej, daje się programować.

Niejednokrotnie zachodzi potrzeba podziału częstotliwości sygnału cyfrowego w określonym stosunku. Proponowany układ pozwala na podział tej częstotliwości przez dowolną liczbę całkowitą z zakresu od 2 do 256. Krotność podziału uzyskuje

się poprzez odpowiednie ustawienie zespołu ośmiu przełączników oraz dwóch jumperów.

Opis działania układu

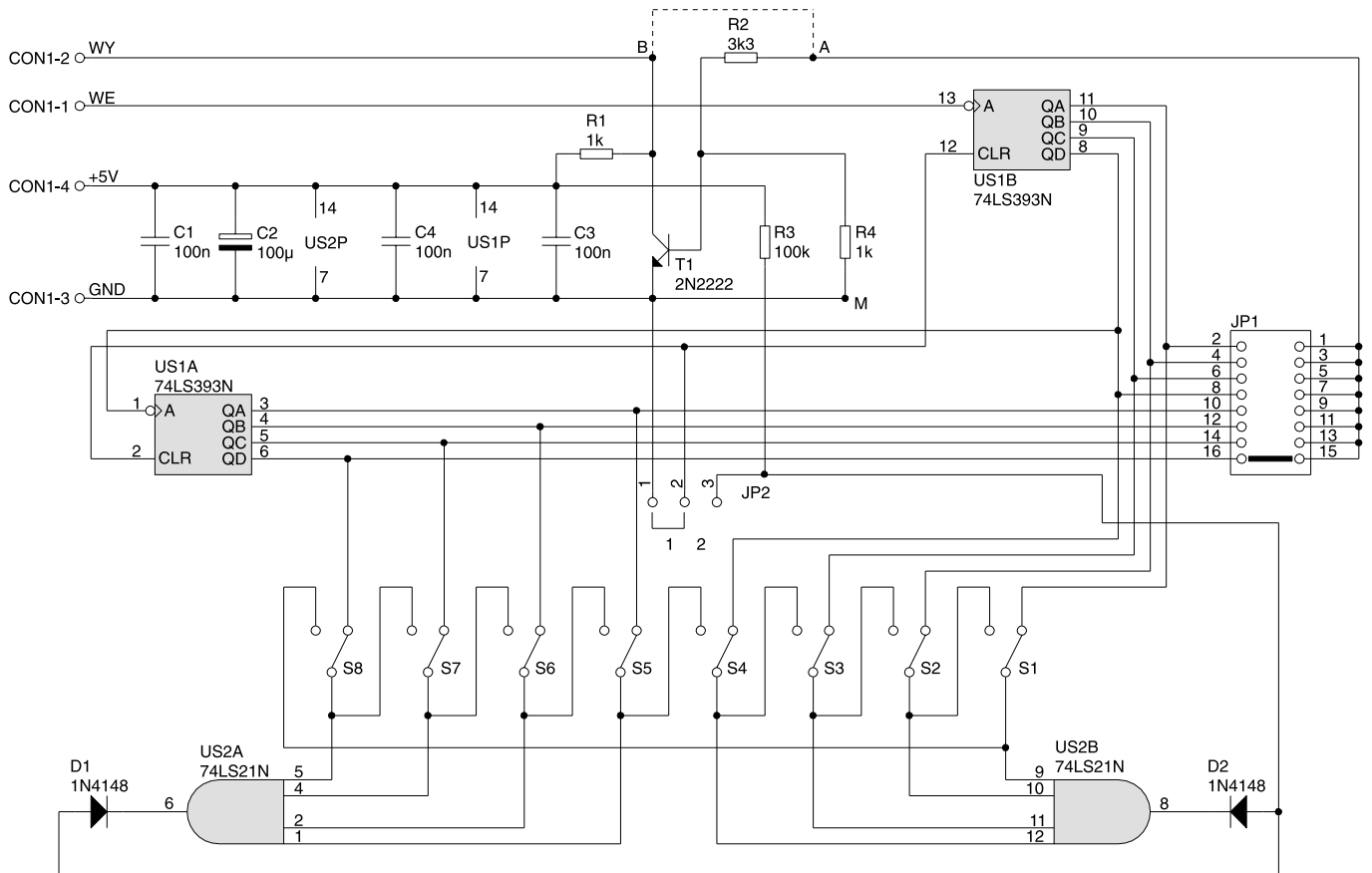
Schemat elektryczny dzielnika przedstawiono na **rys. 1**. Sygnał w standardzie TTL doprowadzony jest poprzez wejście układu CON1-1 do wejścia 13 8-bitowego licznika binarnego, utworzonego poprzez kaskadowe połączenie dwóch liczników 4-bitowych zawartych w układzie US1 74393. Stany wyjść licznika poprzez przełączniki S1...S8 ustawiają dwie 4-wejściowe bramki AND układu US2 7421. Wejścia 2 i 12 US1 zerujące licznik są sterowane wspólnie stanami wyjść 6 i 8 bramek US2 poprzez diody D1, D2, rezystor R3 oraz jumper JP2.

Wyjście CON1-2 układu połączone jest selektywnie z jednym z wyjść licznika US1. Selekcji dokonuje się poprzez odpowiednie ustawienie jumpers JP1. Opcjonalnie wyjścia licznika mogą sterować prostym, 1-tranzystorowym, zbudowanym z elementów T1, R1, R2, R4 wzmacniaczem, umożliwiającym dołączeniem do wyjścia CON1-2 obciążenia zewnętrznego.

Kluczowe znaczenie w programowaniu krotności podziału częstotliwości sygnału wejściowego ma sposób połączenia przełączników

Tab. 1. Ustawienia JP1 i JP2 dla poszczególnych podzakresów podziału

	Pozycja JP1	Pozycja JP2
	1	2
1	2	X
2	4	3
3	8	5...7
4	16	9...15
5	32	17...31
6	64	33...63
7	128	65...127
8	256	129...255



Rys. 1

S1...S8. Przy pomocy tych przełączników krotność ta kodowana jest w postaci liczby binarnej. Zwarte styki 2-4 przełącznika oznaczają bit ustawiony, 2-3 - skasowany. Skrajny prawy przełącznik S1 reprezentuje bit najmłodszy, S8 - najstarszy. Ustawienie przełącznika powoduje połączenie jednego z wejść bramek AND US2 z odpowiadającym mu wyjściem licznika US1. Skasowanie przełącznika łączy jego wejście bramki AND US2 z znajdującym się najbliżej w lewo przełącznikiem ustawionym. Dla S8 najbliższym jest S1. W ten sposób wszystkie nieaktywne wejścia bramek AND US2 połączone są z ich wejściami aktywnymi, niezależnie od ilości ustawionych przełączników S1...S8. Wyjątkiem jest usta-

wienie krotności podziału na „0”. Wszystkie wejścia bramek AND US2 połączone są wtedy razem i pozostają w stanie niskim, na wyjściu układu CON1-2 brak sygnału.

Od momentu włączenia układu licznik US2 rozpoczyna zliczanie impulsów wejściowych. Bramki AND US2 są zamknięte. Na wejściach zerujących 2 i 12 licznika utrzymuje się wymuszony przez diody D1 i D2 stan niski. Z chwilą uzyskania przez licznik stanu zgodnego z ustawieniem przełączników S1...S8, wszystkie wejścia obu bramek AND US2 przechodzą w stan wysoki. Bramki zostają otwarte. Powoduje to wymuszenie za pośrednictwem rezystora R3 stanu wysokiego na wejściach zerujących 2 i 12 licznika. Licznik zostaje wyzerowa-

wany i zliczanie rozpoczyna się od nowa. Częstotliwość sygnału na wyjściu CON1-2 układu jest tyle razy mniejsza od częstotliwości wejściowej, ile wynosi krotność podziału ustawiona przy pomocy przełączników S1...S8.

Ten sposób działania układu dotyczy przypadków ustawienia JP2 w poz. 2, a JP1 w pozycjach zgodnych z tab. 1, określającą podzakresy podziału częstotliwości w zależności od położenia jumperów JP1 i JP2.

Przestawienie JP2 w poz. 1 powoduje przyłączenie wejść zerujących 2 i 12 licznika US1 do masy układu. Licznik pracuje wtedy w pełnym cyklu, niezależnie od ustawienia przełączników S1...S8.

Przy poz. 1 JP2 krotność podziału zależy wyłącznie od położenia JP1 i ma wartość 2n, gdzie n jest pozycja jumpera JP1, stany przełączników S1... S8 są przy tym obojętne. Przy poz. 2 JP2 położenie JP1 musi odpowiadać ściśle zakresowi, w którym mieści się liczba zakodowana binarnie przełącznikami S1...S8. Przesunięcie JP1 poza zakres w górę spowoduje brak sygnału na wyjściu układu, prze-

sunięcia w dół zmieniają krotność podziału w sposób możliwy wprawdzie teoretycznie do określenia, nie jest to jednak istotne bo i tak jest ona zawsze liczbą z przedziału 3...255 i może być ustawiona w normalny sposób, zgodny z tab. 1. Przy poz. 1 JP1, poz. 1 JP2 i ustawieniu S1...S8 na

WYKAZ ELEMENTÓW

Rezystory

- R1 (opcja): 1 kΩ
- R2 (opcja): 3,3 kΩ
- R3: 100 kΩ
- R4 (opcja): 1 kΩ

Kondensatory

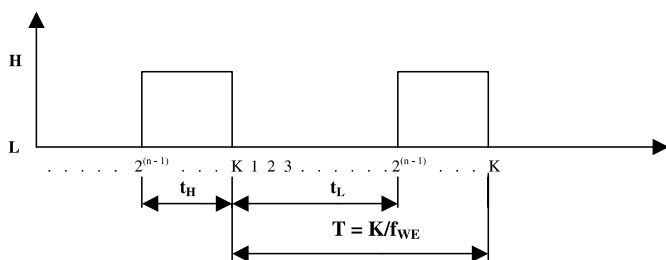
- C1, C3, C4: 100 nF
- C2: 100 μF/16V

Półprzewodniki

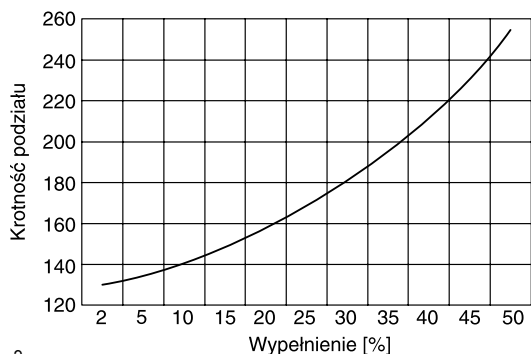
- D1, D2: 1N4148
- T1 (opcja): 2N2222 lub podobny
- US1: 74393 (74LS393) + podstawka
- US2: 7421 (74LS21) + podstawka

Różne

- CON1: ARK4 (3,5 mm)
- JP1: goldpin 8x2 + jumper
- JP2: goldpin 1x3 + jumper
- S1...S8: przełącznik hebelkowy



Rys. 2



Rys. 3

0, 1 lub 2 sygnał na wyjściu nie występuje. Współczynnik wypełnienia sygnału wyjściowego dla poz. 2 JP2 jest określony wzorem:

$$W = 100 \times (K + 1 - 2^{(n-1)}) / K \text{ [%]}$$

gdzie: K - krotność podziału.

Zależność ta wynika z faktu, że wyjście układu pozostaje w stanie niskim do chwili osiągnięcia przez licznik stanu $2^{(n-1)}$, od tego momentu do chwili wyzerowania licznika wyjście jest w stanie wysokim. Zależności czasowe na wyjściu dzielnika zilustrowano na rys. 2. Wykres pokazany na rys. 3 pozwala

określić w przybliżeniu wartości wypełnienia dla najszerzego podzakresu podziału 129...255. W poz. 1 JP2 wypełnienie sygnału na wyjściu jest zawsze 50%.

Układ dzielnika zasilany jest stabilizowanym napięciem $\pm 5V$ dołączanym do punktów CON1-4 i CON1-3 układu. Kondensatory C1, C2, C3 i C4 służą do odsprężania zasilania.

Montaż i uruchomienie

Dzielnik zmontowano na jednostronnej płycie drukowanej. Ze względu na niewielką

liczbę elementów zastosowanych w układzie można go zmontować także na płycie uniwersalnej.

Montaż należy rozpocząć od wlutowania od strony elementów zworek Z1...Z12, następnie montuje się przełączniki S1...S8. Teraz dopiero odpowiednie wyprowadzenia przełączników można połączyć od strony lutowania zworkami Z13...Z19. Połączenia te konieczne wykonane być muszą przewodem izolowanym.

W następnej kolejności montujemy: złącze CON1, goldpiny JP1 i JP2, podstawki pod układy scalone, rezystory, diody, tranzystor, kondensatory stałe i elektrolityczny. W przypadku rezystancji ze wzmacniacza wyjściowego pomijamy elementy T1, R1, R2 i R4, a punkty „A” i „B” zwieramy odcinkiem przewodu, oznaczonym na schemacie montażowym linią przerywaną. Punkt „M” jest tylko dodatkowym punktem masy układu.

Po włożeniu w podstawki układów scalonych US1 i US2 i umieszczeniu obu jumperów na poz. 1 oraz nieaktywnym ustawieniu przełączników S1...S8 (wszystkie hebelki w dół), do wejścia układu doprowadzamy sygnał TTL o znanej częstotliwości i włączamy zasilanie. Na wyjściu układu powinien pojawić się sygnał o częstotliwości dwukrotnie niższej i wypełnieniu 50%.

Jeżeli układ działa prawidłowo, przestawianie JP1 na kolejne pozycje powoduje każdorazowo obniżenie częstotliwości wyjściowej o połowę.

Następnie przestawiamy JP2 na poz. 2, przełącznikami S1...S8 ustawiamy dowolną krotność K podziału z zakresu 3...255 (hebelki aktywnych przełączników w górę), JP1 ustawiamy na pozycji zgodnej z tab. 1. Częstotliwość na wyjściu układu powinna okazać się K-tą podwielokrotnością częstotliwości sygnału wejściowego.

Marek A. Kulczycki