

Automatyczne testowanie urządzeń elektronicznych

W drugiej części artykułu przedstawiamy najczęściej stosowane metody testowania obwodów elektrycznych, których podstawową zaletą jest możliwość weryfikacji pracy układów scalonych zamontowanych w urządzeniach (testowanie *in-circuit*).



Agilent Technologies

Innovating the HP Way

Część 2: Przegląd systemów ATE firmy Agilent Technologies

Agilent 3070 Series 3 - wszechstronne testowanie obwodów elektrycznych na płytkach drukowanych

Na testowanie typu *in-circuit* składa się wiele metod, których wspólną cechą jest konieczność fizycznego dostępu do węzłów obwodu elektrycznego. Celem testów ICT jest wykrywanie wadliwych komponentów oraz sprawdzenie jakości połączeń między nimi. Działanie takie pozwala na szybką lokalizację błędów montażowych oraz na ich usunięcie bez konieczności wykonywania testów funkcjonalnych.

Na rys. 6 przedstawiono podział metod testowania *in-circuit*. Generalnie testy ICT można podzielić na *unpowered* i *powered*, czyli na wykonywane z wyłączonym oraz odpowiednio z włączonym zasilaniem badanego układu. Kolejne gałęzie wykresu klasyfikacyjnego pokazanego na rys. 6 przedstawiają już konkretne, stosowane w testerach metody weryfikacji.

Do grupy testów *unpowered* należy test impedancji międzywęzłowej, który polega - tak, jak wskazuje jego nazwa - na pomiarze impedancji między węzłami obwodu elektrycznego, w celu sprawdzenia czy są odpowiednie połączenia między nimi i jaka jest ich jakość.

Drugi rodzaj testów z grupy *unpowered* to analogowe testy ICT, które obejmują testowanie poszczególnych elementów analogowych umieszczonych na płytce PCB, takich jak: rezystory, kondensatory, potencjometry, przełączniki, diody, tranzystory, wzmacniacze operacyjne.

Z kolei testy z włączonym zasilaniem badanego urządzenia (*powered*) obejmują testo-

wanie układów cyfrowych oraz testowanie z wykorzystaniem sygnałów mieszanych - analogowych i cyfrowych. Pierwszy rodzaj testów polega na podaniu na wejściu układu cyfrowego odpowiedniego wektora testowego, a następnie na porównaniu stanów wyjść z przygotowanym na podstawie opisu układu wzorcem. Przy przeprowadzaniu testów tego rodzaju konieczne jest odizolowanie układu badanego od innych układów cyfrowych znajdujących się na płytce. Przy przeprowadzaniu testów z wykorzystaniem sygnałów mieszanych stosuje się wymuszenia i mierzy się odpowiedzi zarówno o charakterze cyfrowym jak i analogowym. Istotne jest, o czym trzeba pamiętać w przypadku tej metody testowania, zapewnienie synchronizacji między sygnałami cyfrowymi i analogowymi.

Pozostałymi do omówienia metodami, których nazwy znajdują się w gałęziach wykresu klasyfikacyjnego metod ICT są metody specjalne. Ich rozwój został wymuszony przez coraz gęstsze upakowanie elementów na płytkach PCB, co uniemożliwia dostęp do wszystkich węzłów obwodu elektrycznego. Do metod

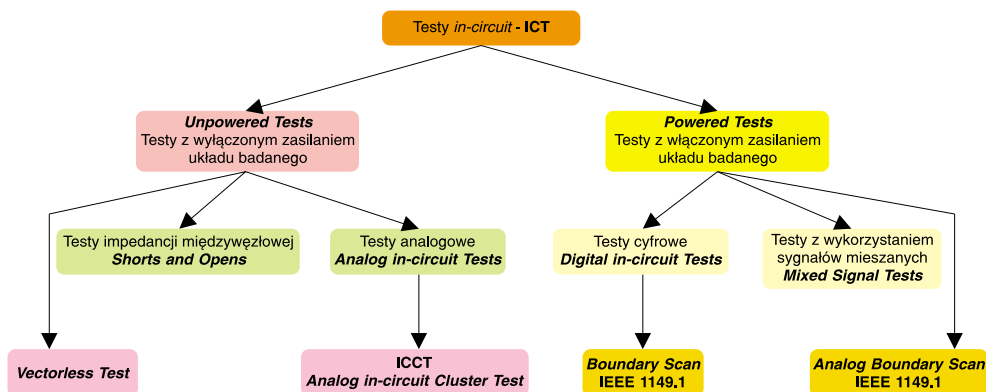
testowania *in-circuit* przeznaczonych do testowania płyt z ograniczonym dostępem należą: *Boundary Scan* (IEEE 1149.1), *Vectorless Tests*, *Analog Boundary Scan* (IEEE 1149.4) oraz ICCT - *Analog In-circuit Cluster Test*.

Boundary Scan to metoda testowania układów cyfrowych, w których podczas projektowania i produkcji wbudowano specjalny blok zwany logiką BS. W skład tego bloku wchodzi rejestr przesuwany, którego poszczególne komórki skojarzone są z wyprowadzeniami właściwego układu logicznego, rejestr obejściowy (*bypass*), rejestr IDCODE, rejestr instrukcji oraz kontroler TAP (*Test Access Port*). Przykładowy układ cyfrowy z blokiem BS pokazano na rys. 7. Logika BS powiększa ogólną liczbę wyprowadzeń układu scalonego o pięć: TDI (*Test Data Input*), TDO (*Test Data Output*), TCK (*Test Clock*), TMS (*Test Mode Select*), TRST (*Test Reset*). Wykorzystanie wejścia TRST jest opcjonalne.

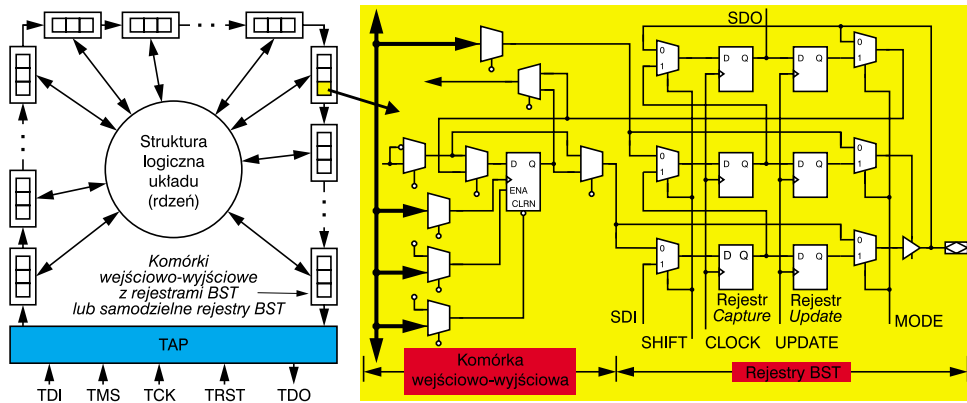
Rejestr przesuwany, którego komórki skojarzone są z wyprowadzeniami wejściowymi i wyjściowymi właściwego układu scalonego, pozwala na sterowanie i kontrolę tych

końcówek bez konieczności fizycznego dostępu do nich. Układy cyfrowe zaopatrzone w BS można łączyć w łańcuchy, a skrajne końcówki sterujące testem wyprowadzić na łącze krawędziowe płytki PCB. Dzięki temu testowanie nie wymaga dostępu do punktów lutowniczych znajdujących się na wewnętrznej powierzchni płytki. Oczywiście nie zdarza się tak, aby wszystkie układy cyfrowe wchodzące w skład urządzenia były wyposażone w logikę BS. Dlatego też konieczne jest testowanie pozostałych układów z wykorzystaniem innej metody. Może to być np. *Silicon Nails* - metodologia związana z techniką *Boundary Scan* i polegająca na doprowadzeniu wymuszeń i odprowadzeniu odpowiedzi od układów nie posiadających bloków BS za pomocą wyprowadzeń połączonych z nimi układów wyposażonych w logikę BS.

Metoda *Boundary Scan* pozwala na weryfikację orientacji przestrzennej zamontowanych układów cyfrowych, testowanie połączeń wyprowadzeń wejściowych i wyjściowych oraz na wykrywanie zwarcia, bądź braku połączenia lutowniczego końcówek ukła-



Rys. 6.



Rys. 7.

du. Rejestr IDCODE umożliwia sprawdzenie czy właściwy układ został zamontowany na odpowiednim miejscu. W porównaniu z typową metodą testowania z użyciem wektorów testowych, metoda BS poprawia poziom diagnostyki wyprowadzeń wejściowych. Testy typu *Boundary Scan* są zautomatyzowane. Generacja testów typu *Boundary Scan* odbywa się automatycznie na podstawie opisu w języku BSDL (*Boundary Scan Description Language*).

Rozszerzenie metody *Boundary Scan* o testy układów pracujących z sygnałami analogowymi i mieszany, opisane w normie IEEE 1149.4, jest nazywana metodą *Analog Boundary Scan*. Powyższa norma jest rozwinięciem normy IEEE 1149.1 w dwójki sposób. Po pierwsze, *Analog Boundary Scan* pozwala łączyć układy analogowe w łańcuchy z układami cyfrowymi i testować je tak, jak łańcuchy złożone wyłącznie z układów cyfrowych. Po drugie, umożliwia testowanie układów nie posiadających bloków BS za pomocą współpracujących z nimi układów *Boundary Scan*. Norma IEEE 1149.4 jest ciągle jeszcze w fazie rozwojowej i jej pełna testowa funkcjonalność nie jest jeszcze znana.

W odróżnieniu do technologii *Boundary Scan*, za pomocą której testuje się urządzenia z włączonym zasilaniem, metoda ICCT (*In-Circuit Cluster Test*) służy do testowania analogowych elementów biernych przy wyłączonym zasilaniu badanego układu. Metoda ICCT polega na testowaniu klastrow elementów biernych, do których ograniczony jest indywidualny dostęp elektryczny i pozwala na

wykrywanie zwarć i rozwarć, obecności elementów oraz weryfikacji ich prawidłowego rozmieszczenia. Możliwy jest również pomiar wartości parametrów elementów. Opis testu jest w tej metodzie generowany automatycznie na podstawie listy połączeń. Odpowiednie oprogramowanie przeprowadza identyfikację klastrow, generację zbiorów pobudeń, oczekiwanych odpowiedzi oraz ograniczeń i tolerancji. Wadami techniki ICCT jest mała przepustowość w porównaniu z klasycznymi testami ICT oraz duża wrażliwość na topografię układu.

Kolejną specjalną metodą testowania typu *unpowered* jest *Vectorless Test*. Celem tej techniki nie jest, tak jak w przypadku wymienionych wyżej, umożliwienie testowania płytek z ograniczonym dostępem do węzłów, lecz stworzenie prostszej alternatywy dla cyfrowych testów wektorowych w przypadku bardzo skomplikowanych układów cyfrowych. Metoda *Vectorless* polega na pomiarze pojemności między punktem lutowniczym, do którego powinno być dołączone wyprowadzenie układu scalonego a obudową tego układu, bądź też na badaniu diod zabezpieczających zamontowanych przy końcówkach układów scalonych. Badanie RTG również jest zaliczane do metod typu *Vectorless*, ale pomijamy je tutaj ze względu na to, że ta część artykułu jest poświęcona testom ICT.

Należy wspomnieć również o dwóch podejściach do testowania płytek z ograniczonym dostępem do węzłów elektrycznych, których nie pokazano na rys. 5, ze względu na trudność w zakwalifikowaniu ich do testów typu

in-circuit. Pierwsze podejście to DFT (*Design For Testability*) - projektowanie z myślą o testowaniu. Polega ono na optymalizacji wyboru miejsc, w których będą umieszczone węzły z dostępem elektrycznym. Celem optymalizacji jest zapewnienie jak największej testowości układu przy jednoczesnej minimalnej liczbie dostępnych węzłów układu, co bezpośrednio przekłada się na pole powierzchni płytki. Drugie podejście z kolei wykracza nieco poza obszar metod ICT, gdyż jest bliskie testowaniu funkcjonalnemu. Metoda ta polega na funkcjonalnym testowaniu fragmentów urządzenia (*Powered Cluster Functional Test*). Pozwala ona co prawda na określenie sprawnych i niesprawnych fragmentów urządzenia, ale stworzenie na jej podstawie wyników raportów diagnostycznych jest już niestety niemożliwe.

3070 Series 3 - testery ICT firmy Agilent Technologies

Po omówieniu różnych metod testowania ICT przedstawimy teraz testery ICT 3070 firmy Agilent Technologies.

Testery serii 3070 tworzą trzy rodziny, które różnią się maksymalną liczbą testowanych węzłów oraz maksymalną liczbą modułów montowanych w głowicy testującej: 327x (1296 węzłów, 1 moduł), 317x (2592 węzły, 2 moduły), 307x (5184 węzły, 4 moduły). W skład rodzin 307x oraz 317x wchodzi siedem modeli, zaś rodzina 327x

składa się z sześciu modeli. Modele różnią się zasobami, takimi jak stosowane technologie testowe, dostępność zewnętrznych przyrządów pomiarowych i modułów programowych oraz rodzajem kontrolera: stacja robocza HP-UX albo komputer PC. Na fot. 8 pokazano, jako przykład, model 3273.

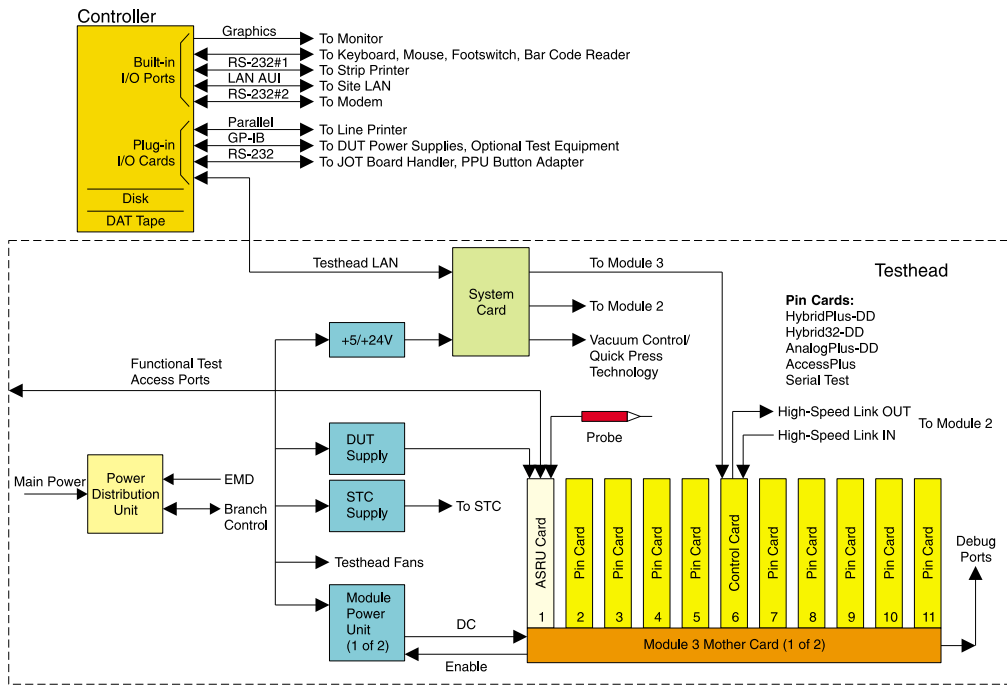
Każdy tester serii 3070 składa się z głowicy testującej (*testhead*) oraz kontrolera. Niektóre modele o większej funkcjonalności są ponadto wyposażone w zasobnik na dodatkowe zasilacze (*support bay*) oraz urządzenie do automatycznego przenoszenia testowanych płyt PCB (*board handler*). Głowice testujące są jedno-, dwu- bądź czteromodułowe. Każdy moduł posiada 11 slotów, w których instaluje się odpowiednie karty. Karty te tworzą zasoby sprzętowe niezbędne do testowania płyt PCB. Moduły są obligatoryjnie wyposażone w trzy karty:

- *Analog Stimulus Response Unit (ASRU)*,
- *Control Card (CC)*,
- *Pin Card*.

Karta ASRU zawiera źródła dostarczające napięcia i prądy oraz detektory do pomiaru tych wielkości. Pozwala to na przeprowadzenie testów analogowych przy wyłączonym zasilaniu urządzenia badanego. Karta ASRU jest również wyposażona w specjalny moduł MOA (*Measuring Operational Amplifiers*), służący do badania wzmacniaczy operacyjnych. Zadaniem karty CC jest sterowanie głowicą testującą oraz komunikacja z kontrolerem testera. W mo-



Fot. 8.



Rys. 9.

dule musi być również zainstalowana co najmniej jedna karta typu *Pin Card*, która służy bezpośrednio do testowania układów przy użyciu określonej metody. Dostępne są następujące karty *Pin*:

1. *HybridPlus-DD* - analogowe i cyfrowe testy ICT oraz analogowe i cyfrowe testy funkcjonalne.

2. *AnalogPlus-DD* - *in-circuit* - funkcjonalne testy analogowe oraz obsługa technologii *TestJet*, która zostanie omówiona niżej.

3. *Hybrid32-DD* - karta dostępna tylko w modelach z kontrolerem HP-UX o funkcjonalności zbliżonej do *HybridPlus-DD*;

4. *Serial TestPlus* - służy do testowania szeregowych kanałów przesyłu danych. Obsługuje zarówno linię danych, jak i zegarową, i sterującą, posiada własny generator sygnału zegarowego oraz interfejsy fizyczne realizowane za pomocą PPM (*Physical Personality Module*). Istnieją PPM-y dla trzech interfejsów fizycznych: ISDN S/T, ISDN U, TTL.

5. *AccessPlus* - dostarcza zasoby pomiarowe do przeprowadzenia testów funkcjonalnych z wykorzystaniem sygnałów analogowych i mieszanych.

Interfejsem sprzętowym pomiędzy kartami *Pin*, a testowaną płytą PCB jest *fixture*. *Fixture'y* są dostosowywane

z osobna do każdego typu testowanych płyt. Dostosowanie to polega na takim rozmieszczeniu sond, aby znajdowały się nad odpowiednimi węzłami obwodu elektrycznego.

Architekturę testerów rodziny 317x pokazano na rys. 9. Oprócz omówionych już elementów składowych testera, widać jeszcze na rysunku dodatkowe części składowe: sondę (*Probe*), zasilacze, kartę systemową (*System Card*), *Debug Ports*, porty sterowania próżnią (*Vacuum Port*) oraz porty przeznaczone do rozbudowy testów funkcjonalnych (*Functional Test Access Ports*).

Sonda jest wykorzystywana do wykrywania błędów podczas testów cyfrowych (sprawdzanie stanów logicznych na poszczególnych końcówkach) oraz do identyfikacji zasobów testera dołączonego do konkretnego węzła badanego obwodu elektrycznego. Porty typu *debug* pozwalają na dostęp do sygnałów wewnętrznych głowicy testującej, co jest konieczne w procesie usuwania błędów z testów cyfrowych oraz testów wykorzystujących sygnały mieszane. Porty sterowania próżnią połączone są z *fixture'ami*. Zewnętrzne przyrządy pomiarowe, rozszerzające możliwości testowania funkcjonalnego oferowane przez

urządzenia 3070, dołącza się poprzez porty *Functional Test Access*. Porty te zapewniają dostęp przyrządom zewnętrznym do dowolnej sondy testera.

Systemy testujące 3070 obsługują wiele metod testowych typu ICT, jak również umożliwiają w pewnym zakresie testy funkcjonalne. Metody testowania typu *unpowered* obejmują testowanie impedancji międzywęzłowych (*Short and Open*), *Analog In-circuit*, testy typu *Vectorless: TestJet Technology* i *Connect Check* oraz będącą kombinacją *Analog In-Circuit* i *TestJet* metodą testowania *Polarity Check* przeznaczoną do weryfikacji położenia kondensatorów elektrolitycznych.

Za pomocą testowania analogowego ICT sprawdzane są elementy biernie, dyskretne elementy półprzewodnikowe oraz wzmacniacze operacyjne. Na uwagę zasługują również metody typu *Vectorless*. *TestJet Technology* jest metodą przeznaczoną do wykrywania braku połączeń lutowniczych pomiędzy końcówkami układów scalonych a obwodem drukowanych poprzez pomiar małych pojemności (rzędu fF) między tymi końcówkami a sensorem umieszczonym ponad badanym elementem. Informacji o jakości połączenia dostarcza zmierzona pojemność. Jeśli jej wartość jest mniejsza od określonego pro-

gu, to oznacza, że połączenie nie jest sprawne.

Druga metoda typu *Vectorless* jest przeznaczona również do wykrywania wadliwych połączeń, z tym, że elementów innego rodzaju niż w przypadku *TestJet* oraz do sprawdzania obecności elementów i prawidłowości ich umiejscowienia.

Zbiór testów typu *powered* zawiera zarówno testy ICT (*Digital In-circuit, Boundary scan, Mixed*), jak i testy funkcjonalne analogowe i cyfrowe. Z właściwości tej wynika, że urządzenia 3070 nie są klasycznymi testerami ICT, lecz spełniają po części zadanie przeznaczone dla testerów funkcjonalnych.

Wszystkie czynności związane z przygotowaniem i przeprowadzeniem testów wspomagane są przez pakiet oprogramowania. W artykule nie będziemy omawiać każdego z kilkunastu dostępnych wraz z systemami 3070 programów, lecz ograniczymy się do przedstawienia w ostatnim punkcie artykułu podstawowych programów, które współpracują z różnymi typami testerów.

Testy funkcjonalne - Agilent TS-5500

Zadaniem testów funkcjonalnych, które są przeprowadzane w końcowej fazie produkcji urządzenia, jest stwierdzenie, czy urządzenie działa zgodnie ze swoim przeznaczeniem oraz określenie wartości jego parametrów. Omawiane do tej pory testery charakteryzowały się wysokim stopniem uniwersalności i mało istotne były dla nich cechy funkcjonalne badanego układu. Ważne było tylko, żeby wprowadzić dane o płytkach PCB do systemu, co pozwalało na przygotowanie programów testowych. Zupełnie inaczej jest w przypadku testów funkcjonalnych. W tym przypadku, tester jest specjalizowanym dla konkretnej klasy urządzeń systemem pomiarowym. Jako przykład testerów funkcjonalnych przedstawimy testery telefonów komórkowych firmy Agilent Technologies TS-5500.

W skład serii TS-5500 wchodzi dwie rodziny: starsza - TS-5530 składająca się z dwóch modeli (E8431A i E8432A) oraz nowocześnie-



Fot. 10.

sza - TS-5550 (modele E8452A, E8453A, E8454A). Rodziny te różnią się nieco funkcjonalnością, rodzajem przyrządów pomiarowych wchodzących w ich skład oraz maksymalną liczbą jednocześnie poddawanych testom telefonów. Ponieważ rodzina TS-5550 jest nowocześniejsza, przyjrzyjmy się jej dokładniej.

Tester TS-5550, pokazany na rys. 10, składa się z szafy, w której zamontowane są przyrządy pomiarowe oraz z kontrolera z zainstalowanym oprogramowaniem. Tester TS-5550 wykonuje pięć rodzajów testów telefonów komórkowych. Oto one:

1. *Phone Test and RF Path* - badanie podstawowych funkcji radiowych telefonu, takich jak inicjacja połączenia czy utrzymywanie protokołu.

2. *Audio Test* - test akustyczny obejmujący badanie mikrofonu, głośnika i obwodów audio.

3. *Battery Emulation* - badanie zachowania się telefonu w przypadku zmian napięcia zasilającego. Generowane przez zasilacz zmiany emulują zachowanie baterii telefonu.

4. *Battery Charging Circuitry* - testowanie obwodów ładowania baterii aparatu komórkowego.

5. *Low Frequency Measurement* - testy niskoczęstotliwościowe, w których mierzy się wartości podstawowych parametrów telefonu, np. moc wzmacniacza audio.

Każdy z testów wymaga odpowiednich przyrządów pomiarowych. Do realizacji pierwszego z nich wykorzystuje się, w zależności od standardu testowanych telefonów, specjalnych zintegrowanych testerów RF. Jeśli testowane są telefony GSM, to wykorzystywany jest system 8922P *GSM MS Multiband Test System*. Jeśli natomiast tester funkcjonalny TS-5550 jest zainstalowany na końcu linii produkującej telefony pracujące w standardzie CDMA, to używa się wtedy urządzenia 8924C *CDMA Mobile Station Test Set*. Do testów akustycznych przeznaczony jest 16-kanalowy digitizer z procesorem sygnałowym E1432A (wykonany w standardzie VXI), umieszczony w zamontowanym w szafie testera TS-5550 głównym komputerze. Digitizer ten próbkuje z częstotliwością 51,2kHz, co pozwala na uzyskanie 20kHz efektywnego pasma. Testy związane z zasilaniem wykonywane są z wykorzystaniem specjalizowanych zasilaczy: 66311B (test *Battery Emulation*) i 6612C (test *Battery Charging Circuitry*). Do testów niskoczęstotliwościowych wykorzystywane są dwa dodatkowe moduły VXI: multimetr 6,5 cyfry E1412A, miernik częstotliwości E1420B, jak również wspomniany już wcześniej digitizer E1432A. Raporty ze wszystkich omówionych testów pozwalają na pełne określenie sprawności

i parametrów wyprodukowanego telefonu. Po pomyślnym przejściu testów funkcjonalnych urządzenie trafia już do użytkownika.

Oprogramowanie

Oprogramowanie przeznaczone do wspomagania procesów testowania urządzeń elektronicznych zawiera znaczną liczbę pakietów wykorzystywanych na różnych etapach projektowania testów, ich weryfikacji, integracji systemów testujących oraz wszechstronnej analizy uzyskanych wyników. W niniejszym artykule ograniczymy się jedynie do krótkiego zaprezentowania pakietu CAMCAD przeznaczonego do translacji danych oraz oprogramowania *Agilent AwareTest xi* umożliwiającego integrację systemu AXI z systemem ICT. Oprogramowanie CAMCAD służy do translacji danych typu CAD, generowanych przez systemy wspomagające projektowanie, do formatu zrozumiałego dla testerów AOI, AXI oraz ICT firmy Agilent Technologies. Do akceptowanych przez CAMCAD około 20 formatów CAD należą między innymi: OrCAD, GenCAD, GenCAM, Cadence Allegro, PADS Power/Perform. CAMCAD pozwala na oglądanie kompletnego layoutu płytki PCB, jak również wyselekcjonowanych klas elementów. Poprzez skanowanie plików wynikowych i analizę ich zawartości, CAMCAD jest w stanie dokonać pełnej kontroli błędów oraz może wygenerować raporty z tej kontroli. Dodatkowy moduł DFT wspomaga natomiast projektowanie z uwzględnieniem niemożliwości testowania (*Design For Testability*).

Oprogramowanie *AwareTest xi* przeznaczone jest do integracji testerów AXI i ICT, której dokonuje się w celu obniżenia kosztów testów ICT oraz stopnia ich złożoności w przypadku testowania bardzo skomplikowanych i gęsto upakowanych płyt PCB. Cel ten osiąga się przez rozdzielanie rodzajów wykrywanych defektów między techniki AXI i ICT. Systemowi 5DX powierzone zostało wykrywanie zwarć, rozwarć i niedokładności lutowniczych oraz braku elementów, zaś testerowi 3070 znajdowanie uszko-

dzonych, źle rozmieszczonych i mających niewłaściwe parametry elementów. Działanie pakietu *AwareTest xi* można podzielić na trzy fazy. W pierwszej informacji z testera 5DX dotyczące tzw. pokrycia testowego tego systemu przesyłane są do testera 3070. W kolejnej fazie za pomocą odpowiednich algorytmów wybiera się optymalny - ze względu na liczbę - zbiór węzłów elektrycznych, do których podłączone zostaną sondy systemu 3070. Te dwie pierwsze fazy odnoszą się do przygotowywania testów. Ostatnia zaś dotyczy produkcji i zadaniem oprogramowania *AwareTest xi* podczas jej trwania jest przesyłanie informacji o wykrytych defektach z systemu 5DX do testera 3070. Czyni się to po to, aby nie przystępować do testów *in-circuit* przed usunięciem błędów wykrytych w czasie testowania AXI.

Konkludując można powiedzieć, że zaprezentowane krótko pakiety oprogramowania znacznie redukują czas potrzebny na przygotowanie testów oraz ich koszt. Usuwanie redundancji w testowaniu, do czego wykorzystuje się oprogramowanie o funkcjonalności podobnej do *AwareTest xi*, powoduje znaczne obniżenie jego kosztów.

Podsumowanie

Konstruowanie systemów ATE, tworzenie oprogramowania wspomagającego, a także samo projektowanie i uruchamianie procedur testowych to ogromna, stale rozwijająca się dziedzina techniki. Płytki stają się coraz bardziej złożone i gęściej upakowane, zaś rynek wymusza coraz niższe koszty i krótszy czas produkcji urządzeń. Zarówno rozwój technologiczny, jak i wymagania rynku dostarczają ciągle nowych wyzwań konstruktorom systemów ATE. Mamy nadzieję, że niniejszy artykuł przedstawił wyniki ich pracy chociaż w elementarnym zakresie.

Jacek Falkiewicz,
AM Technologies Polska
 jacek.falkiewicz@amt.pl

Dodatkowe informacje

Dodatkowe materiały związane z tematyką poruszaną w artykule znajdują się na płycie CD-EP1/2002B.