

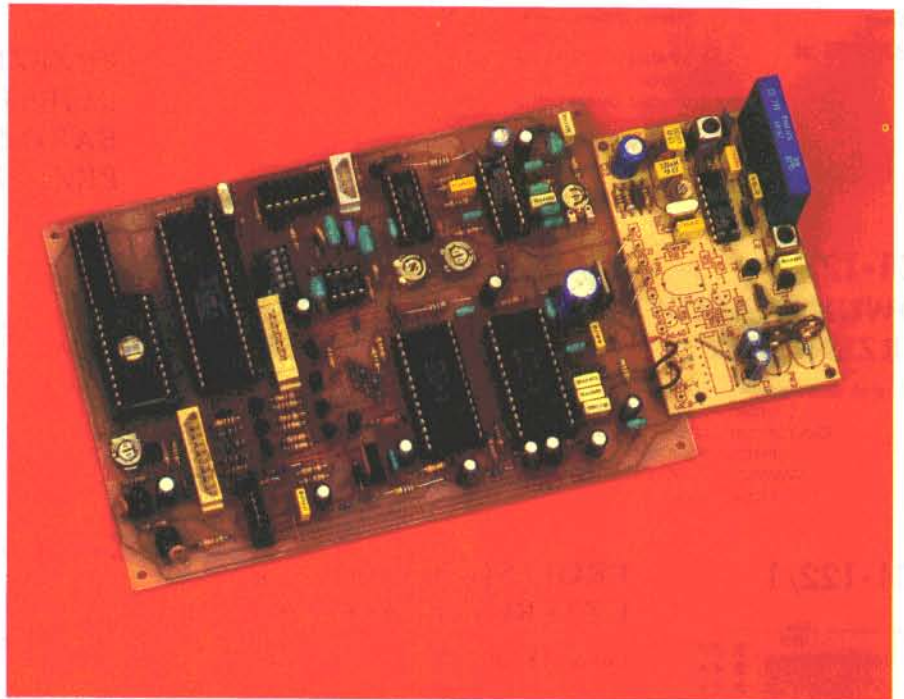
Konstrukcja odbiorników telewizyjnych jest w ciągłym rozwoju. Nowością ostatnich lat, która staje się stopniowo standardem, jest wyposażenie telewizora w funkcję „obraz w obrazie“, oznaczaną skrótem PIP od ang. Picture in Picture. Wyświetlanie na tle normalnego obrazu telewizyjnego małego obrazka, np. podglądu innego programu lub obrazu z kamery telewizyjnej podpatrującej pokój dziecienny, jest nie tylko efektowne ale i podnosi komfort korzystania z telewizora. Przedstawiony moduł PIP, który można wykonać samodzielnie i zamontować w niemal każdym nowszym odbiorniku telewizyjnym, gwarantuje wykorzystanie wszystkich dostępnych funkcji obrazu w obrazie. W czasie prób okazało się, że układ jest dość prosty w montażu i uruchomieniu.

Moduł PIP

część 1

opis działania

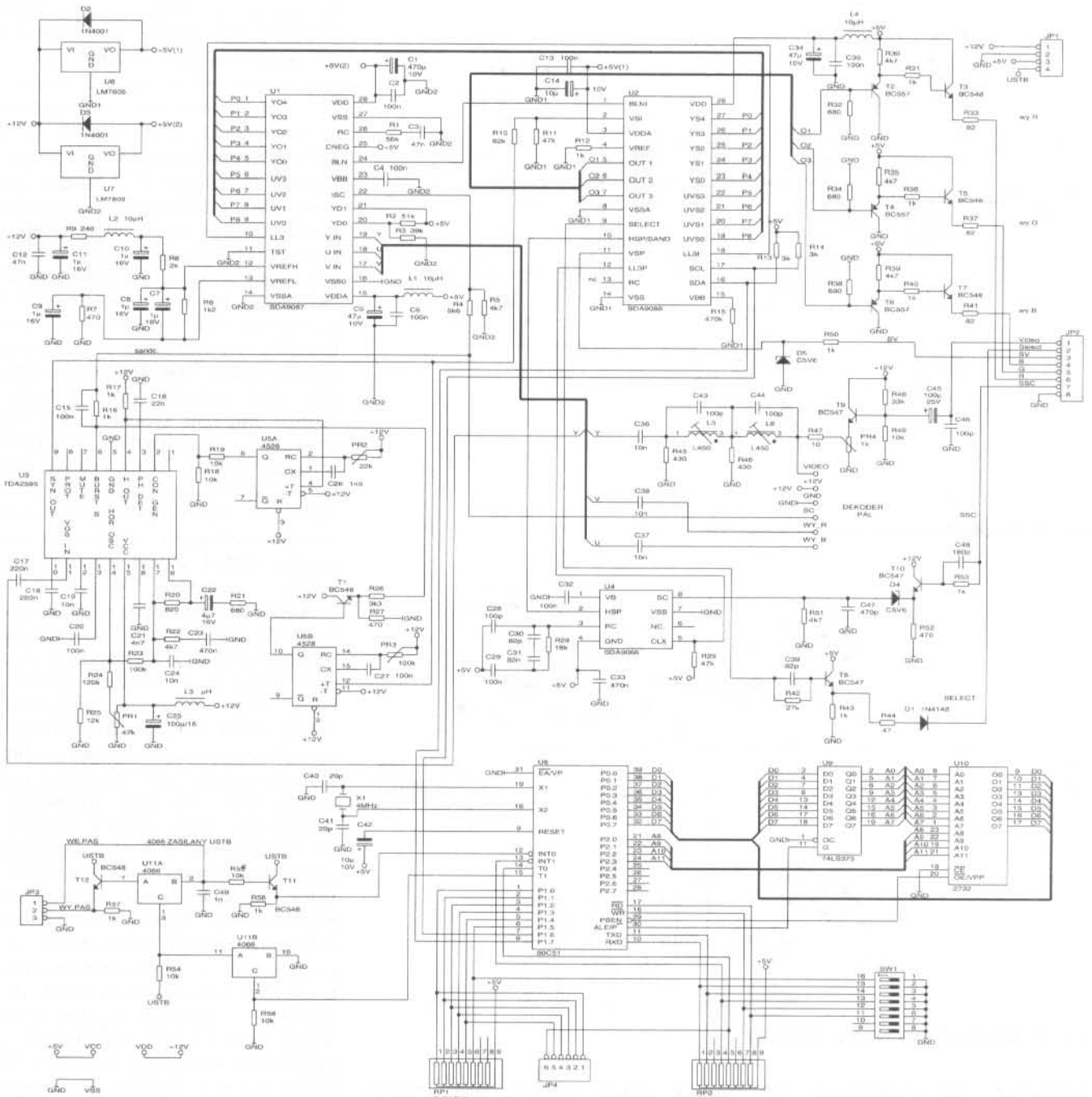
kit AVT-68



Budowę modułu PIP przedstawiają schematy elektryczne narysowane oddzielnie dla każdej z jego trzech części: płyty głównej (rys. 1), dołączonego do niej dekodera PAL (rys. 2) i osobnego zasilacza (rys. 3). Na płycie głównej właściwą funkcję wstawiania obrazu w obraz realizują układy scalone firmy SIEMENS SDA9087 (U1) i SDA9088 (U2). Procesor 80C51 (U8) wraz z otaczającymi go układami pełni rolę sterownika urządzenia i interfejsu między nim a użytkownikiem. Pozostałe układy scalone wytwarzają dodatkowe sygnały sterujące potrzebne do prawidłowej pracy modułu.

Doprowadzony z zewnątrz całkowity sygnał wizyjny jest podawany najpierw na dekodery PAL, który przekształca go w różnicowe sygnały koloru U(B-Y) i V(R-Y). Sygnał

Y powstaje po odfiltrowaniu z sygnału wizji podnośnej koloru w układzie filtru L5 i L6. Otrzymane sygnały Y,U,V są podane do układu U1, który jest interfejsem analogowo-cyfrowym. Cały proces redukcji normalnego sygnału wizji w mały, wstawiany obrazek przebiega bowiem w sposób cyfrowy. W układzie U1 znajdują się trzy przetworniki A/C zamieniające sygnały Y,U,V na postać cyfrową o rozdzielczości 5 bitów. Dla prawidłowej pracy interfejsu analogowo-cyfrowego niezbędny jest sygnał Super Sandcastle przetwarzanego sygnału wizji. Impuls ten jest formowany w układzie U3 będącym separatorem impulsów synchronizacji. Do nóżki 11 tego układu jest doprowadzony sygnał Y sterujący wytwarzaniem impulsów V i H, które po wydłużeniu w multiwib-



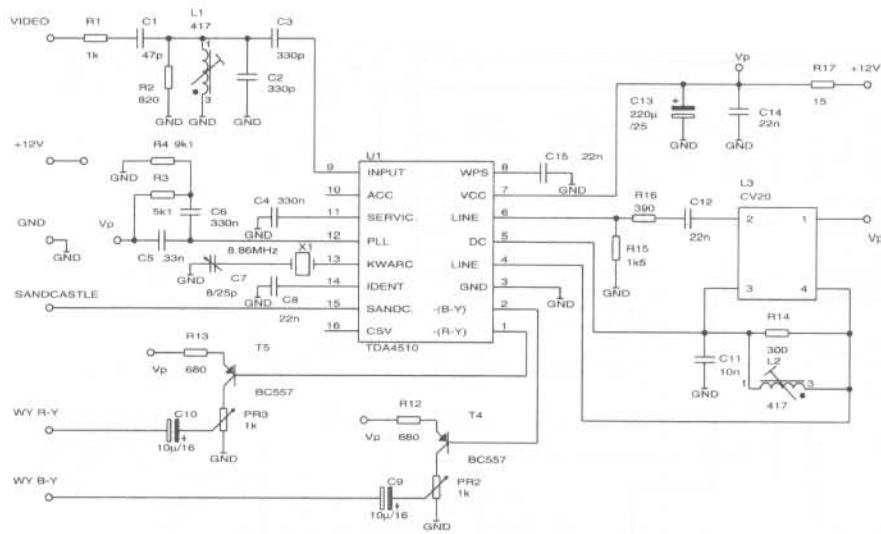
Rys. 1. Schemat elektryczny płyty głównej modułu PIP

ratorach monostabilnych U5 i zmieszaniu tworzą sygnał SSC. Impuls ten w U1 synchronizuje wewnętrzny zegar LL3 i steruje przetwarzaniem każdej linii i ramki obrazu. Opis wyprowadzeń układu SDA9087 został przedstawiony w tabeli 1. Funkcje niektórych z nich wymagają dodatkowego omówienia.

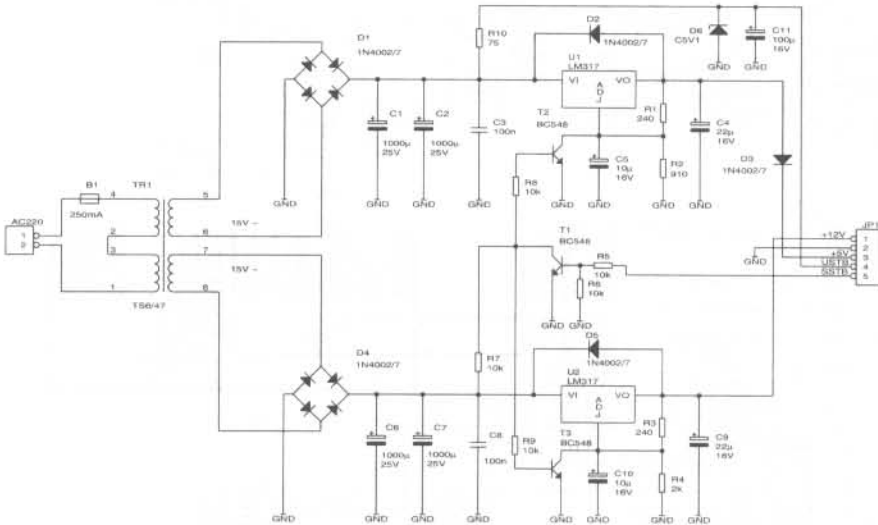
Na nóżki 12 i 13 są podawane napięcia stabilizujące poziom czerni kwantowanego sygnału Y oraz określające zakres przetwarzania przetworników A/C. Odpowiednia pola-

ryzacja wyprowadzeń 20 i 21 pozwala dobrać optymalne opóźnienie sygnału Y względem sygnałów różnicowych koloru. Jest to sposób na kompensację opóźnień powstających między tymi sygnałami, np. w dekodерze PAL. Zależnie od kombinacji YD0 i YD1 (wyprowadzenia podłączone do masy, napięcia zasilającego lub połowy wartości napięcia zasilającego), opóźnienie może przybierać wartości od 0 do 1,18µs. Połączenie wyprowadzenia 25 do napięcia zasilającego lub pozos-

tawienie go niepodłączonego decyduje o negacji lub nie sygnału koloru. Dla zastosowanego dekodera PAL, zbudowanego na układzie scalonym TDA4510, nóżka U1-25 powinna być niepodłączona, natomiast większość dekodерów dwusystemowych opartych na układzie TDA4555 wymaga zwarcia tego wyprowadzenia do +5V. Wyprowadzenie U1-26 służy do przyłączenia zewnętrznych elementów filtra dolnoprzepustowego pętli fazowej PLL. Pętla synchronizuje wewnętrzny generator zegara sys-



Rys. 2. Schemat elektryczny dekodera PAL



Rys. 3. Schemat elektryczny zasilacza

temowego LL3 z impulsem SSC. Sygnały luminancji i chrominancji po przetworzeniu w postać cyfrową są przesyłane do układu U2 będącego procesorem sterującym moduł PIP. W układzie tym dokonuje się rozrzedzenie danych wejściowych w celu stworzenia pomniejszonego obrazka, przekształcenie danych w postać analogową i wstawienie obrazka w sposób synchroniczny do obrazu głównego. W skład procesora PIP SDA9088 wchodzi blok rozrzedzania danych, tworzący jeden piksel obrazka wstawianego z informacji o 9 lub 16 pikselach, pamięć obrazka o pojemności 167904 bitów, przetworniki C/A wytwarzające sygnały wyjściowe RGB lub Y,U,V

oraz układy synchronizacji. Podstawowym problemem jaki powstaje przy wstawianiu jednego obrazu w drugi jest synchroniczność dwu sygnałów. Sygnał ze źródła zewnętrznego, który będzie tworzył wstawiany obrazek, nie musi być przecież w tej samej fazie co sygnał obrazu głównego; np. gdy jeden z nich znajduje się już w fazie wygaszania, w drugim jest akurat przesyłana informacja o treści linii. Pozbawiony synchronizacji mały obrazek byłby kompletnie nieczytelny. Układ U2 dzięki sygnałom zegarów wejściowych i bazowych dokonuje synchronizacji danych, traktując pamięć jako bufor, do którego dane obrazka są wpisywane i odczytywane

w sposób asynchroniczny. Opis wyprowadzeń układu SDA9088 został przedstawiony w tabeli 2. Zegary wejściowe to sygnał taktujący LL3 wytwarzany w U1 oraz sygnały synchronizacji linii i ramki BLNI i VSI obrazka wstawianego. Zegary bazowe to impuls VSP będący pobieranym z odbiornika impulsem synchronizacji ramki oraz HSP - impuls synchronizacji linii sygnału bazowego i CLX - zegar obrazu bazowego. Te dwa ostatnie sygnały są wytwarzane z pobieranego z odbiornika telewizyjnego sygnału Sandcastle, przez specjalizowany układ PLL dla systemu PIP SDA9086. Poziom impuls synchronizacji linii w sygnale Sandcastle powinien wynosić 0,6Vss. W przypadku braku odpowiedniej jakości sygnału Sandcastle należy U4-1 zewrzeć z napięciem zasilającym przełączając tym samym układ w tryb pracy z sygnałem o poziomie TTL.

Układ U2 wytwarza sygnały RGB (lub Y,U,V) obrazka wstawianego i sygnał SELECT określający ważność danych na liniach OUT1-3, który może służyć do wygaszania w tym czasie wizji obrazu głównego. Sposób wpisywania obrazka w obraz główny określa pięć rejestrów procesora PIP. Są one adresowane zewnętrznie przy pomocy magistrali I²C. Bit 2 Rejestru 0 określa sposób prezentacji obrazka. Jeśli jest wyzerowany, obrazek będzie symetrycznie pomniejszoną kopią, gdy bit jest ustawiony obrazek będzie dwukrotnie powiększony w pionie przy niezmienionych wymiarach poziomych. Bity Rejestru 1 określają wygląd ramki wokół wstawianego obrazka lub ją całkowicie wyłączają. Bity 0-3 Rejestru 2 i 0-5 Rejestru 3 określają precyzyjną lokalizację obrazka w pionie lub poziomie. Ma to znaczenie przy różnie ustawionych w konkretnych odbiornikach wymiarach obrazu i pomaga uniknąć obcinania obrazka przez brzeg kineskopu. Bity Rejestru 4 są związane ze sprzętowym otoczeniem Procesora PIP. Dociekliwy Czytelnik znajdzie wyczerpujące informacje na temat układów SDA90887 i SDA9088 w katalogu USKA 6/93 wydanym przez AVT.

Sygnały różnicowe koloru są wytwarzane z sygnału wizji wpisane go obrazu, przy zastosowaniu dekodera PAL, stanowiącego uproszczoną wersję kitu AVT-41. Można oczywiście zastosować każdy inny de-