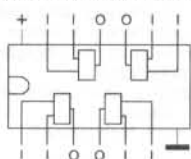


Układy CMOS serii 4xxx, cd.

Po opisie ogólnym w EP 11/93 przejdźmy teraz do szczegółowej prezentacji układów CMOS 4XXX. Kilka grubych katalogów zostało przepuszczonych przez wyżymaczkę i oto przedstawiamy efekt.



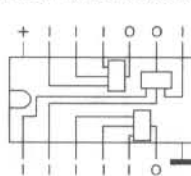
BRAMKI DWUWEJŚCIOWE



- 4001 NOR
- 4011 NAND
- 4071 OR
- 4081 AND
- 4030 EX-OR
- 4070 EX-OR
- 4077 EX-NOR
- 4093 NAND z wejściami Schmitta (zobacz także 4019, 4519)

Rys. 1.

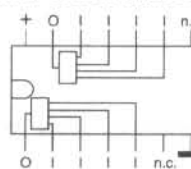
BRAMKI TRÓJWEJŚCIOWE



- 4023 NAND
- 4025 NOR
- 4073 AND
- 4075 OR
- 4000 dwie bramki NOR + INWERTER (piny 1, 2 niepodłączone)

Rys. 2.

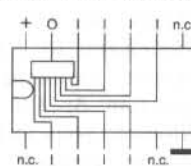
BRAMKI CZTEROWEJŚCIOWE



- 4002 NOR
- 4012 NAND
- 4072 OR
- 4082 AND

Rys. 3.

BRAMKI OŚMIOWEJŚCIOWE



- 4068 NAND
- 4078 NOR

Rys. 4.

Wiele danych powtarza się dla kolejnych układów. Te wspólne informacje podaliśmy w poprzednich odcinkach notatnika. Po przemyśleniu pominęliśmy prawie wszystkie parametry dynamiczne. Dlaczego? Układów 4XXX nie opłaca się stosować dla częstotliwości powyżej 0,5 MHz - pobierają wtedy więcej prądu niż inne z serii TTL i HC(T). Odpowiada to impulsom o długości co najmniej 1µs. Czas propagacji sygnału przez pojedynczą bramkę 4XXX jest rzędu kilkudziesięciu ns. Czasy narastania i opadania zboczy także są tego rzędu. Przy złożonych układach czas propagacji wzrasta stosownie do liczby stopni, przez które przechodzi sygnał.

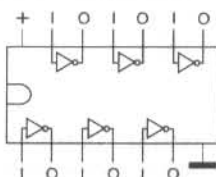
Poszczególni producenci, stosujący odmienne procesy produkcyjne, podają różne wartości parametrów. Czyje parametry podać? Firm najlepszych czy najgorszych? Na dodatek wszyscy podają wartości gwarantowane dla 100% kostek, a obok wartości typowe, zwykle dwukrotnie lepsze. Do jakiej częstotliwości będzie pracował kupiony

właśnie na „perskim“ licznik? Trzeba zajrzeć do katalogu producenta tego właśnie układu, lub sprawdzić praktycznie.

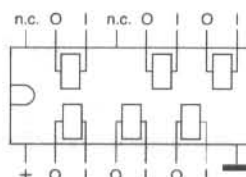
Korzystanie z zamieszczonego materiału może wymagać nieco wysiłku - brak bowiem typowych tablic prawdy i wykresów. Podstawowe informacje ukryte są jednak w oznaczeniach i symbolach. Przypomnijmy zatem podstawowe zasady oznaczeń i konwencje potrzebne do pełnego korzystania z zamieszczonych informacji:

- I - zawsze oznacza wejście (Input)
- O - zawsze oznacza wyjście (Output)
- L - stan niski (Low) - aby nie mylić zera = 0 z literą O
- H - stan wysoki (High) - aby nie mylić 1 = jeden z literą I
- LH - zbocze narastające
- HL - zbocze opadające
- Cl - zawsze oznacza wejście zegarowe (clock)
- TRISTATE - układ ma wyjście (-a) trójstanowe
- EO - wejście sterujące wyjściem trójstanowym (Enable Output)

- 4069 INWERTER
- 40106 } INWERTER
- 4584 } z wejściem Schmitta

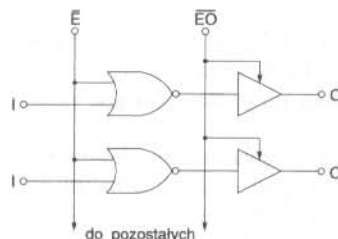
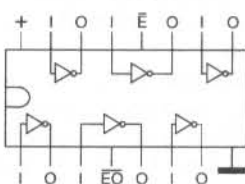


- 4049 BUFOR
- 4050 INWERTER



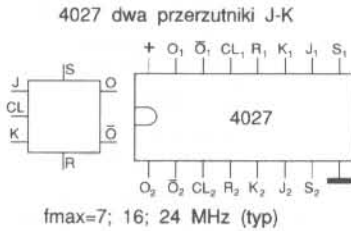
duża obciążalność wyjść możeysterować 2 wyjścia TTL standard przy Uz=5V

4502 sześć INWERTERÓW ze wspólnym strobowaniem i wyjściami trójstanowymi.

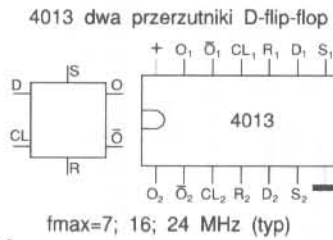


$\bar{E}=H$ i $\bar{EO}=L$ - wymusza na wszystkich wyjściach stan L

Rys. 5.

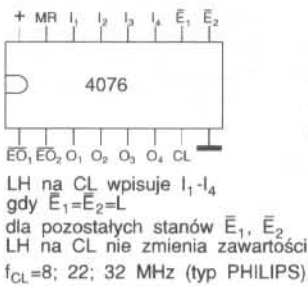


Rys. 12.

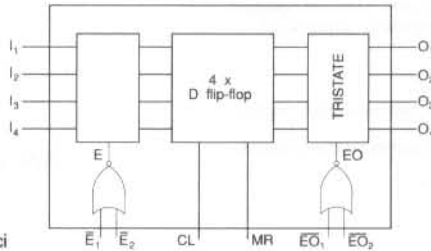


Rys. 13.

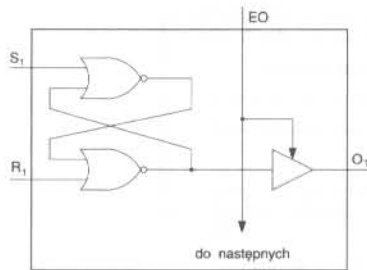
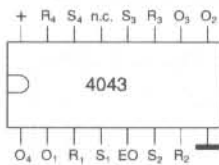
4076 poczwórny przerzutnik D flip-flop TRISTATE



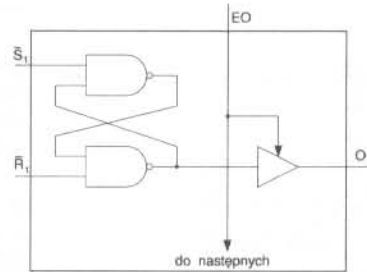
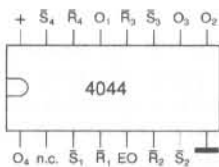
Rys. 14.



4043 4 przerzutniki RS TRISTATE

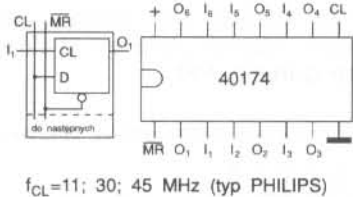


4044 4 przerzutniki RS TRISTATE



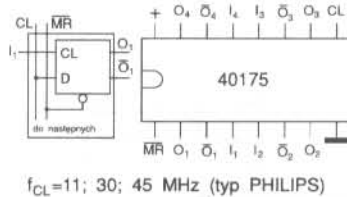
Rys. 15./Rys. 16.

40174 6-krotny przerzutnik D flip-flop



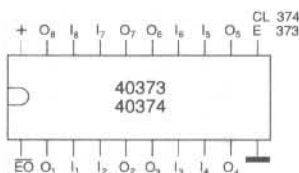
Rys. 17.

40175 poczwórny przerzutnik D flip-flop

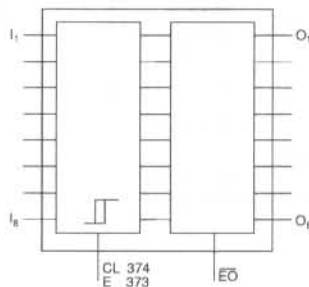


Rys. 18.

40373 8-wejściowy latch TRISTATE
40378 8-wejściowy D flip-flop TRISTATE



Rys. 19.



Bramki

Ponieważ układ wyprowadzeń wielu bramek jest taki sam podajemy wspólny rysunek, numery układów i spełnianą funkcję.

Istotne parametry to czas propagacji $t_p = 125; 60; 45$ ns oraz czas przełączania z jednego stanu logicznego do drugiego $t_f = 100; 50; 40$ ns. Podane są wartości typowe. Poszczególni producenci gwarantują nieco inne czasy i należy to sprawdzać we właściwych katalogach firmowych. Czasy te zależą także od obciążenia pojemnościowego (typowo 50pF).

Przerzutniki i rejestry

Wyróżniamy przerzutniki Latch (zatrask) sterowane poziomem, oraz flip-flop sterowane zboczem. Przerzutniki latch w stanie aktywnym wejścia zezwalającego E lub E\ są „przezroczyste” - sygnał wejściowy przechodzi na wyjście. Zmiana stanu na E lub E\ „zatrzaszkuje” ostatni stan wejścia, który zostaje zapamiętany.

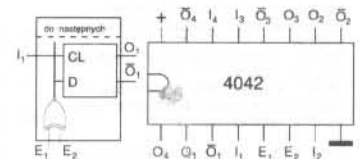
Przerzutniki flip-flop mogą zmienić stan wyjścia tylko podczas zbocza aktywnego na CL (dla konkretnego układu aktywne może być tylko jedno zbocze LH albo HL).

Liczniki i rejestry przesuwne są zbudowane właśnie z przerzutników sterowanych zboczem. Rejestry przesuwne to zespoły przerzutników, z których informacja jest przesuwana w takt impulsów zegarowych. Informacja może być więc wpisywana po kolei, szeregowo - mówimy wejście szeregowe = Serial Input = SI.

Gdy wpisujemy równolegle do wszystkich komórek rejestru mówimy, że wejście jest równoległe = Parallel Input = PI. To samo z wyjściem: szeregowo SO, równoległe PO.

Mamy więc różne rodzaje rejestrów SISO, SIPO, PISO. Niektóre rejestry mają zarówno wejście szeregowe jak i równoległe. Istotne parametry to maksymalna częstotliwość zegara f_a , a dla latch-ów minimalny czas impulsu E lub E\ niezbędny do prawidłowego wpisania informacji (można przyjąć ok. 100ns). Większość flip-flopów wymaga podania infor-

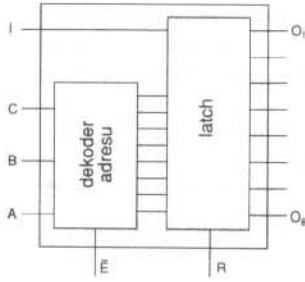
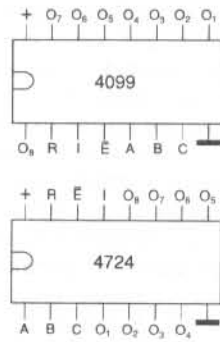
4042 poczwórny D-latch z wyjściami komplementarnymi



Rys. 20.

przezroczysty gdy $E_1=E_2$ (możliwość wyboru poziomu aktywnego)

4099, 4724 8-bitowy adresowalny latch

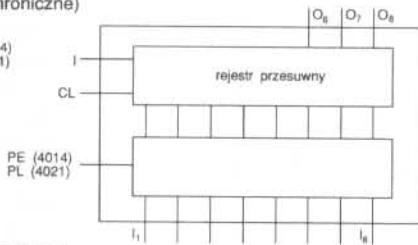
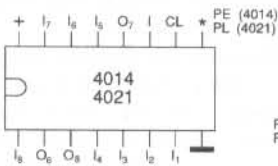


UWAGA: zmianę adresu przeprowadzać gdy E=H z uwagi na możliwość dekodowania błędnych kodów przy niejednoczesnych zmianach na wejściach adresowych.

- \bar{E}/R
- H/H - wyzerowanie wszystkich wyjść
 - L/H - demultiplexer - powtarza stan wejścia I na zaadresowanym wyjściu (pozostałe wyjścia =L)
 - L/L - demultiplexer - powtarza stan wejścia I na zaadresowanym wyjściu (na pozostałych wyjściach stany poprzednie)
 - H/L - pamięta stany poprzednie (wejście nieaktywne)

Rys. 21.

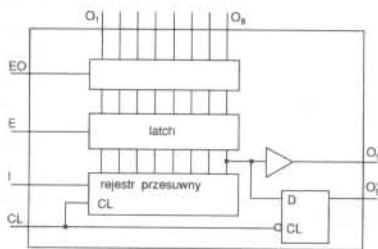
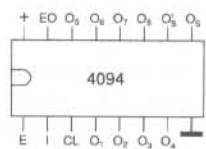
4014 8bit PISO (ładowanie synchroniczne)
4021 8bit PISO (ładowanie asynchroniczne)



- (gdy PE=H wejście szeregowe I nieaktywne)
- 4014 PE (Parallel Enable); PE=H - najbliższe LH na CL wpisuje I_1 - I_8 do rejestru
 - 4021 PL (Parallel Load); PL=H - wpisuje asynchronicznie stany I_1 - I_8 do rejestru

Rys. 23.

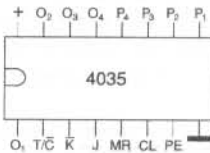
4094 8bit SIPO + latch TRISTATE



- O_5 - wyjście umożliwiające łączenie kaskadowe
- O_5 - wyjście pomocnicze do łączenia kaskadowego przy długich czasach narastania na CL

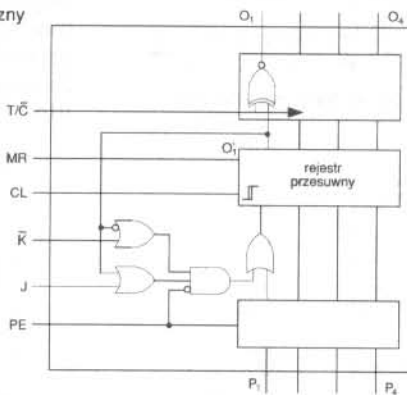
Rys. 25.

4035 4bit uniwersalny synchroniczny



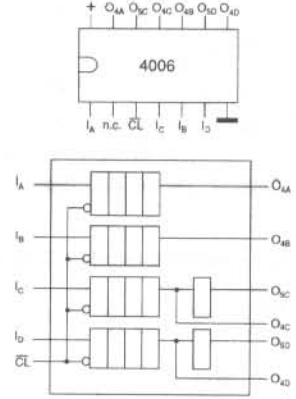
Wejście T/C (True/Complement) umożliwia wybór proste/zanegowane wyjście
PE=H - najbliższe LH na CL wpisuje I_1 - I_4 do rejestru.
PE=L - kolejne takty przesuwają zawartość w prawo a do pierwszego stopnia wpisuje się:

- J | K | O_1
- L | L | J, K zwarte, działa jak
- H | H | D flip-flop
- L | H | X zawartość poprzednią O_1
- H | L | X zanegowany stan poprzedni O_1 ; (jak przerzutnik Toggle)



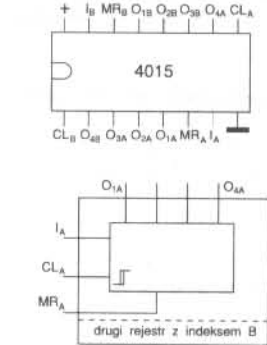
Rys. 26.

4006 4xSISO (2x4bit + 2x5bit)



Rys. 22.

4015 podwójny 4bit SIPO



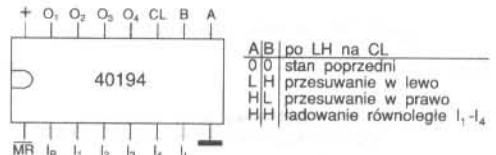
Rys. 24.

macji wejściowej co najmniej kilkadziesiąt ns przed zboczem aktywnym. Jest to związane z opóźnieniem sygnału w wejściowych obwodach rejestru.

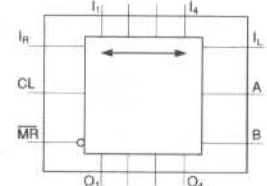
Czasy narastania/opadania nie mogą być dłuższe niż 15; 4; 1µs, a w niektórych przypadkach, aby uniknąć niejednoczesnego wpisania wskutek rozrzutu napięć progowych wejść CL, zbocza sygnału zegarowego muszą być jeszcze ostrzejsze (krótsze).

Za miesiąc ciąg dalszy - multiplexery/demultiplexery analogowe.
Piotr Górecki, AVT

40194 4bit uniwersalny dwukierunkowy, synchroniczny



- A/B | po LH na CL
- 0/0 stan poprzedni
- L/H przesuwanie w lewo
- H/L przesuwanie w prawo
- H/H ładowanie równoległe I_1 - I_4



Rys. 27.