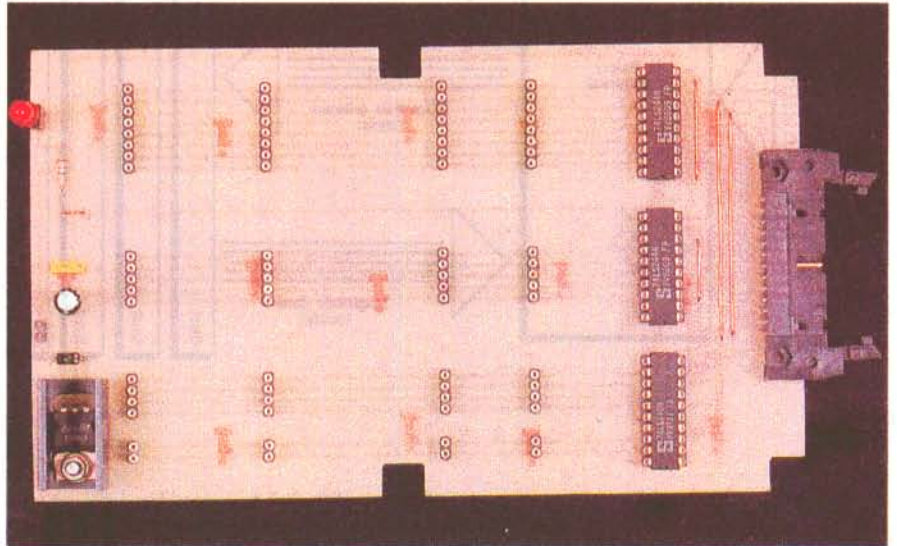


Stala obniżka cen oraz różnorodność asortymentu doprowadziły do tego, że większość z nas posiada komputer. W ostatnich latach standardem stały się komputery PC i kompatybilne. Proponujemy układ, który pozwoli w każdej chwili przekształcić nasz PC-et w małe laboratorium pomiarowe o dużych możliwościach.

Trzeba podkreślić, że układ ten może działać z każdym komputerem. Trudności może jedynie sprawić ta część oprogramowania, która zapewni wyświetlanie wyników. Potrzebna jest do tego karta graficzna EGA ze 128kB RAM, o rozdzielczości 640x350 i 16 kolorach.

Posiadacze kart VGA czy SVGA nie mają się czego obawiać, ponieważ karty te doskonale działają w tym trybie.

PC-skop, czyli oscyloskop na PC-cie, cz. 1



Płyta podstawowa

Dialog komputera z urządzeniem peryferyjnym dowolnego typu obejmuje wymianę informacji. Do odbioru i wysyłania informacji służy złącze równoległe Centronics. Rozmieszczenie połączeń tego złącza jest przedstawione na rys. 1. Na jego końcówkach mogą pojawić się trzy rodzaje sygnałów o poziomach TTL:

- osiem danych wyjściowych, używanych zwłaszcza do przekazywania kodów drukowanych znaków. Są one oznaczone D0 do D7, każda zajmuje jeden bit (D0 bit 0, D1 bit 1 ... D7 bit 7) i przy zapisie znajdują się pod adresem 3F8h.

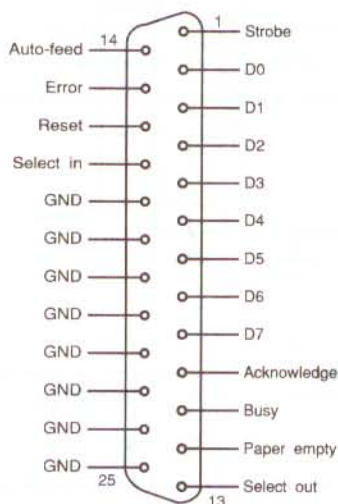
- pięć stanów wejściowych, pozwalających komputerowi rozpoznać stan drukarki. Można je odczytać pod adresem 3F9h: Error (wykrycie błędu, trzeci bit), Select out (obecność lub nie drukarki na linii, czwarty bit), Paper empty (brak papieru, piąty bit), Acknowledge (potwierdzenie odbioru znaku do wydrukowania, szósty bit), Busy (urządzenie peryferyjne zajęte, siódmy bit). Pozostałe bity (bit 0,

bit 1 i bit 2) nie są połączone.

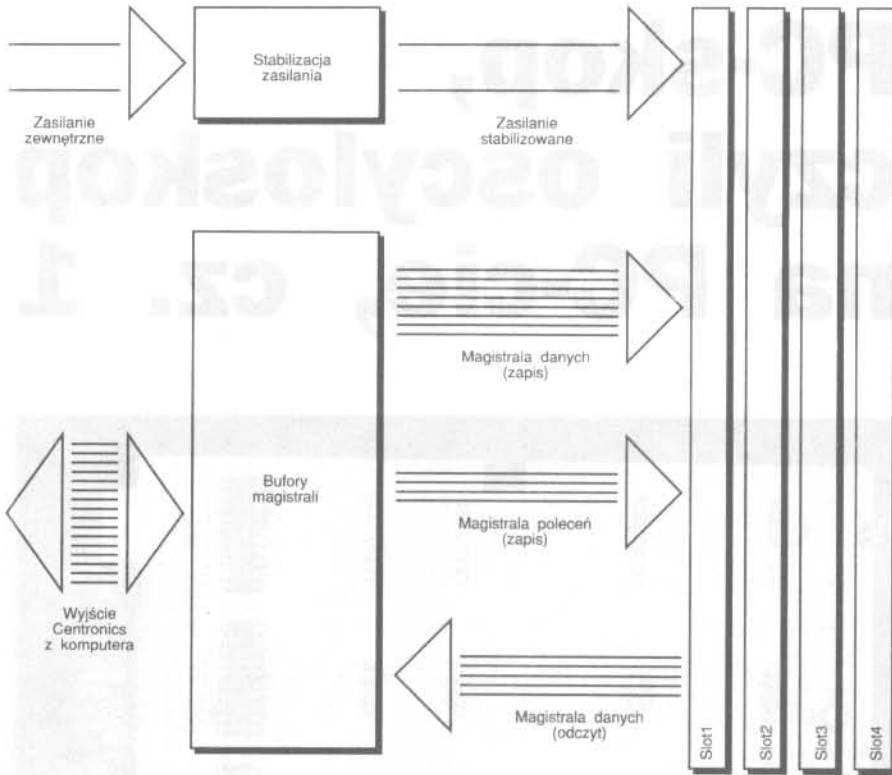
- cztery polecenia wyjściowe, dostępne pod adresem 3FAh, służące do sterowania transmisją: Strobe (bramkowanie znaku, bit zerowy), Auto-feed (automatyczny skok na linii, pierwszy bit), Reset (kasowanie, drugi bit), Select in (uruchamianie lub wyłączanie drukarki, trzeci bit). Pozostałe bity (bit 4, bit 5, bit 6 i bit 7) nie są połączone.

Adresy nie reprezentują komórek pamięci, tylko porty wyjścia/wejścia, nie są więc dostępne za pośrednictwem PEEK (odczyt) ani POKE (zapis), lecz poprzez INP (odczyt) i OUT (zapis).

Niektóre z tych sygnałów wyróżniają się tym, że są logicznie odwrócone, czyli logiczna 1 jest przedstawiana jako 0V. Dotyczy to Strobe, Auto-feed, Select in i Busy. Pewna ilość buforów na płycie podstawowej pozwala zaprowadzić trochę porządku i uprościć programowe sterowanie sprzęgiem, odwracając elektronicznie te sygnały.



Rys. 1.



Rys. 2.

Schemat blokowy na rys. 2 przedstawia płytę podstawową, do której złącz przyłącza się moduły. Poszczególne sygnały komputera są buforowane i izolowane od niego, a następnie rozprowadzane do złącz.

Bufory magistrali i zasilanie

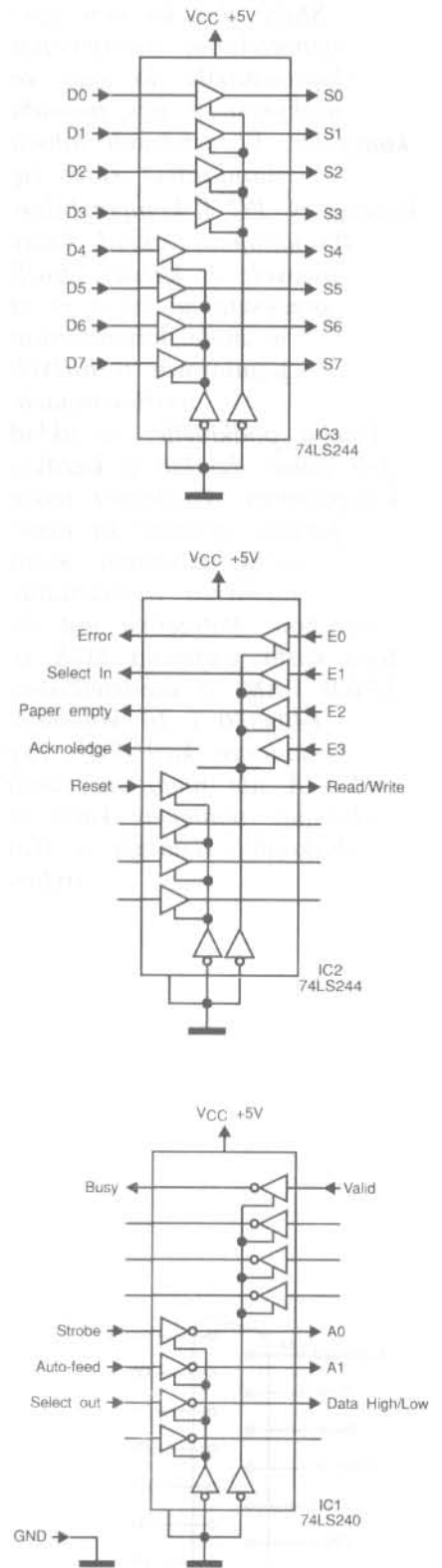
Do buforowania zostały wybrane układy 74LS240 i 74LS244, które są ośmiokrotnymi buforami trójstanowymi o jednakowym rozmieszczeniu wyprowadzeń (rys. 3). Każdy układ zawiera dwie oddzielne grupy po cztery bufory. Grupy te mogą być bramkowane za pośrednictwem wejść VA i VB, stan zerowy na których otwiera bufory. Każde z wyjść (SA0 do SA3 i SB0 do SB3) powtarza (244) albo odwraca (240) stan odpowiednich wejść (EA0 do EA3 i EB0 do EB3). Wejścia bramkowania buforów są na stałe połączone z masą.

Do każdego złącza szeregowego (pseudo slotu) jest doprowadzone stabilizowane napięcie +5V. 8 bitów wpisywanych danych (D0 do D7), 4 bity wpisywanych poleceń (A0, A1, Read/Write, Data High/Low) i 5 wpisywanych bitów wejściowych (E0, E1, E2, E3, Valid). D0 do D7 stanowią wpisywane

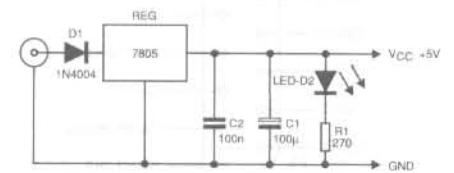
dane, A0 i A1 umożliwiają sterowanie adresami czterech różnych urządzeń peryferyjnych, za pomocą Read/Write (1 = Read, 0 = Write) wybiera się operację odczytu albo zapisu, a za pomocą Data High/Low (1 = High, 0 = Low) wybiera się odczytywany półbajt (starszy lub młodszy), E0 do E3 dostarcza półbajt do wejścia, a Valid pozwala potwierdzić obecność półbajtu w magistrali. Rysunek 4 przedstawia rozmieszczenie sygnałów. Jego szczególną cechą jest niemożność wprowadzenia od razu całego bajtu, co zmusza do podwojenia operacji odczytu (4 bity starsze + 4 bity młodsze) aby potem odtworzyć bajt.

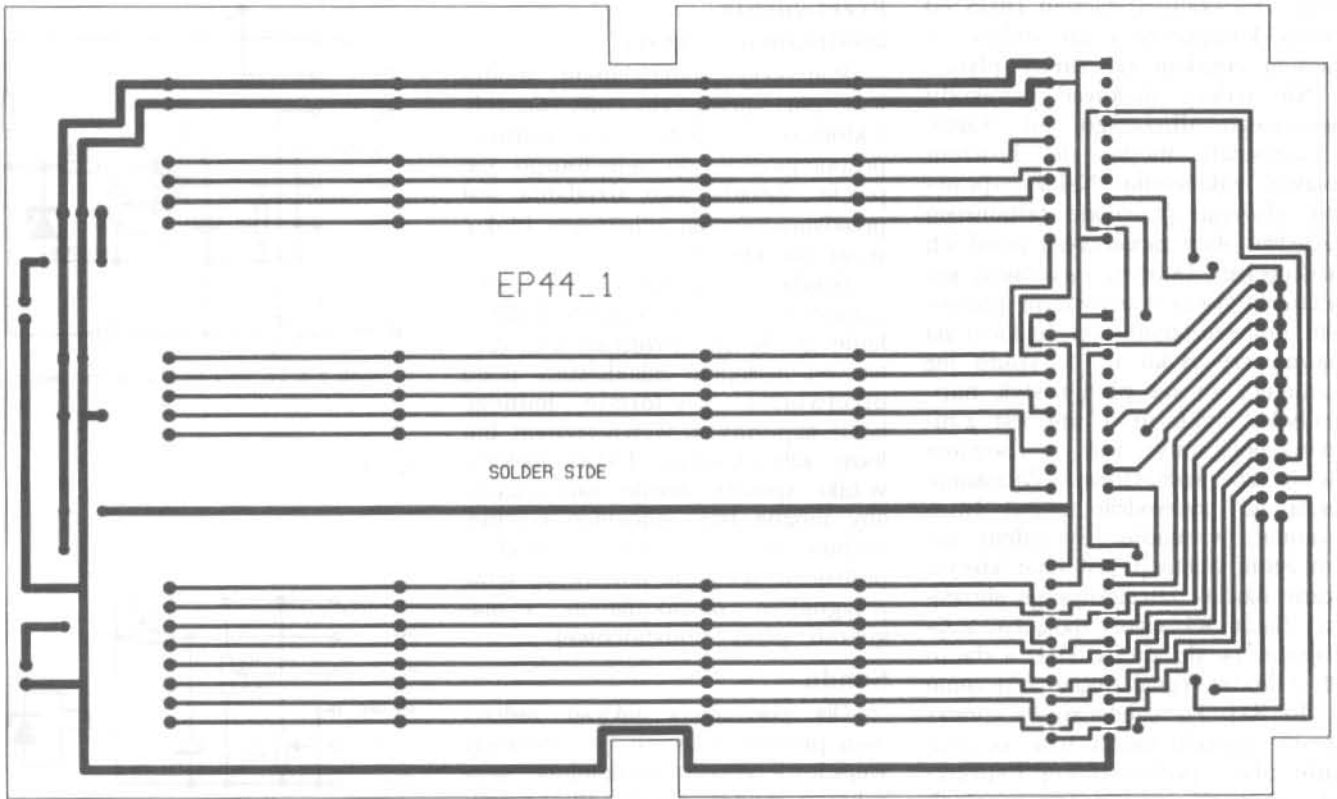
	Data High/Low				Read/Write			
Zapis Adres 3FAh	X	X	X	X			A1	A0
Odczyt Adres 3F9h	Valid	E3	E2	E1	E0	X	X	X
Zapis Adres 3F8h	D7	D6	D5	D4	D3	D2	D1	D0
Wartości bitów	128	64	32	16	8	4	2	0

Rys. 4.

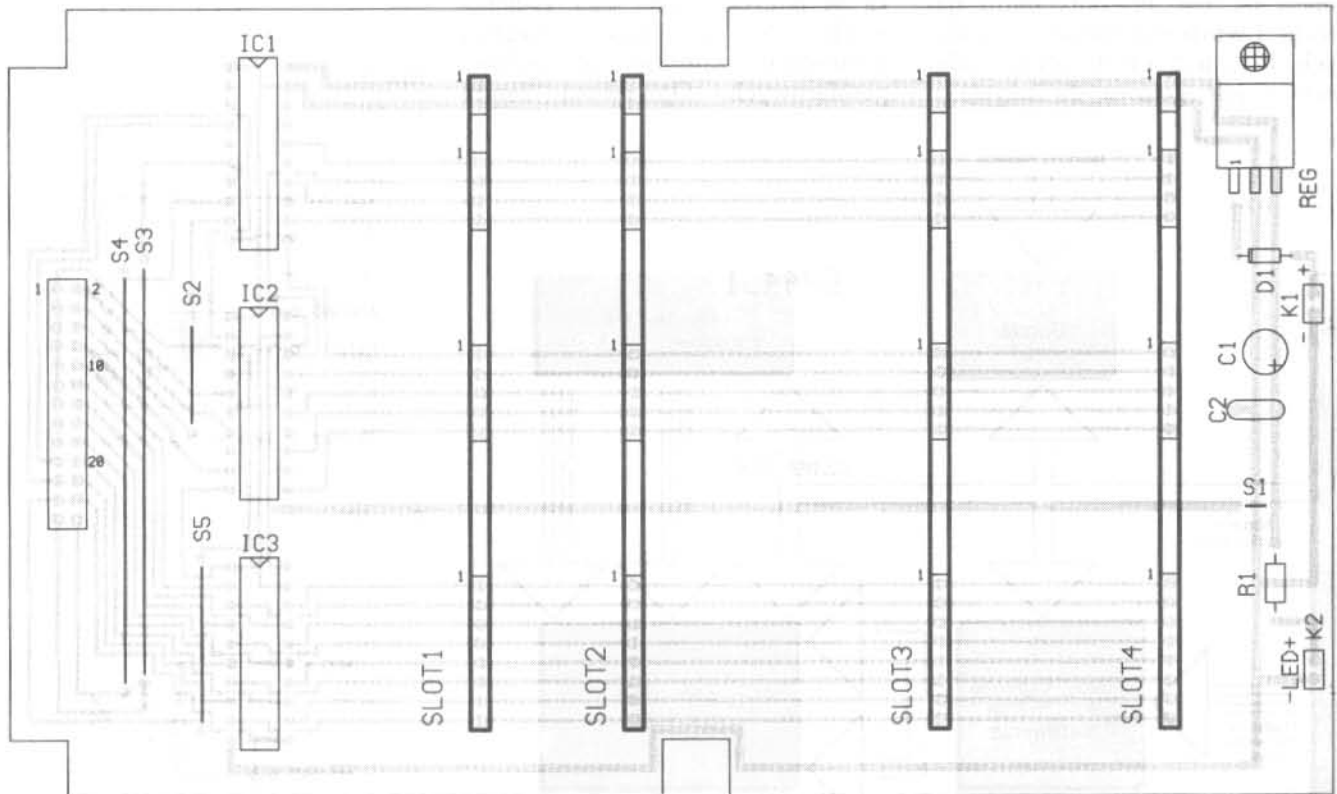


Rys. 3.





Rys. 5.



Rys. 6.

Wykonanie

Układ ścieżek płyty jest pokazany na rys. 5, zaś rozmieszczenie elementów na rys. 6. Każde ze złącz

szeregowych dla modułów wykonuje się z dzielonej listwy kontaktowej. Wymaga ono odcinków o dwóch, czterech, pięciu i ośmiu kontaktach. Podczas montażu trzeba

je przylutować dokładnie prostokątnie do płyty, aby płytki modułów dawały się potem łatwo wstawiać. Połączenie z komputerem wykonuje się z 25-krotnego przewodu taśmo-

(rys. 14) umożliwi pomiar napięć $\pm 5V$. Schematy innych sond są pokazane na rys. 8, 9, 10 i 11. Mierzone napięcie zostaje dostarczone przez sondę wprost do przetwornika za pośrednictwem R2 i AJ1, za pomocą którego ustawia się 0V. Obecność R3 pomiędzy wejściem IN+ a +5V, w wypadku gdy wejście jest otwarte, wymusza na przetworniku kod 255 (maksymalne napięcie). Wejścia IN- oraz ANLND są uziemione, a REF2 nie użyte.

Przetwornik

Spośród całej gamy przetworników a-c dostępnych na rynku ADC804 posiada wszelkie zalety dla tego zastosowania: prosty w użyciu, łatwo dostępny za niewygórowaną cenę. Jest to 8-bitowy przetwornik analogowo-cyfrowy, zawierający wszystkie układy potrzebne do połączenia z komputerem. Oto lista wyprowadzeń wraz z opisem sygnałów:

- 1 - CS\ (Chip Select), aktywny poziom niski, wybiera układ
- 2 - RD\ (Read), aktywny poziom niski, ustala operację odczytu
- 3 - WR\ (Write), aktywny poziom niski, wyzwała przetwarzanie
- 4 - CLKIN (Clock Input), wejście zegara wewnętrznego
- 5 - INTR\ (Interrupt Request) aktywny poziom niski, sygnalizuje koniec przetwarzania
- 6 - IN+ (Input+) wejście napięcia dodatniego
- 7 - IN- (Input-) wejście napięcia ujemnego
- 8 - ANLND, masa analogowa
- 9 - REF2 zewnętrzne napięcie odniesienia, wewnętrzne jeśli nie przyłączone
- 10 - DGTGND masa cyfrowa
- 11 do 18 D7 do D0, 8-bitowe

wyjście zmierzonego napięcia
19 - CLKOUT (Clock Output) wyjście zegara wewnętrznego
20 - VCC, zasilanie układu +5V

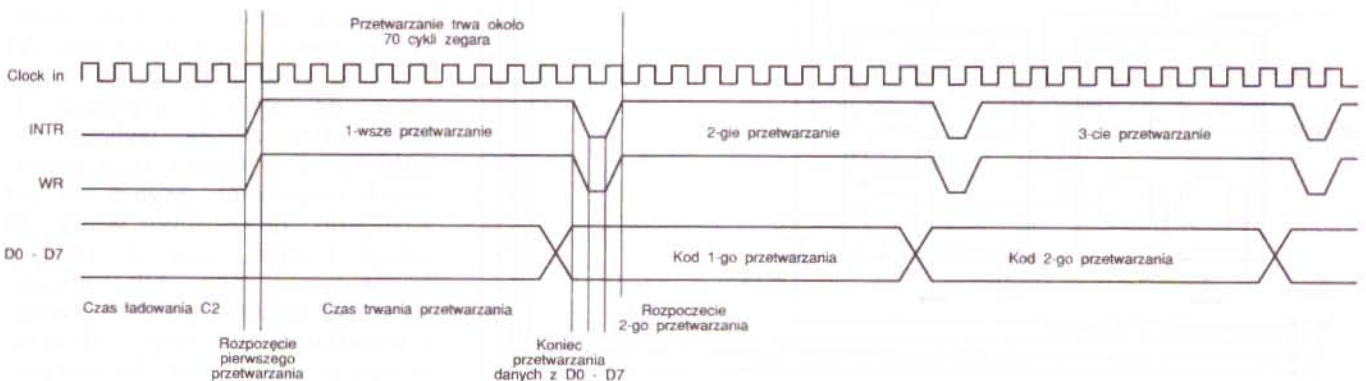
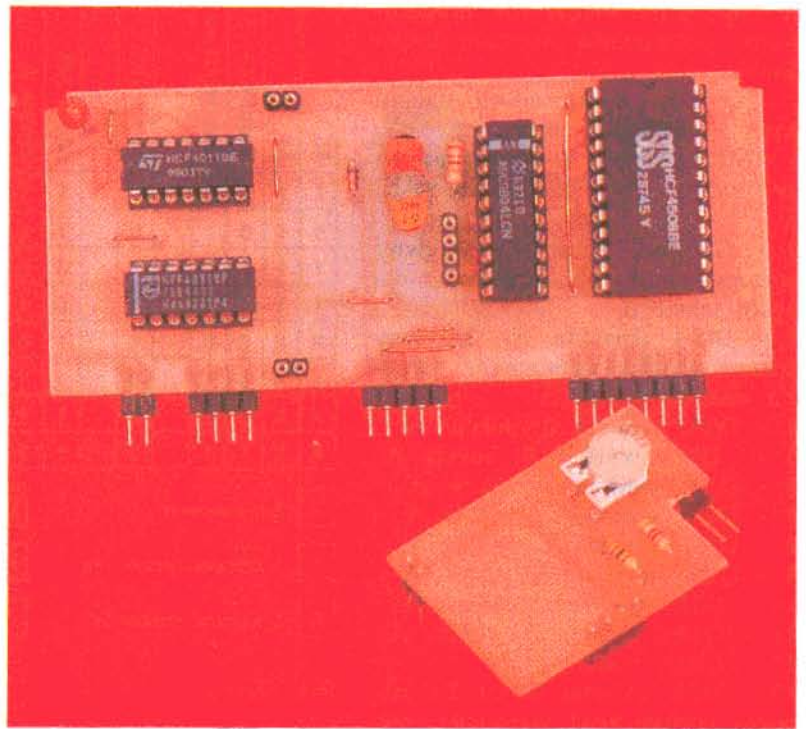
Układ jest zmuszony do przetwarzania ciągłego przez zwarcie do masy CS\ i RD\ oraz połączenie INTR\ z WR\. Przy włączeniu napięcia zasilającego, dopóki nie naładuje się C2, na WR\ przez krótki czas utrzymuje się stan niski, co powoduje wyzwolenie pierwszego cyklu przetwarzania. Potem, na zakończenie każdego cyklu, INTR\ przechodzi w stan niski i za pośrednictwem WR\ ponownie wyzwała przetwarzanie. Wewnętrzny oscylator działa z R1 C1 na wymaganej częstotliwości, bez potrzeby sięgania do obwodów zewnętrznych i pozwala osiągnąć częstotliwość próbkowania

rzędu 20kHz.

Po wykonaniu pomiaru bajt jest zapisywany do bufora wewnętrznego i dostępny na D0 do D7 do następnej konwersji, gdy jego miejsce zajmie następny bajt. Jest to przedstawione na rys. 12.

Zatraski

Problem odczytu zakodowanej wartości przez port Centronics polega na tym, że mieści się w nim jedynie pięć sygnałów wejściowych, a szkoda by było tracić połowę rozdzielczości przetwornika. Przyjęte rozwiązanie polega na wykorzystaniu układu CMOS zawierającego osiem zatrasków zgrupowanych w dwóch sekcjach po cztery. Bramkując kolejno raz jedną, raz drugą sekcję, można odtworzyć ca-



Rys. 12.

ly bajt, o ile sekcja nie bramkowana przedstawia wysoka impedancję.

Oto lista wyprowadzeń układu wraz z opisem sygnałów:

- 1 - MRA (Master Reset A), aktywny poziom niski, zerowanie sekcji A
- 2 - STBA (Strobe A), aktywny poziom wysoki, zapamiętanie danych sekcji A
- 3 - DISA (Disable A), aktywny poziom wysoki, wzbronienie wyjścia danych sekcji A
- 4 - D0A, wejście 0, sekcja A
- 5 - Q0A, wyjście 0, sekcja A
- 6 - D1A, wejście 1, sekcja A
- 7 - Q1A, wyjście 1, sekcja A
- 8 - D2A, wejście 2, sekcja A
- 9 - Q2A, wyjście 2, sekcja A
- 10 - D3A, wejście 3, sekcja A
- 11 - Q3A, wyjście 3, sekcja A
- 12 - GND, masa
- 13 - MRB (Master Reset B), aktywny poziom niski, zerowanie sekcji B
- 14 - STBB (Strobe B), aktywny poziom wysoki, zapamiętanie danych sekcji B
- 15 - DISB (Disable B), aktywny poziom wysoki, wzbronienie wyjścia danych sekcji B

A0	A1	Read/Write	Data High/Low	Wyjście IC2	Strobe A/B	Disable A	Disable B	Valid	Szyna danych	
1	1	0	0	0	1	1	1	*	Zapis adresu 3	
1	1	0	1	0	1	1	1	*	Zapis adresu 3	
1	1	1	0	1	0	0	1	0	L	Odczyt adresu młodszego 3
1	1	1	1	1	0	1	0	0	H	Odczyt adresu starszego 3
X	X	0	0	0	1	1	1	*	*	Zapis adresu <> 3
X	X	0	1	0	1	1	1	*	*	Zapis adresu <> 3
X	X	1	0	0	1	1	1	*	*	Odczyt adresu <> 3
X	X	1	1	0	1	1	1	*	*	Odczyt adresu <> 3

- X bez znaczenia
- L młodszy półbajt
- 1 1 logiczna, poziom +5V
- H starszy półbajt
- 0 0 logiczne, poziom 0V
- * wysoka impedancja

Rys. 13.

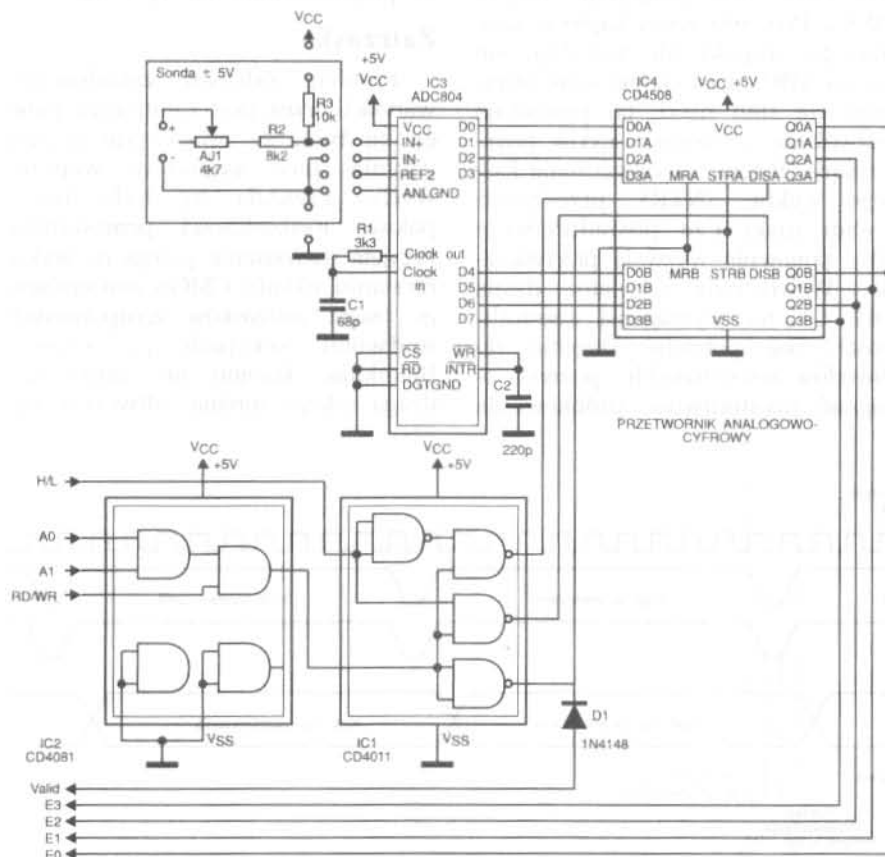
- 16 - D0B, wejście 0, sekcja B
- 17 - Q0B, wyjście 0, sekcja B
- 18 - D1B, wejście 1, sekcja B
- 19 - Q1B, wyjście 1, sekcja B
- 20 - D2B, wejście 2, sekcja B
- 21 - Q2B, wyjście 2, sekcja B
- 22 - D3B, wejście 3, sekcja B

- 23 - Q3B, wyjście 3, sekcja B
- 24 - VCC, zasilanie +5V

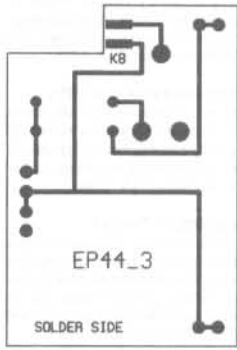
Wyjścia przetwornika D0 do D7 są bezpośrednio połączone z wejściami D0A do D3A i D0B do D3B, a wyjścia Q0A do Q3A są zwarte z odpowiednimi Q0B do Q3B. Wejścia MRA i MRB są zwarte do masy, a STRA i STRB są sterowane razem, aby jednocześnie odczytać obie sekcje, odtwarzając pełny bajt z przetwornika. Wszystkie możliwe operacje na zatraskach są przedstawione na rys. 13.

Logiczny układ sterujący (rys. 14)

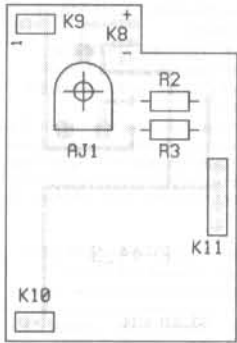
Sterowanie odbywa się za pomocą czterech sygnałów A0, A1, Read/Write i Data High/Low i musi wygenerować trzy sygnały: Strobe A/B, Disable A i Disable B. Układ odpowiada pod adresem 3 (dwójkowo: A0 = 1 i A1 = 1) w odczycie (R/W = 1). Trzy sygnały są sumowane w IC2 i jako A0 AND A1 AND R/W zostają skierowane do wyjścia w postaci 1, jeżeli płyta została wybrana do odbioru, a w postaci 0 w pozostałych wypadkach. Sygnał ten jest następnie odwracany w IC1 (0 odczyt, 1 zapis), stając się sygnałem bramkującym STB A/B. Wynika z tego, że zatraski są stale otwarte, z wyjątkiem operacji odczytu, w trakcie której są blokowane, aby uniknąć wpisania nowego bajtu zanim oba odczyty (starszego



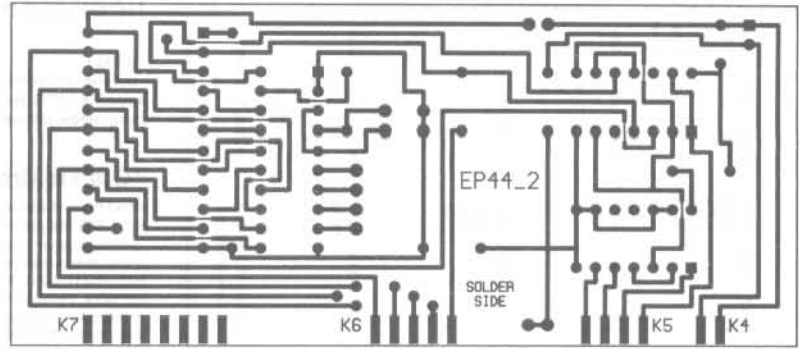
Rys. 14.



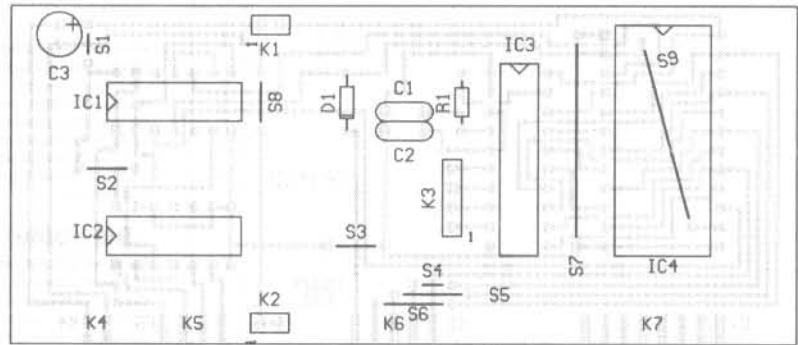
Rys. 15.



Rys. 16.



Rys. 17.



Rys. 18.

i młodszego półbajtu) nie zostaną zakończone. W przeciwnym wypadku mogłyby zdarzać się błędy wynikające ze złożenia półbajtów pochodzących z różnych pomiarów. Sygnał wyjściowy z IC2 jest także kombinowany z Data H/L, tworząc DISB i jego odwrotność DISA. Gdy płyta zostanie wybrana, wyjście z IC2 jest w stanie 1 i bramkuje (stan 0) DISB, jeżeli Data H/L jest w stanie 1, albo DISA, jeżeli Data H/L jest w stanie 0. W pozostałych przypadkach DISA i DISB są w stanie 1, zamykając wyjścia zatrząsków. Sygnał Valid jest doprowadzony do STB A/B za

pośrednictwem D1 i pozwala programowi sprawdzać obecność płyty. Ponieważ skutkiem nie połączenia wejścia układu TTL jest stan wysoki na jego wyjściu, program dokonuje odczytu z płyty, blokując STB A/B na 0 i wymuszając 0 na wejściu Valid, co nie miałyby miejsca, gdyby płyta nie była przyłączona do magistrali.

Wykonanie

Przetwornik analogowo-cyfrowy składa się z dwóch płytek drukowanych: płytki przetwornika pokazanej na rys. 17 i 18 oraz płytki sondy pokazanej na rys. 15 i 16.

Po dokładnym sprawdzeniu płytek można wstawić układy scalone do podstawek, pamiętając o właściwej ich orientacji. Nie należy potem niczego już lutować na płytkach. Sondę umieszcza się na płycie przetwornika za pośrednictwem złącze kielichowych. Zespół przetwornik + sonda można wstawić w dowolne złącze szeregowo płyty podstawowej. Jediną regulacją jest ustawienie zera sondy za pomocą AJ1.

Omówienie programów umożliwiających używanie urządzenia oraz wykaz elementów zamieścimy w następnym numerze pisma.

EP