

# CUPL - uniwersalny kompilator programowalnych układów logicznych

Ze względu na regularną budowę układów PLD (patrz artykuł na str. 26) bardzo istotne znaczenie ma etap syntezy logicznej projektowanego układu. Etap ten w chwili obecnej może być całkowicie zautomatyzowany dzięki zastosowaniu komputerów osobistych (najszerzej stosowane systemy na komputer IBM PC to: PLPL firmy Advanced Micro Devices, PALASM firmy Monolithic Memories Inc., oraz CUPL firmy Logical Devices). Najbardziej rozbudowanym systemem projektowania programowalnych układów logicznych jest zapewne CUPL (Universal Compiler for Programmable Logic). Przedstawiamy opis tego systemu na podstawie jego wersji demonstracyjnej.

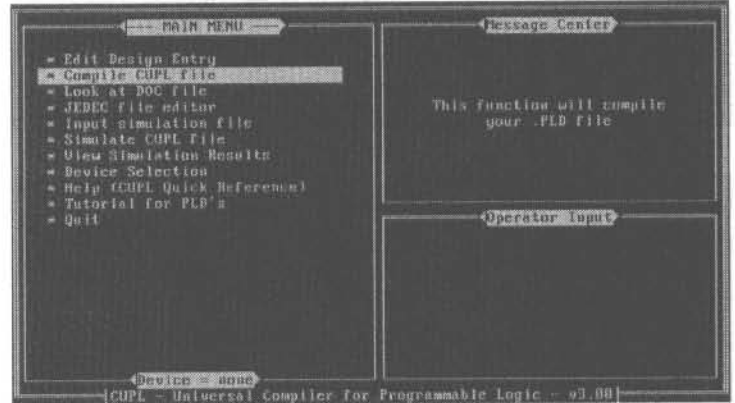
Wersja demonstracyjna to atrakcyjnie wykonany „tutor” dla potencjalnych użytkowników (program sam prowadzi za rękę pokazując swoje możliwości), nie ma możliwości wykorzystania tej wersji jako kompilatora.

Dostępne są wersje systemu różniące się oferowanymi bibliotekami układów PLD (począwszy od CUPL Starter Kit, a zakończywszy na bogatym CUPL-386 Total Designer), oraz programami wspomagającymi (np. program umożliwiający realizację dużego projektu z wykorzystaniem prostych układów PLD). Krótkie zestawienie możliwości poszczególnych wersji systemu CUPL zawiera tabela 1.

Wymagania sprzętowe najprostszej wersji systemu (Starter Kit) są bardzo skromne, jak na oferowane możliwości:

- dowolny komputer kompatybilny z IBM PC/XT/AT;
- system operacyjny MS-DOS;
- 640kB pamięci operacyjnej;
- twardy dysk.

System CUPL - Starter Kit, przy względnie niskiej cenie, w zasadzie jest narzędziem wystarczającym do podstawowych układów PAL. Do bardziej wymagających projektów należy użyć systemu CUPL-PALexpert, pozostałe systemy ze względu na cenę będą zapewne wykorzystywane jedynie przez firmy zajmujące



Rys. 1.

się profesjonalnie projektowaniem specjalizowanych układów scalonych.

Główne moduły systemu to: uniwersalny kompilator, symulator oraz program zarządzający bibliotekami.

Opisywana wersja oprogramowania została wyposażona w tzw. shell, czyli program zarządzający poszczególnymi modułami systemu. Umożliwia to korzystanie z systemu bez konieczności zapamiętywania znaczenia dużej ilości parametrów wywołania w „command line” (było to szczególnie uciążliwe dla początkujących użytkowników). Shell programu demonstracyjnego nie oferuje rozwijalnych menu (jak np. PALASM) lecz jest wygodny w u-

życiu i bardzo czytelny - sprawne posługiwanie się systemem osiąga się już po kilku minutach użytkowania.

Ekran programu jest podzielony na trzy części (rys. 1). Z lewej strony jest wyświetlone menu główne. Prawą stronę ekranu zajmują dwa okna: górne (Message Center) zawiera krótkie komentarze o aktualnie podświetlonej pozycji menu, dolne (Operator Input) jest oknem wejściowym dla użytkownika (np. wskazanie pliku do kompilacji).

Główne menu programu zawiera następujące pozycje:

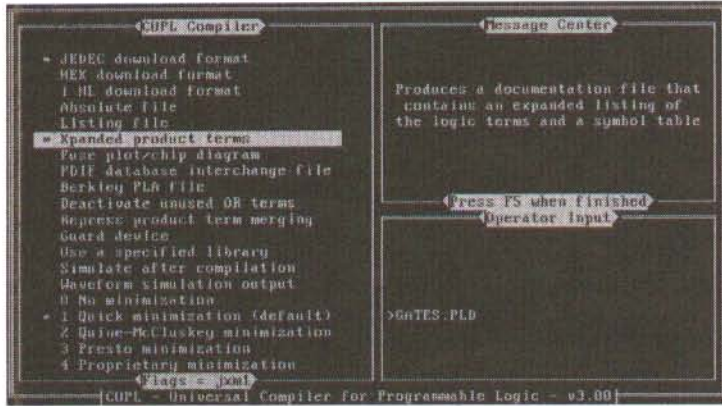
- **Edit Design Entry** - umożliwia edycję pliku wejściowego (\*.PLD), w oknie wejściowym należy podać nazwę pliku źródłowego do edycji;

Tab. 1.

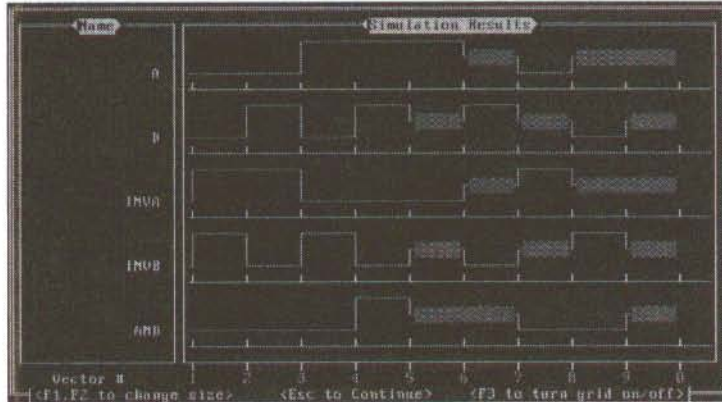
|   | STARTER KIT   | PALexpert  | ST-CUPL                                      | PLDmaster   | Total Designer386   |
|---|---|--|--|---|---|
| Elementy w bibliotece                     | Podstawowe PAL-e PAL16LB, 16R4/6/8, 20LB/10 PAL20R4/6/8 | 75 popularnych PAL, GAL, PROM (w sumie około 1500 układów) pełna lista na życzenie | GALe 16V8, 20V8, 22V10, 6001                 | Ponad 240 PAL, GAL, FPLA, PROM (około 3000 układów) | Ponad 240 FPGA, PAL, GAL, FPLA, PROM (ponad 3000 elementów) |
| Symulacja układu                          | NIE   | TAK  | TAK  | TAK   | TAK   |
| Wprowadzenie za pomocą schematu (ON-CUPL) | Oddzielna opcja   | Oddzielna opcja  | TAK (ON-CUPL) Schema quick                   | Oddzielna opcja                                     | TAK (ON CUPL) (Schema quick lub inny z listy)               |
| PL Partition                              | NIE   | Oddzielna opcja  | TAK  | Oddzielna opcja                                     | TAK   |
| Pliki wyjściowe                           | JEDEC, DOC  | JEDEC, HEX, DOC  | JEDEC, HEX, HL, PLA, PDIF, EDIF, PALASM, DOC | JEDEC, HEX, HL, PLA, PDIF, EDIF, PALASM, DOC        | JEDEC, HEX, HL, PLA, PDIF, OPEN-PLA, EDIF, PALASM, DOC      |
| FINDPLD                                   | NIE   | NIE  | TAK  | TAK   | Nie potrzebny (część PLPartition)                           |

**ANKIETA** Przed wypełnieniem należy zapoznać się z artykułem wstępnym na stronie 3 oraz z artykułami na str. 19 i 26.

|   |  |
|---|--|
| <p>1. Czy jesteś zainteresowany propagowaną przez nas ideą i zastosowaniem układów PLD? TAK / NIE</p> <p>2. Czy zajmujesz się układami PLD zawodowo? TAK / NIE</p> <p>3. Czy jesteś zainteresowany projektowaniem i programowaniem układów PLD? TAK / NIE</p> <p>4. Czy jesteś zainteresowany opracowaniem własnego projektu układu i jego wykonaniem? TAK / NIE</p> <p>5. Czy nasza oferta jest wystarczająca do realizacji Twoich projektów? Jeżeli nie, to dlaczego? TAK / NIE</p> <p>6. Czy oprócz proponowanych przez nas posunięć oczekujesz jeszcze jakiegoś wsparcia? Jeżeli tak, to jakiego? TAK / NIE</p> | <p>Imię</p> <p>Nazwisko</p> <p>Adres</p> |
|---|--|



Rys. 2.



Rys. 3.

- **Compile CUPL file** - wywołanie kompilatora. Po wybraniu tej pozycji wyświetlony zostaje spis opcji kompilacji (rys. 2). Kompilator może generować następujące pliki wyjściowe (w zależności od wersji systemu - patrz tab.1):

- \*.JED - pliki dla programatora bez wektorów testu w formacie JEDEC,
- \*.HEX - pliki dla programatora układów PROM,
- \*.HL - pliki dla układów IFL firmy Signetics,
- \*.ABS - pliki niezbędne do symulacji,
- \*.LST - pliki z błędami kompilacji,
- \*.DOC - pliki dokumentacyjne, można wybrać jeden z czterech algorytmów minimalizacji: quick, QUINE-McCLUSKEY, PRESTO, oraz LPM - algorytm opracowany w firmie Logical Devices;
- **Look at DOC file** - umożliwia przegląd pliku dokumentacyjnego (\*.DOC) generowanego przez kompilator;

- **JEDEC file editor** - umożliwia edycję pliku wygenerowanego przez kompilator w formacie JEDEC;

- **Input simulation file** - umożliwia stworzenie lub edycję pliku wejściowego dla symulatora układów PLD (plik z rozszerzeniem \*.SI zawierający wektory testowe);

- **Simulate CUPL file** - wywołanie programu symulatora. Podobnie jak w przypadku „Compile CUPL file” po wybraniu tej pozycji wyświetlony zostaje spis opcji symulacji. Plikiem wejściowym dla symulatora jest plik z rozszerzeniem \*.ABS produkowany przez kompilator). Można wybrać następujące opcje:

JEDEC download format - dodaje do pliku w formacie JEDEC (utworzonego przez kompilator) wektory testu;

Listing file - tworzy plik z błędami symulacji (\*.SO);

View results on screen - wyświetla na ekranie wyniki symula-

cji w formie tekstowej (tzn. stany logiczne reprezentowane są przez L/H/X);

Use a specific library - należy podać bibliotekę i rodzaj układu docelowego;

Display waveform only - powoduje wyprowadzenie wyników symulacji tylko na ekran;

Waveform simulation output - wyniki symulacji wyświetlane są w formie przebiegów (rys. 3). Możliwe jest skalowanie wykresów oraz włączanie i wyłączanie podziałki czasowej;

- **View Simulation Results** - umożliwia tekstowy podgląd wyniku symulacji (plik generowany przez symulator z rozszerzeniem \*.SO);

- **Device Selection** - wybór układu PLD, w zależności od wersji systemu zmienia się gama układów zawartych w bibliotece kompilatora;

- **Help (CUPL Quick Reference)** - po wybraniu tej pozycji następuje wyświetlenie w zwięzłej formie opisu zasad korzystania z systemu CUPL, krótka charakterystyka języka (przedstawienie możliwości programowania za pomocą: równań logicznych, tablic prawdy, opisu automatów)

- **Tutorial for PLD's** - wybranie tej pozycji powoduje wyświetlenie „Programmable Logic User's Guide”, czyli podręcznika omawiającego wykorzystanie programowalnych układów logicznych, opcja nie działa w wersji demonstracyjnej;

- **Quit** - zakończenie pracy z programem demonstracyjnym.

Należy podkreślić bardzo staranne wykonanie wersji demonstracyjnej systemu CUPL. Po uruchomieniu (demo.exe ENTER) praca z programem ogranicza się do potwierdzania przeczytanych komunikatów. Program demonstruje typową sesję projektową, począwszy od edycji pliku źródłowego, poprzez kompilację, podgląd plików: dokumentacyjnego, wyjściowego, symulacyjnego, zakończywszy na symulacji. Pewną niedogodnością jest brak możliwości przerywania demonstracji (oprócz oczywiście restartu komputera) - należy wytrwać do końca pokazu.

Uruchomienie programu z dowolnym parametrem wywołania (np.: demo.exe /? ENTER) powoduje, że

możemy samodzielnie wędrować po menu programu, co umożliwia dokładniejsze obejrzenie wszystkich jego zakamarków.

Na dyskietce oprócz demonstracyjnej wersji systemu CUPL znajduje się również program demonstrujący pracę z systemem CUPL bez korzystania z pomocy „shella” (uruchomienie: sds.exe ENTER). W punktach omówiony jest krok po kroku etap projektowania dekodera adresów przykładowego systemu mikroprocesorowego z wykorzystaniem układu PLD. Siedem kolejnych punktów zawiera:

- **Overview Flowchart** - ogólny schemat cyklu projektowania układów PLD;

- **Example Problem** - przedstawienie problemu, którego rozwiązanie jest demonstrowane (dekodery adresów pamięci RAM i ROM z uwzględnieniem sygnału WAIT w systemie mikroprocesorowym);

- **Creating the Source File** - omówienie formatu pliku wejściowego dla kompilatora (dla omawianego przykładowo pokazane są: plik z równaniami logicznymi oraz plik z opisem stanów);

- **Running the CUPL Compiler** - przykładowe uruchomienie kompilatora;

- **Examining the Output Files** - przegląd zawartości plików produkowanych przez kompilator;

- **Running the CSIM Simulator** - przykładowe uruchomienie symulatora układów PLD dla omawianego problemu;

- **Summary** - podsumowanie sesji projektowej, za pomocą prostej animacji pokazany jest przepływ informacji w procesie rozwiązywania postawionego problemu.

Rozpowszechniany program demonstracyjny przedstawia wersję 3.0 systemu, podczas gdy w sprzedaży jest dostępna wersja 4.3. Różnice pomiędzy tymi wersjami są tak istotne, że z pewnością program demonstracyjny nie ujawnia wszystkich możliwości oferowanych przez aktualnie dystrybuowane oprogramowanie. Program demo nie sygnalizuje np. możliwości definiowania projektowanego układu za pomocą schematu, czy też faktu istnienia bardzo użytecznego programu FINDPLD (program ten generuje listę programowalnych układów odpowiadających naszemu projektowi z możliwością definiowania znaczenia wyprowadzeń układu do potrzeb projektu).

**Paweł Zbysiński**



**proceeds sales of CUPL programs in three versions:**

1. Opisana w tym artykule wersja **CUPL-Demo**. Ta wersja służy nie tylko zapoznaniu użytkownika z systemem CUPL, ale pozwala także napisać własny program w postaci plików tekstowych. Cena: 30.000,- zł.
2. Kompilator CUPL **Starter Kit** - pełna wersja. Cena: 990.000,- zł.
3. Kompilator profesjonalny CUPL **PALexpert**. Cena: 3.800.000,- zł.

W AVT będą też dostępne układy PAL oraz będą wykonywane usługi programowania układów PAL wg programów opracowanych przez naszych Czytelników przy użyciu dowolnego z trzech w/w narzędzi. Usługi będą wykonywane na programatorze PLD "ALL-03A". Szczegółową ofertę podamy w następnym numerze EP.