

Ten odcinek Notatnika Praktyka poświęcimy omówieniu układów CMOS serii 4xxx.



Przypomnimy podstawowe wiadomości o układach logicznych (bramki i przerzutniki). Podamy ogólne zasady używania układów CMOS i omówimy rozwiązania układowe i praktyczne zastosowania.

Układy CMOS serii 4xxx

Ponieważ część naszych Czytelników dopiero wchodzi w świat elektroniki, omówimy krótko działanie podstawowych bramek i przerzutników, które każdy elektronik powinien znać i rozumieć. Początkujących elektroników usilnie zachęcamy do samodzielnej analizy oraz wykonania rysunków i tabel w celu wnikliwego poznania i przyswojenia informacji o opisanych dalej bramkach i przerzutnikach. Wiele danych można znaleźć w podręcznikach szkolnych. Słaba znajomość podstaw stanie się później przyczyną wielu kłopotów i zniechęcenia przy analizie bardziej skomplikowanych układów. Czas poświęcony dogłębnemu poznaniu podstaw z pewnością nie będzie stracony.

Rysunek 1c przedstawia realizację bramki sumy logicznej OR (ang. or - lub) z użyciem diod i rezystora (układ taki stosuje się w praktyce, rezystor powinien wtedy mieć $10k\Omega..1M\Omega$). Zauważmy, że jeżeli co najmniej jedno wejście jest w stanie wysokim, to przewodzi odpowiednia dioda i na wyjściu też jest stan wysoki. Zatem bramka OR zmienia stan na wyjściu, gdy przynajmniej w jednym wejściu jest stan wysoki.

Schematyczne oznaczenia bramki OR przedstawia **rys. 1d**.

Jeśli do bramki OR dodamy negator, to otrzymamy bramkę NOR (**rys. 1e**). Widać, że jeżeli przynajmniej jedno wejście jest w stanie wysokim H, to na wyjściu jest stan niski L.

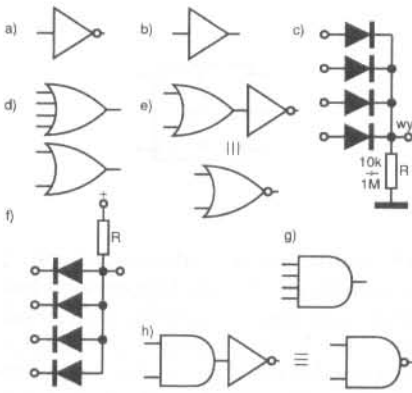
Kolejną bramką jest iloczyn logiczny AND (ang. and - i), przedstawiony na **rys. 1f, g**. Jasno widać, że stan wysoki na wyjściu będzie tylko wtedy, jeżeli wszystkie wejścia będą w stanie wysokim. Dodanie negatora (**rys. 1h**) daje bramkę NAND, w której jedynie w przypadku stanu wysokiego na wszystkich wejściach na wyjściu jest stan niski.

Spójrzmy na **rys. 2**. Załóżmy, że na wejścia A wszystkich bramek został podany sygnał z generatora. Poziom niski L na wejściach B bramek OR i NOR umożliwi przejście tego sygnału na wyjście. Odpowiednio dla

są takie same. Dla bramek NOR, NAND sygnał wyjściowy jest odwrotny (zanegowany) w stosunku do wejściowego.

Zadaniem Czytelnika niech będzie określenie, jakie stany wyjściowe mają poszczególne bramki w stanie zamknięcia.

Wróćmy do **rys. 1c**. Bramkę taką można zastosować np. w prostej centralce alarmowej - pojawienie się stanu wysokiego na dowolnym wejściu spowoduje alarm. Układ działa niewątpliwie jako bramka sumy logicznej OR. Zauważmy jednak, że coś podobnego można zrobić wg **rys. 1f**. Jeśli w spoczynku wszystkie wejścia są w stanie wysokim, to pojawienie się stanu niskiego na dowolnym wejściu zmieni stan wyjścia na niski - wygląda na to, że układ ten również działa jako bramka sumy logicznej - pojawienie się przynajmniej jednego stanu niskiego powoduje zmianę na wyjściu. Nadmienmy tu, że mówimy o logice dodatniej, gdy sygnałem aktywnym jest stan wysoki, a o logice ujemnej, gdy sygnałem aktywnym jest stan niski. Wynika z tego bardzo ważny wniosek praktyczny. Ta sama bramka jest bramką OR dla logiki dodatniej i bramką AND dla ujemnej, tak samo jest dla pozostałych par AND-OR, NOR-NAND, NAND-NOR. Praktycznie wynika z tego, że na jednym typie bramek możemy realizować zarówno funkcję sumy, jak i iloczynu logicznego. Po-

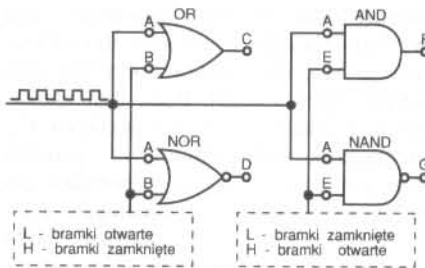


Rys. 1

Podstawowe bramki i przerzutniki

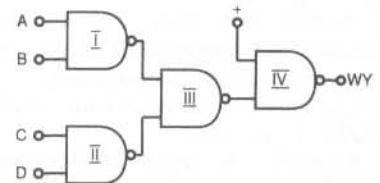
Najprostsze jest działanie bramki zwanej inwerterem lub negatorem (ang. not - nie). Gdy na jej wejściu jest stan wysoki H (czyli dodatnie napięcie zasilania), to na wyjściu jest niski potencjał masy L, i odwrotnie. Najczęściej spotykane oznaczenie inwertera na schematach przedstawia **rys. 1a**. Kółeczko na wyjściu wskazuje, że sygnał jest zanegowany (odwrócony).

Natomiast **rys. 1b** przedstawia bufor, który na wyjściu ma taki sam stan, jak na wejściu.



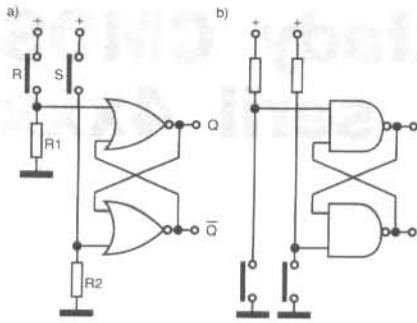
Rys. 2.

AND i NAND stan wysoki wejść E otworzy bramki, a stan niski je zamknie. Dla bramek OR i AND sygnały wyjściowy i wejściowy (punkty A, C oraz A, F) otwartej bramki



Rys. 3.

zostawiamy Czytelnikowi dokładniejszą analizę układu z **rys. 3**, gdzie dla sygnałów wejściowych logiki dodatniej bramki I i II realizują funkcję iloczynu logicznego NAND, bramka III



Rys. 4.

pełni w rzeczywistości funkcję sumy logicznej, a bramka IV jest inwerterem. Warto o tym pamiętać przy realizacji konkretnych układów. Można stosować wtedy bramki tylko jednego typu (NAND lub NOR).

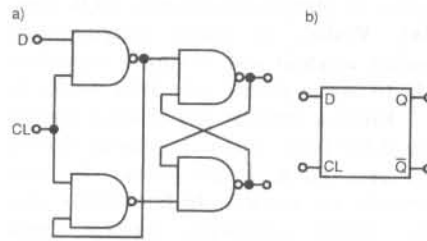
Przejdźmy teraz do **rys. 4a**. Rezystory i przyciski dodano tylko po to, aby podkreślić, że stanem spoczynkowym jest stan niski na obydwu wejściach (tak samo na **rys. 4b** stanem spoczynkowym jest stan wysoki wejść). Załóżmy, że na wejście R jest podany na chwilę stan wysoki H (krótkie naciśnięcie przycisku). Z zasady działania bramki NOR wynika, że na wyjściu Q na pewno wystąpi stan L. Na obydwu wejściach drugiej bramki będzie stan L więc jej wyjście Q\ (czyli: nie Q) będzie w stanie H. Stan H podany na wejście piewszej bramki utrzyma stan L na wyjściu Q nawet po zaniku stanu H na wejściu R. Mówimy, że przerzutnik został wyzerowany ($Q=L$, $Q\=H$).

Pojawienie się stanu H na wejściu S (nawet na chwilę) spowoduje zmianę stanu wyjść ($Q=H$, $Q\=L$). Aby wyzerować przerzutnik, należy znów podać stan H na wejście R. Dodajmy jeszcze, że podanie na oba wejścia stanu wysokiego wymusza stan niski na obydwu wyjściach i stan po takiej operacji jest zależny od tego, który sygnał wejściowy wcześniej powróci do stanu L. Przerzutnik ten zapamiętuje więc krótkie impulsy wejściowe. Jest to układ przerzutnika R-S. Nazwa R-S (lub R-S flip-flop) pochodzi od angielskich słów reset (zerowanie) i set (ustawianie).

Czytelnikowi pozostawiamy analizę układu z **rys. 4b**.

Zajmijmy się teraz przerzutnikiem typu D, którego schemat jest przedstawiony na **rys. 5b**. Istnieją dwa typy tego przerzutnika: sterowany poziomem, zwany D-latch oraz sterowany zbroczem - D-flip-flop. **Rysunek 5a** przedstawia realizację przerzutnika D-latch zwanego też zatrzaśkiem. Szczegółową analizę proponujemy Czytelniko-

wi, a my podamy tylko wynik. Mówimy, że latch jest przezroczysty, tzn. na wyjściu Q jest powtórzony stan wejścia danych D wtedy, gdy wejście zegarowe CL (ang. clock - zegar, czasami oznaczone T - ang. time - czas) jest w stanie H. Zmiany na wejściu D są natychmiast przenoszone na wyjście. Przejście wejścia CL w stan niski powoduje „zatrzaśnięcie” danych, to znaczy zapamiętanie ostatniego stanu wejścia D. Zmiany stanu na wejściu D gdy $CL = L$ nie mają wpływu na stan wyjścia. Takie sterowane poziomem przerzutniki są stosowane np. w częstotściomierzach między licznikiem a dekoderelem. Umożliwiają ciągłe śledzenie zliczania impulsów, gdy latch jest przezroczysty oraz zapobiegają migotaniu na wyświetlaczu przy szybkich pomiarach - latch jest otwierany tylko na chwilę i zapamiętuje dane z licznika. Tego rodzaju poczwórny latch jest wbudowany w niektóre dekodery, np. 4511, 4543, występuje też jako układ 4042. Bywa, że jest sterowany nie poziomem wysokim, tylko niskim.

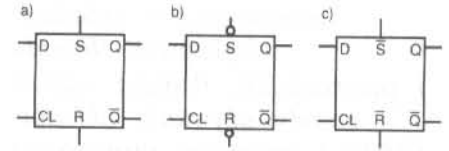


Rys. 5.

Drugi typ D-flip-flop to przerzutnik sterowany zbroczem. Oznaczenie schematowe obydwu przerzutników D jest takie same (**rys. 5b**). Różnica w pracy polega na tym, że przerzutnik sterowany zbroczem narastającym lub opadającym wpisuje stan wejścia D na wyjściu Q tylko w momencie zmiany stanu wejścia zegarowego, czyli wystąpienia odpowiedniego zbrocza (narastającego, dla innych układów scalonych opadającego). Poza tym zarówno dla stanu H i L na wejściu CL przerzutnik jest „gluchy” - pamięta stan poprzedni. Zbrocze narastające oznacza się często LH, opadające HL.

Popularny układ scalony 4013 zawiera dwa przerzutniki D sterowane rosnącym zbroczem CL. Dodatkowo są wyprowadzone wejścia R, S. Tak samo jak w przerzutniku R-S, podanie stanu wysokiego zeruje lub ustawia wyjścia Q i Q\, niezależnie od stanów D i CL. Przy podaniu R, S = H jest $Q = Q\ = H$, nie jest to

jednak typowy stan pracy, warto tylko o tym wiedzieć aby uniknąć niespodzianek.

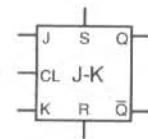


Rys. 6.

Porównajmy **rysunki 6a, 6b i 6c**. Małe kółeczko przy wyjściu oznacza negację, tak samo jak pozioma kreska nad oznaczeniem. Takie samo kółeczko nad oznaczeniem (**rys. 6b**) lub kreska nad oznaczeniem (**rys. 6c**) oznacza, że wejście reaguje na niski stan logiczny, zatem stanem spoczynkowym jest H. W przypadku przedstawionym na **rys. 6a** stanem spoczynkowym jest stan niski, a aktywnym - wysoki (tak jak na **rys. 4a**). W przypadku układów sterowanych zbroczem należy sprawdzić, jakie zbrocze oddziałuje na dany przerzutnik, licznik czy rejestr, gdyż zwykle nie wynika to z rysunku w katalogu.

Następnym opisywanym przerzutnikiem jest sterowany zbroczem przerzutnik J-K (**rys. 7**). Jego nazwę niektórzy wywodzą od inicjałów konstruktora.

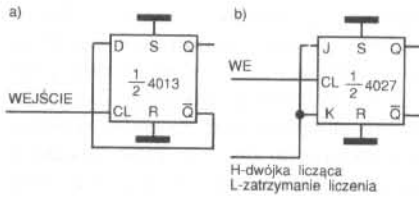
Stan wyjść przerzutnika J-K zależy



Rys. 7.

od stanu wejść informacyjnych J, K w momencie wystąpienia odpowiedniego zbrocza na wejściu CL. I tak, gdy $J, K = L$ przy wstąpieniu odpowiedniego zbrocza stan wyjść nie zmienia się; gdy $J = H, K = L$ najbliższe zbrocze ustawi $Q = H, Q\ = L$; gdy $J = L, K = H$ zostanie wpisane $Q = L, Q\ = H$, przy stanie $J, K = H$ stan wyjść Q, Q\ zmieni się na przeciwny. Czas narastania (opadania) czynnego zbrocza takich przerzutników CMOS musi być krótszy niż 15µs. Układ 4027 zawiera dwa takie przerzutniki sterowane zbroczem dodatnim (narastającym). Dodatkowo, tak samo jak w układzie 4013 istnieją wejścia R, S pozwalające, niezależnie od stanów wejść J, K, CL ustawić lub wyzerować przerzutnik.

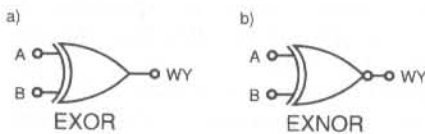
Przerzutniki z układów 4013 i 4027 łatwo zmienić w układ dwójki liczącej (nazywanej też przerzutnikiem T (toggle) (**rys. 8**)). Czytelnik zechce narysować



Rys. 8.

wykres czasowy do **rys. 8a**, uwzględniając, że w rzeczywistym układzie występują pewne niewielkie opóźnienia między wpisaniem stanu wejścia D przez rosnące zbocze CL, a pojawieniem się tego nowego stanu na wyjściach Q i Q̄. O ile przerzutnik R-S można rozpatrywać jako dwuprzyciskowy układ włącz-wyłącz (rys. 4a), to w przerzutniku T jeden impuls powoduje włączenie, kolejny - wyłączenie, następny znów włączenie itd. Dwójki liczące, takie jak na rys. 8, są podstawą do budowy różnorodnych liczników i rejestrów.

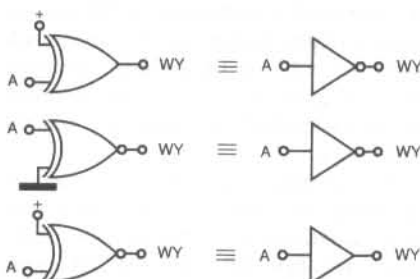
Omówmy jeszcze bramki Ex-OR i Ex-NOR, nazywane także bramkami



Rys. 9.

„albo“ (**rys. 9a, b**). Zasada działania tych bramek jest prosta. Dla bramki Ex-OR, gdy stany obu wejść są zgodne (A, B = L albo A, B = H), na wyjściu jest stan niski; gdy stany wejściowe są przeciwne (A=L, B=H albo A=H, B=L), to na wyjściu jest stan wysoki. Dla bramek Ex-NOR jest odwrotnie - stany zgodne dają stan wysoki na wyjściu.

Wnikliwy Czytelnik zechce zapewne sprawdzić, czy rzeczywiście bramki te mają ciekawą właściwość pozwalającą z takiej bramki zrobić negator lub nieodwracający bufor, w zależności od stanu drugiego wejścia (**rys. 10**). Właściwość ta jest czasem przydatna w praktyce konstrukcyjnej. Układy



Rys. 10.

scalone 4030 i 4077 zawierają, odpowiednio, dwuwejściowe bramki Ex-OR i Ex-NOR.

Wspomnijmy jeszcze o bramkach z układem Schmitta, nazywanych czasem przerzutnikami Schmitta, co może być błędnie rozumiane. Dostępne są dwuwejściowe bramki NAND (4093) oraz inwertery 40106.

Uwaga na ładunki

Wypożyczeni w minimum niezbędnej teorii przejdźmy do praktyki. Jak to właściwie jest z uszkodzeniami przez ładunki statyczne? Producenci dostarczają układy w antystatycznych szynach (zwanymi potocznie laskami). U dystrybutorów często są przekładane do zwykłych pudełek z tworzywa sztucznego, na giełdach do pudełek od zapalek i... nic się nie dzieje. Miejmy jednak świadomość, że opisane w poprzednim odcinku zabezpieczenia dają 100% ochronę w przypadku, gdy układ scalony pracuje w urządzeniu. Chodzi o dołączenie masy i „+“ zasilania do punktów o małej impedancji. Dlatego przy lutowaniu należy najpierw zamontować elementy zasilacza, kondensatory odsprzegające zasilanie, wszystkie elementy biernie, a lutowanie CMOS-ów zaczynać od wyprowadzeń masy i zasilania. Ogólną zasadą przy wszelkich pracach jest wyłączenie zasilania przy wprowadzaniu jakichkolwiek zmian i poprawek w układzie. Nie powinno się lutować w urządzeniu pod napięciem, także wymiana układów scalonych w podstawkach powinna następować w stanie beznapięciowym.

Wpływ temperatury i napięcia zasilania

Zmiany napięcia progowego (przełączania) w funkcji temperatury są niewielkie i w większości zastosowań mogą być pominięte. Napięcie progowe teoretycznie powinno wynosić 0,5 napięcia zasilania. Występuje tu pewien rozrzut parametrów poszczególnych egzemplarzy układów scalonych. Napięcie zasilania ma także wpływ na próg przełączania i dla poszczególnych egzemplarzy może być np. dla $U_z = 3V$ próg na poziomie 50%, a dla $U_z = 15V$ - 40% napięcia zasilania.

Wzrost temperatury struktury powoduje zmniejszenie wydajności prądowej tranzystorów wyjściowych, co z jednej strony jest dobre, bo zmniejsza ryzyko uszkodzenia przy przeciążeniu wyjścia. Z drugiej strony zjawisko to rozpatrywać można jako wzrost rezystancji wyjściowej z temperaturą. Zmiany te mogą dochodzić do 30% w stosunku do parametrów w tem-

peraturze pokojowej. Jak podaliśmy w poprzednim odcinku, napięcie zasilające bardzo silnie wpływa na parametry wyjść CMOS.

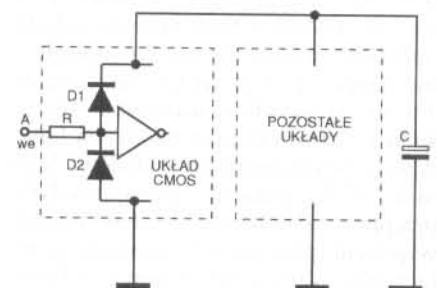
Opisane wahania parametrów powinny być brane pod uwagę przy projektowaniu generatorów i układów czasowych. Z przedstawionych danych wynika, że dołączone zewnętrzne rezystancje powinny być dużo większe niż „rezystancja“ wyjściowa CMOS w celu wyeliminowania wpływu wahań tej ostatniej na stałą czasową RC.

Także ze względu na zmniejszenie poboru prądu zasilającego lepiej stosować duże wartości rezystancji w obwodach RC i generatorach.

Wiadomo, że przy małych częstotliwościach układy CMOS prawie nie pobierają prądu i dlatego w pewnych przypadkach funkcję źródła zasilania rezerwowego może spełniać naładowany kondensator elektrolityczny (uformowany, o małej upływności) o pojemności 100...4700µF. Umożliwia to np. poprawną pracę urządzenia w przypadku zaniku napięcia w sieci 220V. W obwodach RC generatorów należy stosować wtedy rezystory 1MΩ lub nawet większe. Niektóre generatory wymagają jednak napięcia zasilania powyżej 4V i mają znaczący pobór prądu.

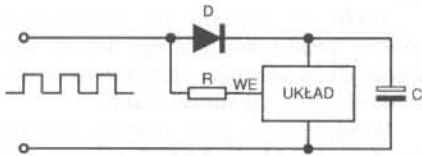
Różne uwagi praktyczne

W ubiegłym numerze EP omówiliśmy obwody zabezpieczeń wejścia. Teraz dodajmy kolejne praktyczne wskazówki na ten temat. Może się zdarzyć, że układ z **rys. 11** nie będzie zasilany, pojawi się natomiast napięcie w punkcie A. To napięcie może pochodzić z wyjścia układu zasilanego z innego źródła, może to być kondensator elektrolityczny o dużej pojemności stanowiący część obwodu RC. Ta ostatnia sytuacja to po prostu wyłączenie zasilania układu zawierającego duże kondensatory elektrolityczne. Prąd popłynie wtedy przez rezystor R i diodę zabezpieczającą D1. W zależności od wydajności źródła energii



Rys. 11.

w punkcie A i rodzaju układu mogą zdarzyć się różne sytuacje. Gdy np. „pozostałe układy” z rys. 11 pobierają dużo prądu, a wydajność źródła w p. A jest duża, to „układ CMOS” może po prostu ulec uszkodzeniu, ze względu na przepływ zbyt dużego prądu. Gdy „pozostałe układy” pobierają bardzo mało energii, może się okazać, że napięcie z punktu A naładuje pojemność C i stanie się źródłem zasilania - układ będzie pracował.



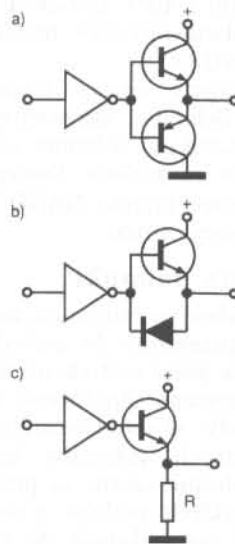
Rys. 12.

Warto tu wspomnieć o możliwości wykorzystania podobnego układu do zasilania urządzenia o małym poborze prądu bezpośrednio z linii transmisyjnej dane lub sygnał zegarowy wg rys. 12.

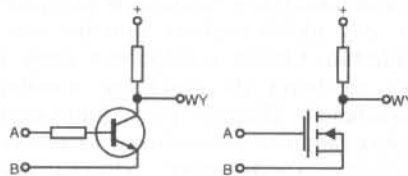
Z opisanym zjawiskiem przepływu prądu należy liczyć się w przypadku urządzenia zasilanego z dwóch różnych zasilaczy (np. zasilacz i bateria rezerwowa dla części układu). Może okazać się, że prąd „chce” płynąć przez obwody zabezpieczeń układów, które nie mają być zasilane - trzeba wówczas stosować bufony z innym rodzajem zabezpieczeń (np. 4049, 4050).

Kolejna drobna, ale istotna sprawa to spotykane w katalogach oznaczenie wyprowadzeń układu scalonego NC (ang. not connected - nie podłączone). Końcówka ta nie jest wtedy podłączona wewnątrz układu i można spokojnie przeprowadzić dowolną ścieżkę na płytce przez tę nóżkę układu scalonego. Niekiedy jednak opis brzmi „do not connection”, co oznacza, że nie wolno tej końcówki do niczego łączyć.

Omówmy teraz sposoby zwiększania wydajności wyjściowej układów CMOS. Przede wszystkim wspomniane już bufony 4049, 4050 mają dużo większą obciążalność. Bramki i inwertery CMOS z tego samego układu scalonego można łączyć równolegle - nie można jednak łączyć tak bramek z różnych układów scalonych. Wynika to z rozrutu czasów narastania i propagacji poszczególnych układów. Różnice tych czasów spowodowałyby przepływ szkodliwych prądów między wyjściami przy niejednoczesnym przełączaniu. Można też stosować układy przedstawione na rys. 13 wiedząc, że układ z rys. 13c ma większe straty ze



Rys. 13.

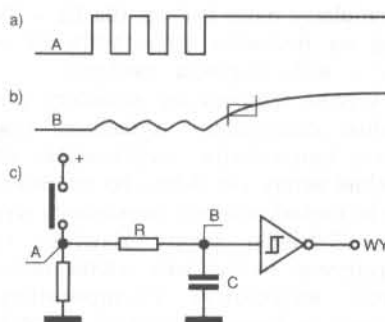


Rys. 14.

względu na rezystor R.

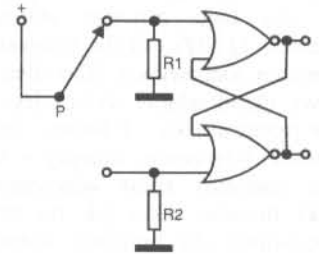
Rysunek 14 pokazuje z kolei, że pojedynczy tranzystor może być wykorzystany jako bramka - jest to przydatne, gdy potrzebujemy tylko jednej bramki, i nie chcemy stosować całego układu scalonego. Jest to „prawie NAND”; stan niski na wyjściu jest tylko wtedy, gdy A=H i B=L. Często stosowane układy dyskretne spełniające funkcje OR i AND pokazują rys. 1c, f.

W naszych rozważaniach nie wspominaliśmy o odporności na zakłócenia (margines zakłóceń) oraz o parametrach dynamicznych (szybkość). Przyjdzie na to pora przy innej okazji. Nadmienimy tylko, że układy logiczne są szybkie, a czasy z nimi związane podaje się zazwyczaj w nanosekundach (mi-



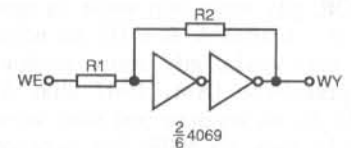
Rys. 15.

liardowych części sekundy). Jest to istotne np. przy współpracy z zestykami (przyciskami, kontaktronami, przełącznikami, przelaznikami). Te mechaniczne elementy przy łączeniu wykonują nieuchronne drgania. Przy załączaniu na styku pojawiają się drgania o okresie rzędu milisekund. W uproszczeniu przedstawia to rys. 15a. Podanie takiego przebiegu na wejście np. licznika spowoduje zliczenie nie jednego, ale kilku czy kilkunastu impulsów.



Rys. 16.

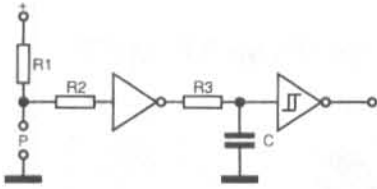
Trzeba więc stosować specjalne sposoby łączenia zestyków z układami logicznymi. Jeden ze sposobów to użycie przerzutnika R-S (rys. 4a oraz rys. 16). Częściej używa się jednak bramki Schmitta z obwodem RC (rys. 15c), np. inwertera z układu 40106. Stała czasowa RC musi być większa niż okres drgań zestyków. Bramkę Schmitta (z histerezą) można także zbudować z dwóch inwerterów (np.



Rys. 17.

4069) i rezystorów (rys. 17). Rezystor R2 powinien mieć wartość większą niż R1 (zwykle R2 = 1MΩ), zwiększanie R1 zwiększa histerezę, ale zbyt duża jego wartość doprowadzi do histerezy 100% i układ przestanie pracować. W układzie z rys. 17 należy uwzględnić wartość R1 i R2 przy stosowaniu ewentualnego wejściowego obwodu RC oraz mieć świadomość zwiększonego poboru prądu zasilania przy napięciach wejściowych w okolicach połowy napięcia zasilania z uwagi na przewodzenie wszystkich tranzystorów układu scalonego.

Przypomnijmy jeszcze, że z uwagi na ogromną impedancję wejściową bramek możliwe jest sterowanie dotykowe wg rys. 18. Rezystor R1 musi mieć wartość większą niż rezystancja suchego palca, którym dotykamy po-



Rys. 18.

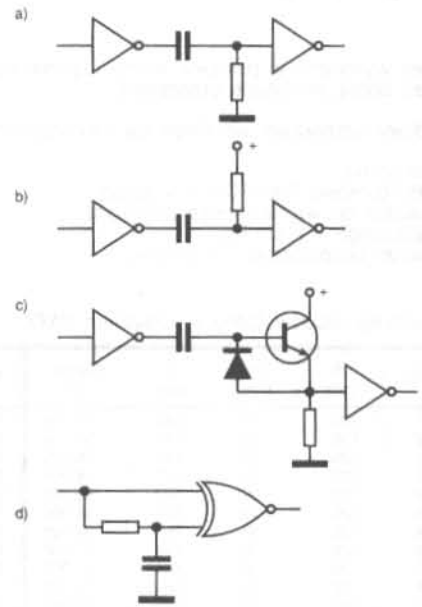
la kontaktowego P. Rezystor R2 zabezpiecza dodatkowo wejście bramki i może mieć wartość od kilkudziesięciu do kilkuset kΩ. W układzie takim warto zastosować opisany wyżej układ z bramką Schmitta, aby uniknąć fałszywych sygnałów przy indukowaniu się zakłóceń na wejściu. Także układ z rys. 4a, b może być użyty do sterowania dotykowego.

W pracy konstrukcyjnej często zachodzi potrzeba opóźnienia sygnałów o czas od mikrosekund do sekund. Najprostszy sposób to dołączenie kondensatora równolegle do wyjścia (rys. 19a). Pojemność nie może być więk-

sza niż 1nF, a uzyskiwane opóźnienia są zależne od „rezystancji” wyjściowej bramki i są okupione zwiększeniem prądu na przeładowanie kondensatora. Lepsze rozwiązanie przedstawia rys. 19b, gdzie R i C mogą być praktycznie dowolne. Rezystor R dobiera się zazwyczaj z zakresu 10kΩ...1MΩ. kondensator jest dowolny, jednak przy stosowaniu kondensatora elektrolitycznego nie zaleca się, aby długo pozostawał bez napięcia. Niektóre amatorskie konstrukcje, np. centralek alarmowych mają taką budowę, że kondensator elektrolityczny całymi latami pozostaje w spoczynku bez napięcia. Jeżeli w końcu wystąpi alarm, kondensator nie będzie uformowany i prąd upływu będzie tak duży, że alarm z pewnością nie zadziała. Pamiętać trzeba o tym przy stosowaniu kondensatorów elektrolitycznych w obwodach, gdzie oczekujemy długiej i bezawaryjnej pracy (powinny wtedy stale „stać pod napięciem”). Pewną możliwością obejścia tego ograniczenia jest zastosowanie układu wg rys. 19c. Wykorzystane jest tu zjawisko wzmocnienia prądowego tranzystora - stała czasowa wynosi, w dużym przybliżeniu, $R \times C \times \text{wzmocnienie prądowe tranzystora}$. Należy jednak wiedzieć, że niektóre tranzystory bardzo tracą wzmocnienie przy małych prądach. Ponadto działanie dotyczy tylko jednego (rosnącego) zbocza. Przy zboczu opadającym działa dioda D i stała czasowa wynosi tylko RC. W takim układzie należy jednak zapewnić bardzo dobrą izolację (polakierować płytkę), ponieważ przy wartości R rzędu kilkudziesięciu kΩ prąd bazy i kondensatora jest bardzo mały, porównywalny z prądem upływu zakurzonej płytki. Kondensator C także musi mieć bardzo mały prąd upływu.

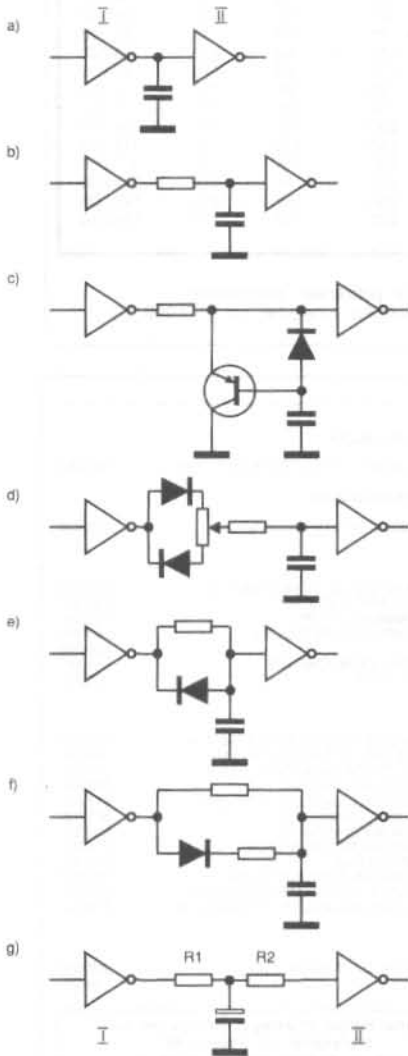
Dla osiągnięcia czasów rzędu minut czy godzin dużo lepiej zastosować czasowy układ scalony, np. 4541. Układ z rys. 19d pozwala dowolnie dobierać czasy opóźnienia obydwu zboczy, w szczególności wyrównać je, gdy bramki mają próg przełączania różny niż 50% (może być 30...70%). Stosowane są także układy przedstawione na rys. 19e, f. Ponadto, gdy C jest kondensatorem elektrolitycznym o dużej pojemności, należy zastosować rezystor R2, aby zabezpieczyć wejście bramki II przy wyłączeniu zasilania (rys. 19g). Ta sytuacja była już wcześniej omawiana.

Przy czasach narastania napięcia na kondensatorze większych niż 15μs (czyli prawie zawsze) należy stosować bramkę Schmitta jako bramkę II, z uwagi na możliwość oscylacji na wyjściu.

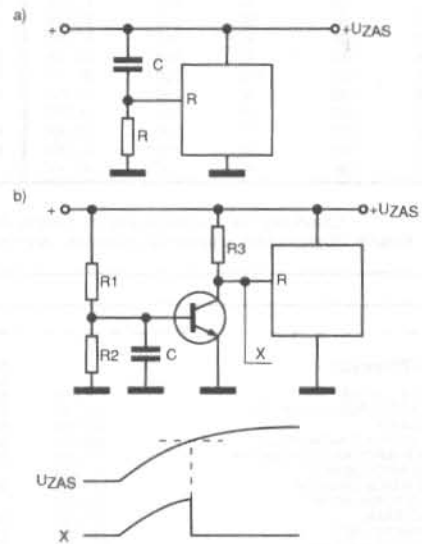


Rys. 20

Rysunek 20 przedstawia przykłady układów, w których odpowiednie zbocze powoduje wytworzenie pojedynczego impulsu wyjściowego.



Rys. 19.



Rys. 21.

Rysunek 21 przedstawia proste układy zerowania liczników, rejestrów, przerzutników po włączeniu zasilania. Układ z rys. 21a można stosować, gdy napięcie zasilające narasta szybko, a kondensator C ma małą wartość. Natomiast układ z rys. 21b umożliwia pewne zerowanie (resetowanie) także przy wolno narastającym napięciu zasilania. Stosunek rezystorów R1, R2 i pojemność C określają, w którym momencie kończy się impuls zerujący.

Piotr Górecki