

W kolejnym artykule z cyklu „Notatnik Praktyka“ przedstawiamy w zwięzły i przejrzysty sposób informacje niezbędne do umiejętnego stosowania cyfrowych układów scalonych z dwóch szeroko znanych i najpowszechniej dostępnych rodzin: TTL i CMOS. Podajemy też najważniejsze parametry charakterystyczne dla różnych serii układów TTL, CMOS i ECL. Bardziej wnikliwie zajmujemy się rodziną CMOS 4xxx, ponieważ oferuje ona największe możliwości zastosowań hobbistyczno-konstruktorowi.



ABC układów cyfrowych (TTL i CMOS)

Coupled Logic), również zbudowane z tranzystorów bipolarnych npn. Nazwa układy ECL - układy ze sprzężonymi emiterami - pochodzi stąd, że zasadniczy układ bramki jest zrealizowany w konfiguracji wzmacniacza różnicowego, w którym tranzystory są połączone emiterami. Grupa ta odróżnia się od pozostałych tym, że tranzystory cały czas przewodzą, nie osiągając odciążenia ani nasycenia. Wiąże się to z dużo większym poborem mocy, ale za to układy ECL są zdecydowanie najszybsze. Wreszcie grupa trzecia - układy CMOS (Complementary Metal Oxide Semiconductor) - zawiera, jak wskazuje nazwa, układy zbudowane z par komplementarnych tranzystorów polowych z izolowaną bramką, tj. tranzystorów o kanale typu p oraz typu n.

Układy ECL

Układy ECL mają zastosowanie w najszybszych komputerach oraz w telekomunikacji. Ponieważ pobierają dużo prądu, wymagają zwykle wymuszonego chłodzenia (w najprostszej wersji - przepływu powietrza z prędkością większą niż 2,5m/s). W konstrukcjach amatorskich ich udział jest znikomy - (bywają czasami używane przez krótkofalowców jako wstępne dzielniki częstotliwości w zakresie 100MHz..1GHz), dlatego nie będziemy bliżej omawiać układów tej grupy, a zainteresowanych odsyłamy do katalogów firmowych. Dla porządku jedynie wspomnimy, że rodzinę 10K można poznać po numerze układu, np. 10xxx: dwie pierwsze cyfry (czyli 10) to oznaczenie rodziny (10K), a trzy

ostatnie (xxx) to konkretny typ układu scalonego. Analogicznie, układy rodziny 100K mają oznaczenie 100xxx, stąd litera K (kilo, tysiąc). Napięcie poziomów logicznych układów ECL oraz wielkość obciążenia (zwykle 50Ω) są inne niż układów pozostałych grup, z czego wynika, że tych układów nie można łączyć wprost z układami TTL i CMOS. Do łączenia układów ECL z układami innych rodzin stosuje się specjalne konwertery (translatory) poziomów wytwarzane jako odrębne układy scalone)

Układy TTL

Układy TTL są najstarszymi (jeśli nie brać pod uwagę tak historycznych już dzisiaj układów jak RTL, DCTL czy DTL), najbardziej znanymi i chyba najpowszechniej dostępnymi scalonymi układami cyfrowymi. Wśród nich, w zależności od budowy i osiągniętych parametrów, wyróżnia się układy serii standardowej (54/74), L (Low-power), H (High-speed), S (Schottky), LS (Low-power Schottky), ALS (Advanced Low-power Schottky), AS (Advanced Schottky), F (Fast).

Układów serii standardowej (przykład oznaczenia układu 7400, 7490) nikt już nie stosuje do nowych konstrukcji. Duży pobór mocy przy „standardowej” szybkości powoduje, że te układy nie są atrakcyjne dla konstruktorów (chyba, że dostaniemy je za darmo).

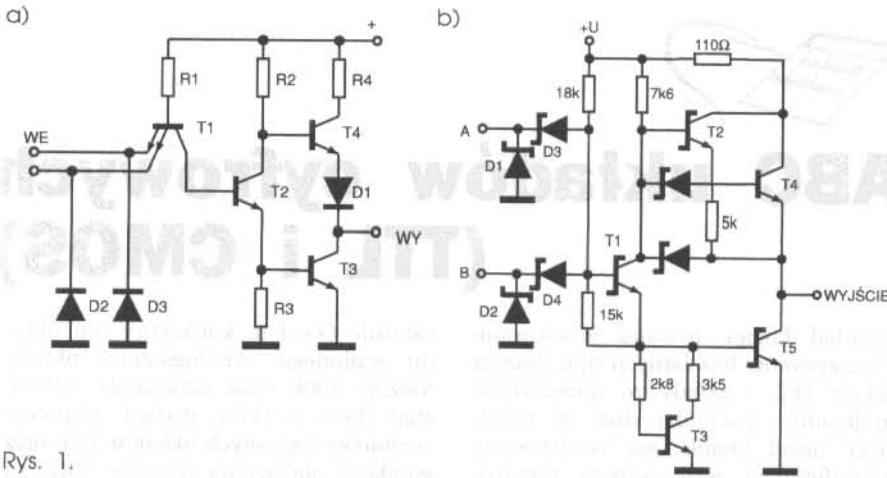
Przez pewien czas była dostępna na rynku seria L (przykład oznaczenia układu 74L90), o 10-krotnie zmniejszonym poborze prądu, ale też niestety

Niejednemu elektronikowi, kupującemu jakiś układ scalony, zapewne zdarzyło się usłyszeć od sprzedawcy: takiej „kości” nie mam, ale mam HC-ta i FAST-a. Hm! Co to właściwie jest za układ? Nadaje się dla mnie, czy nie? Kupić, czy nie kupić? Wiadomo, brak wiedzy kosztuje, dlatego chyba warto poświęcić nieco czasu na usystematyzowanie wiadomości na temat układów cyfrowych. Ten artykuł ma pomóc Czytelnikowi we właściwym doborze i umiejętnym stosowaniu cyfrowych układów scalonych z powszechnie znanych i szeroko dostępnych rodzin TTL i CMOS.

Elektronik-praktyk styka się zwykle z trzema głównymi rodzinami (grupami, klasami) cyfrowych układów scalonych; TTL, CMOS i ECL (tab. 1). Grupa pierwsza to układy TTL (Transistor-Transistor Logic). Podstawową „cegielką” (elementem czynnym), służącym do budowy układów tej grupy jest tranzystor bipolarny npn. Zgodnie z dwustanową zasadą pracy, tranzystory tego układu są albo zatkane, albo w pełni przewodzą. Grupa druga - to układy ECL (Emitter

Tab. 1.

| Parametr | Rodzina | TTL | | | | | | | CMOS | | | | | ECL | | |
|-------------------------------------|------------------|----------|------|----|-----|-----|-----|------|----------|-------|----------|---------|--------|-----------------------|------------|------------|
| | | Standard | L | H | LS | ALS | S | FAST | HCT | HC | ACT | AC | 4xxx | 10K | 100K | ECL adv |
| Czas propagacji [ns] | | 10 | 33 | 6 | 9 | 7 | 3 | 3 | 8 | 9 | 5 | 5 | 40 | 1..2 | 0,75 | 0,33 |
| Częstotliwość przerzutnika | | 25 | 3 | 50 | 35 | 45 | 100 | 125 | 45 | 45 | 160 | 160 | 8 | 300 | 400 | 1000 |
| Pobór mocy na 1 bramkę | w spoczynku [mW] | 10 | 1 | 20 | 2 | 1,2 | 25 | 4 | 0,003 | 0,003 | 0,003 | 0,003 | 0,0006 | 25 | 50 | 25 |
| | przy 1MHz [mW] | 10 | 1 | 20 | 2 | 1,2 | 25 | 4 | 0,6 | 0,6 | 0,8 | 0,8 | 0,4 | 25 | 50 | 25 |
| Zakres napięcia zasilania [V] | | 4,5..5,5 | | | | | | | 4,5..5,5 | 2..6 | 4,5..5,5 | 3..5,5 | 3..18 | -4,9..-5,5 | -4,3..-4,8 | -4,2..-5,5 |
| Prąd wyjściowy w stanie niskim [mA] | | 16 | 3,6 | 20 | 8 | 8 | 20 | 20 | 4 | 4 | 24 | 25 | 1 | Obciążenie pracy 50 Ω | | |
| Prąd wejściowy w stanie niskim [mA] | | 1,6 | 0,18 | 2 | 0,4 | 0,4 | 2 | 0,6 | <0,001 | | | <0,0001 | | | | |
| WZAJEMNIE WYMIENNE | | | | | | | | | | | | | | | | |



Rys. 1.

o dużo mniejszej szybkości. Wypada również wspomnieć o serii H (przykład oznaczenia układu 74H00), produkowanej przed laty także w kraju, która, podobnie jak seria S (przykład oznaczenia układu 74S112), wyróżniała się dużą szybkością działania, okupioną, niestety, znacznie większym poborem prądu.

Popularna obecnie seria LS (przykład oznaczenia układu 74LS193) ma wprawdzie „standardową” szybkość, lecz, co jest bardzo korzystne, zmniejszoną moc strat (ok. 5-krotnie obniżoną w stosunku do serii standardowej).

Seria ALS to ulepszona seria LS, charakteryzująca się dwukrotnie mniejszą mocą strat i większą szybkością. Najszybsza jest seria FAST (przykład oznaczenia układu 74F74), szybsza od ALS, z poborem mocy prawie trzykrotnie mniejszym niż seria standardowa. Układy serii FAST zastępują układy serii S, a nawet, w niektórych zastosowaniach, układy ECL. Dodać jeszcze trzeba, że układy TTL z literą S w oznaczeniu (LS, S, ALS oraz FAST) są zbudowane z zastosowaniem diod Schottky'ego, jako

sprzężeń zwrotnych między bazą i kolektorem tranzystora. Na złączu takiej diody (jest to złącze typu m-s, czyli metal półprzewodnik), przy przepływie prądu występuje napięcie rzędu 0,3..0,4V, a więc dużo mniejsze, niż w normalnym złączu p-n. W związku z tym tranzystor nie wchodzi w stan głębokiego nasycenia, co znacznie zwiększa szybkość przełączania.

Przypomnieć należy, że układy TTL różnych serii mają tak samo rozmieszczone wyprowadzenia, mogą więc być wzajemnie wymienne, oczywiście przy uwzględnieniu szybkości oraz prądów wejściowych i wyjściowych

wych (obciążalności). Zauważmy, że w obrębie serii, do każdego wyjścia można zwykle dołączyć dziesięć (niekiedy więcej) wejść innych układów.

Aby pogłębić praktyczne wiadomości o układach TTL, rozpatrzmy budowę i działanie podstawowej bramki typu NAND (z serii STANDARD). Bramki z nowszych serii mają wprawdzie nieco inne rozwiązania schematowe (rys. 1b) i ulepszenia technologiczne, niemniej podstawowe, podane dalej zasady, dotyczy wszystkich serii układów TTL.

Zauważmy, że przy rozwarciu wejść TTL (rys. 1a) żaden prąd nie płynie w obwodach emiterowych tranzystora T1, płynie zaś przez R1, złącze kolektorowe T1 do bazy T2. Zatem T2 przewodzi, T3 również, natomiast T4 jest zatkany. Na wyjściu bramki jest stan logiczny niski („0” lub „L”), mówimy też, że bramka jest włączona. To samo będzie, gdy na wejścia

podamy napięcie o wartości powyżej 2V, a więc o poziomie wysokim („1” lub „H”). Zapamiętajmy pierwszy ważny wniosek: pozostawienie wejść układów TTL „w powietrzu” jest równoznaczne z podaniem stanu wysokiego („1” lub „H”) na te wejścia. Do wejść bramki TTL, znajdujących się w stanie wysokim może wpływać niewielki prąd, co najwyżej kilkudziesięciu μA . Zwarcie któregośkolwiek wejścia do masy (lub podanie napięcia 0..0,8V) spowoduje przepływ prądu przez R1 i złącze emiterowe T1. W wyniku tego tranzystor T2 ulegnie zatkananiu, T3 także, zaś T4 będzie otwarty (zacznie przewodzić), zatem bramka znajduje się w stanie wyłączenia i na jej wyjściu ustali się stan wysoki. Zauważmy, że w stanie ni-

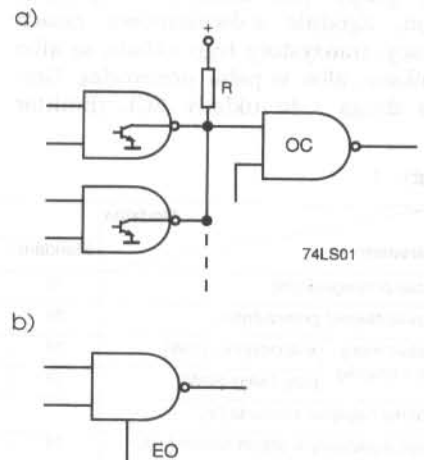
Układy TTL różnych serii mają tak samo rozmieszczone wyprowadzenia, mogą więc być wzajemnie wymienne.

skim z wejścia bramki TTL wypływa prąd, przy czym wielkość tego prądu zależy od rodzaju (serii) układu (patrz tab. 1). O ile wartości prądów wejściowych i prądów wyjściowych są zależne od serii, o tyle wartości napięć odpowiadających stanowi niskiemu i stanowi wysokiemu są ustalone dla wszystkich układów TTL oraz kompatybilnych układów CMOS (rodziny HCT i ACT). **Napięcie 0..0,8V - to stan niski. Napięcie powyżej 2V - to stan wysoki.** Dotyczy to wszystkich układów TTL i układów zgodnych z TTL, zasilanych napięciem $5\text{V} \pm 0,5\text{V}$.

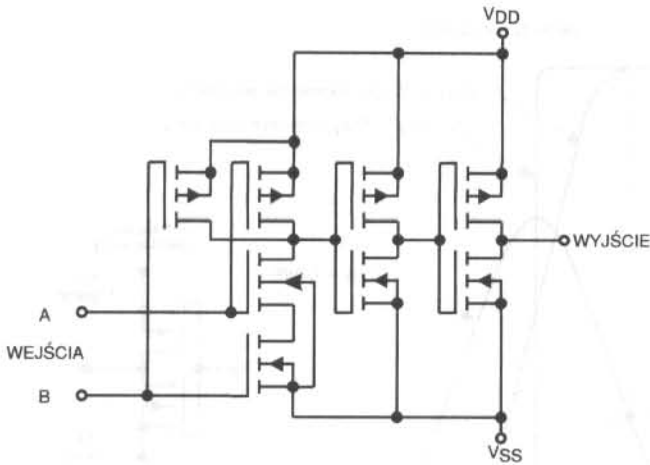
Często stosuje się w jednym urządzeniu układy z różnych serii. Jest to bardzo korzystne dla optymalizacji konstrukcji urządzenia, bowiem tylko w tych częściach urządzenia, gdzie występuje duża częstotliwość, zastosujemy układy serii S lub FAST, natomiast przy mniejszych częstotliwościach wystarczy stosować tańsze układy LS, HCT bądź STANDARD.

Wspomnijmy jeszcze, że krótkotrwałe zwarcie wyjścia do masy na ogół nie powoduje uszkodzenia układu, bowiem maksymalny prąd wyjścia w stanie wysokim jest zwykle mniejszy niż w stanie niskim. Natomiast zwarcie wyjścia do „+” zasilania najczęściej powoduje szybkie uszkodzenie układu (tranzystor T3 rys. 1a).

Oprócz typowego wyjścia (jak w bramce podstawowej pokazanej na rys. 1a), spotyka się także wyjścia typu OC (Open Collector), tj. otwarty kolektor, oraz wyjścia TS (Tristate), tj. trójstanowe. W przypadku równoległego połączenia kilku wyjść typu OC na wspólnym przewodzie obciążonym rezystorem R (rys. 2), w układzie takim jest realizowane funkcje iloczynu galwanicznego, inaczej „iloczynu na drucie” (wired-AND); na wyjściu takiego układu jest stan wysoki tylko



Rys. 2.



Rys. 3.

wtedy, gdy wszystkie bramki składowe są w stanie wysokim. Takie połączenie jest często wykorzystywane do konstrukcji, tzw. nadajników linii, bądź układów o zwiększonej obciążalności, np. z bramkami 74LS01.

W układach z wyjściem trójstanowym (rys. 2b) istnieje dodatkowe wejście zezwalające EO lub OE (Enable Output). Wejście to powoduje zatkanie wszystkich tranzystorów wyjściowych. W rezultacie prądy nie płyną i bramka jest odłączona - tak, jakby jej nie było. Układy trójstanowe stosuje się najczęściej jako bufory w układach transmisji sygnałów cyfrowych, przy współpracy wielu bramek z szyną (magistralą), a więc np. w systemach mikroprocesorowych.

Układy CMOS

Rysunek 3 przedstawia schemat elektryczny prostej bramki CMOS. Wiadomo, że w stanie statycznym (ustalonym) przez bramkę tranzystora MOS praktycznie biorąc nie płynie żaden prąd. Ponieważ w stanie ustalonym zawsze jeden z komplementarnej pary tranzystorów układu CMOS jest otwarty, a drugi jest zatkany, to możemy uznać, że układ CMOS w warunkach statycznych wcale nie pobiera prądu. Jest to bardzo cenna cecha (zaleta!) układów CMOS.

Ponieważ układy TTL już wcześniej zyskały dużą popularność, dlatego opracowano serie układów CMOS, będące funkcjonalnymi zamiennikami odpowiednich układów TTL, o identycznej z nimi konfiguracji wyprowadzeń. Są to serie 74HCTxxx oraz 74ACT11xxx, gdzie xxx oznacza typ układu, dokładnie taki sam jak układu TTL (np. odpowiednikiem układu

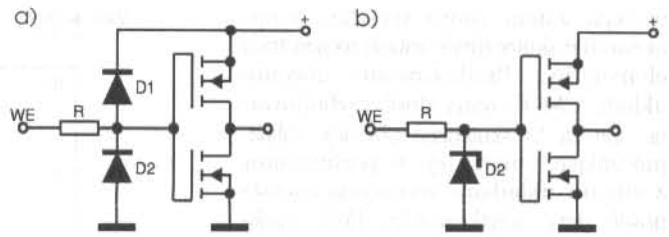
TTL 7400 są układy CMOS 74HCT00 oraz 74ACT11000).

Serie 74HCxxx oraz 74AC11xxx mają parametry identyczne z układami serii HCT i ACT, z jednym tylko wyjątkiem. Jak już wspomnieliśmy, układy TTL mają poziomy logiczne ustalone w zakresach $L=0..0,8V$ i $H>2V$, zatem próg przełączenia układów zgodnych z TTL (są nimi właśnie HCT) powinien wynosić ok. 1,4V. Natomiast układy HC oraz AC (a także układy serii 4xxx) mają próg przełączenia na poziomie około 0,5 napięcia zasilającego, czyli 2,5V przy napięciu zasilającym 5V. Zwiększa to zdecydowanie odporność tych układów na zakłócenia. Poza tym, układy HC oraz AC mają szerszy zakres napięć zasilania (patrz tab. 1). Dlatego do wspólnej pracy z układami TTL powinny być stosowane układy serii HCT i ACT.

Natomiast układy serii HC i AC powinny być używane do innych zastosowań, np. do systemów mikroprocesorowych.

Układy CMOS serii 4xxx

Układy serii 4xxx (w Polsce serie MCY74xxx i MCY64xxx) są przeznaczone do pracy w urządzeniach, w których jest wymagany mały pobór mocy i duża odporność na zakłócenia, a nie jest konieczna duża szybkość działania. Charakteryzują się szczególnie szerokim zakresem napięcia zasilającego 3..18V (nie musi być stabilizowane). Niektóre firmy, np. CEMI, podają dopuszczalne napięcie zasilania 20V. W zastosowaniach praktycznych, w temperaturze pokojowej, wiele z tych układów pracuje już od 2V, a niektóre nawet przy niższym napię-



Rys. 4.

ciu zasilającym.

Maksymalny zakres temperatur pracy wynosi $-40..+85^{\circ}C$ lub $0..+70^{\circ}C$ (uwaga praktyczna: polskie układy MCY74xxx z katalogową temperaturą minimalną $0^{\circ}C$ pracują także w temperaturach ujemnych, należy się jednak liczyć z pewnym pogorszeniem parametrów).

Jak już powiedzieliśmy, układy CMOS w stanie spoczynku nie pobierają prądu, a zdecydowana większość konstrukcji hobbistycznych to właśnie układy pracujące w warunkach statycznych lub przy małych częstotliwościach. Do takich zastosowań znakomicie więc nadają się układy serii 4xxx. Należy tylko pamiętać o tym, że układy serii 4xxx nie są zgodne końcówkami i oznaczeniami z układami TTL.

Warto zwrócić uwagę, że spośród układów scalonych właśnie te układy oraz wzmacniacze operacyjne (im także poświęcimy trochę uwagi w Notatniku Praktyka) stanowią podstawę konstrukcji większości opracowań amatorskich.

Układy serii 4xxx, podobnie jak wszystkie układy CMOS, mają bardzo dużą impedancję wejściową. Praktycznie biorąc można uznać, że ich rezystancja wejściowa jest nieskończenie wielka. W warunkach statycznych jedno wyjście można by więc obciążać, teoretycznie biorąc, nieskończoną ilością wejść. W warunkach przełączania należy się liczyć z istnieniem pojemności montażowych, które wraz z pojemnościami wejściowymi (ok. 5..7pF) stanowią obciążenie dynamiczne.

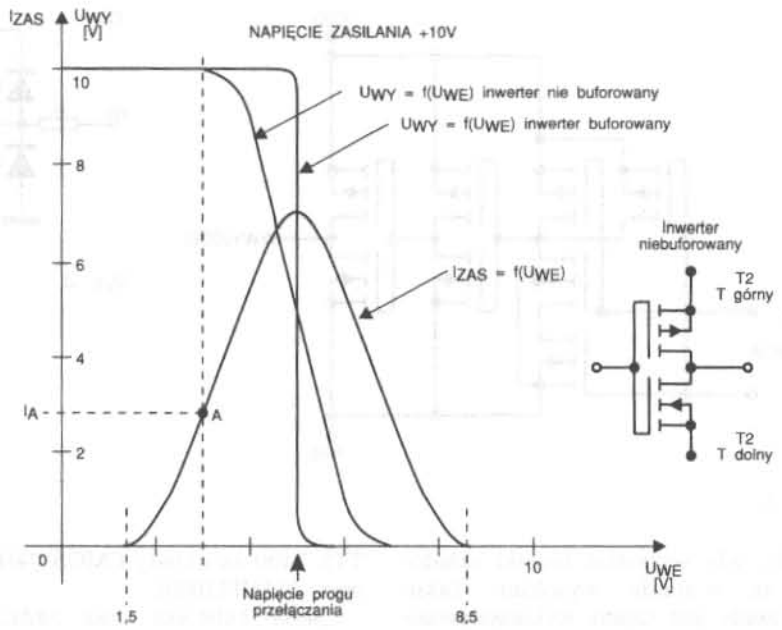
Układy CMOS nie są całkowicie pozbawione wad, zaliczyć do nich można podatność na uszkodzenia powstające w wyniku oddziaływań zewnętrznych, a przejawiające się zjawiskiem przebiecia dielektryka bramkowego i zjawiskiem zatraskiwania (latch-up). Jak wiadomo, tranzystory MOS bardzo łatwo ulegają trwałemu uszkodzeniu wskutek ładunków statycznych (np. naelektryzowane ubranie, ładunek człowieka względem stołu montażowego) doprowadzonych do bramki tranzystora. Producenci układów MOS

Do wspólnej pracy z układami TTL powinny być stosowane układy serii HCT i ACT.

włożyli zatem sporo wysiłku w opracowanie skutecznych zabezpieczeń tych elementów. Produkowane obecnie układy CMOS mają dość rozbudowane, ale za to skuteczne obwody zabezpieczające, niemniej w porównaniu z innymi układami wymagają ostrożności przy użytkowaniu. Dziś może przesadne wydają się być stosowane w przeszłości czarodziejskie obrzędy, takie jak uziemianie wszystkiego dookoła i zakuwanie się w przewodzące kajdany, jednak trochę ostrożności nigdy nie zaszkodzi, szczególnie przy bardzo drogich układach. **Rysunek 4** przedstawia przykłady prostych obwodów zabezpieczających wejścia układu CMOS. Szeregowy rezystor R o wartości kilkuset Ω zabezpiecza bramki tranzystorów wejściowych przed impulsami prądu, zaś diody zapewniają, że napięcie tych bramek nie wyjdzie poza zakres napięcia zasilania. Jeżeli bowiem na wejściu pojawi się nadmierne napięcie, to w przypadku dodatniej jego wartości zacznie przewodzić dioda D1 (rys. 4a), natomiast dla jego ujemnej wartości (tj. przy spadku napięcia poniżej masy) - dioda D2. W katalogach podaje się, że taki prąd wejściowy bramki CMOS nie może przekroczyć $\pm 10\text{mA}$. Choć w zasadzie wejście bramki nie pobiera prądu, to w niektórych rozwiązaniach układowych (np. generatory RC), chwilowe napięcie na wejściu może przekroczyć wartość napięcia zasilającego - ma to związek z przeładowaniem kondensatorów. Przez rezystor szeregowy R płynie wtedy prąd - prąd wejściowy.

Zjawisko zatrząskiwania jest charakterystyczne dla układów CMOS. Polega ono na przepływie znacznego prądu między liniami zasilania wskutek włączania się pasożytniczego tyrystora, jaki tworzy struktura CMOS. Taki pasożytniczy tyrystor może zostać załączony właśnie przez omówiony prąd wejściowy bramki. Stąd m.in. ograniczenie tego prądu do wartości $\pm 10\text{mA}$. Zjawisko zatrząskiwania jest samopodtrzymujące, z reguły prowadzi do zatrzymania działania układu, a niekiedy nawet jego zniszczenia. Aby je przerwać, konieczne jest wyłączenie napięcia zasilającego układ. Odporność układów CMOS na zjawisko zatrząskiwania zwiększa się przez odpowiednią konstrukcję struktury układu. Obecnie dostępne układy scalone CMOS są na tyle dopracowane, że uszkodzenie ładunkiem elektrostatycznym i zjawisko zatrząskiwania praktycznie nie występują w typowych zastosowaniach.

Rysunek 4b przedstawia obwód zabezpieczający układów buforowych



Rys. 5.

(np. 4049, 4050). Stosowanie diody Zenera jest niezbędne, gdy dwie części układu są zasilane z dwóch zasilaczy. Wyłączenie (lub niejednoczesne włączenie) jednego z zasilaczy mogłoby wywołać, w układach zabezpieczonych jak na rys. 4a, przepływ prądu przez wejście i diodę D1 do „+” szyny zasilającej, co mogłoby spowodować nawet uszkodzenie układu.

Wiemy, że „cegielkami” układów scalonych CMOS są tranzystory MOS. Przy zerowym napięciu bramki tranzystor MOS jest zatkany. Zwiększanie napięcia bramki otwiera pomału tranzystor. Prąd drenu zależy od napięcia bramki i napięcia między drenem a źródłem. Dla tranzystorów w układach 4xxx napięcie progowe wynosi ok. 1,5V. Oznacza to, że prąd drenu pojawia się dopiero po przekroczeniu napięcia bramki 1,5V. Wynika stąd, że układy te z pewnością nie będą pracowały przy napięciu zasilania poniżej napięcia progowego, czyli ok. 1,5V. Zauważmy jeszcze, że w zakresie napięć zasilania do 3V oba tranzystory, górny i dolny, nie mogą być jednocześnie otwarte. Lecz z tego wynika przykry wniosek: w pewnym zakresie napięć wejściowych dla napięć zasilania powyżej 3V oba tranzystory będą przewodzić! Popłynie prąd. A tak się cieszyliśmy, że układy CMOS nie pobierają prądu.

Rysunek 5 przedstawia charakterystykę przejściową inwertera CMOS

oraz przebieg prądu pobieranego z zasilacza w funkcji napięcia na wejściu (są to tzw. charakterystyki statyczne inwertera). W zakresie 0..1,5V dolny tranzystor wejściowy jest zatkany i, choć górny jest otwarty, prąd zasilający nie płynie. Analogicznie jest w zakresie 8,5..10V. Jednak, gdy napięcie na wejściu (czyli bramkach tranzystorów wewnętrznych) wynosi 1,5..8,5V, oba tranzystory (górny i dolny) przewodzą. Okazuje się, że prąd zasilający może wtedy osiągnąć wartość kilku mA. Próg przełączania układu przedstawionego na rys. 5 wynosi połowę napięcia zasilania, czyli 5V. W rzeczywistych układach występuje pewien rozrzut parametrów tranzystorów i dlatego napięcie przełączania zwykle różni się od idealnej wartości $0,5U_{zas}$. Nie zdziwny się zatem, gdy

Wszystkie układy CMOS pobierają prąd proporcjonalny do częstotliwości pracy i wielkości obciążenia pojemnościowego.

badana bramka będzie miała próg przełączania 0,4 lub 0,6 napięcia zasilającego. Z tej analizy wynikają co najmniej dwa wnioski. Należy

uniknąć zmieniającego się wolno napięcia wejściowego, gdyż oznacza to pojawienie się prądu zasilania. Dlatego dla układów 4xxx zaleca się, aby czasy narastania zboczy nie były większe niż $15\mu\text{s}$ dla zasilania 5V i $1\mu\text{s}$ dla 15V. Prąd będzie wtedy także płynął, ale będą to tylko krótkie, mikrosekundowe „szpilki”. Oczywiście, czym wolniej narasta napięcie w sygnałach logicznych oraz czym wyższe jest

c.d. na str. 54