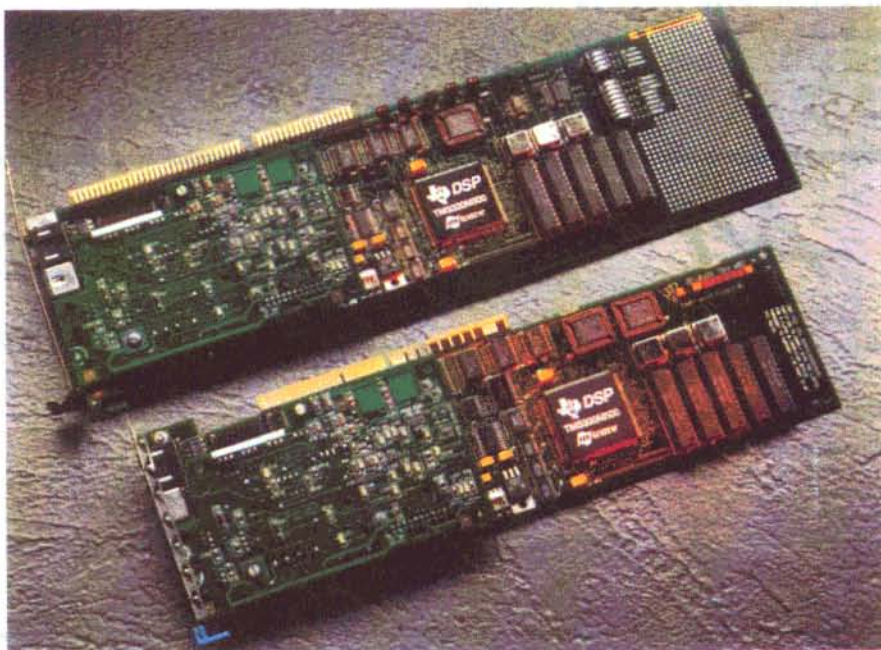


# Procesor sygnałowy (DSP) Texas Instruments TMS 320C25

*Przed miesiącem (EP 6/93) omówiliśmy istotę cyfrowego przetwarzania sygnałów, przedstawiając główne zastosowania procesorów sygnałowych oraz różnice w ich architekturze. W kilku kolejnych artykułach bardziej szczegółowo omówimy działanie częściej stosowanych procesorów sygnałowych. Zaczynamy od TMS 320C25, bardzo popularnego układu Texas Instruments.*



## Architektura TMS 320C25

W procesorze TMS 320C25 (Texas Instruments) zastosowano architekturę typu Harvard, charakteryzującą się tym, że magistrala programu i magistrala danych są rozdzielone. Dzięki temu jest możliwe jednoczesne pobieranie danych i wykonywanie programu. W celu zmniejszenia liczby wyprowadzeń dostęp do magistrali z zewnątrz jest zmultiplexowany. W takim przypadku, aby wykorzystać zalety rozdzielenia wewnętrznych magistrali i uzyskać maksymalną szybkość działania procesora, użytkownik powinien umieścić najczęściej używane fragmenty procedur swojego programu w 4K wewnętrznej pamięci programu.

Procesor TMS 320C25 zawiera instrukcje niezbędne do przenoszenia

danych z pamięci programu do pamięci danych, i na odwrót. Potokowe przetwarzanie danych programu, dekodowanie i wykonywanie instrukcji, z wyjątkiem instrukcji rozgałęzienia, zupełnie niewidoczne dla użytkownika, umożliwia przyspieszenie wykonywania programu. Większość instrukcji DSP jest wykonywana w jednym cyklu zegarowym.

### Schemat funkcjonalny

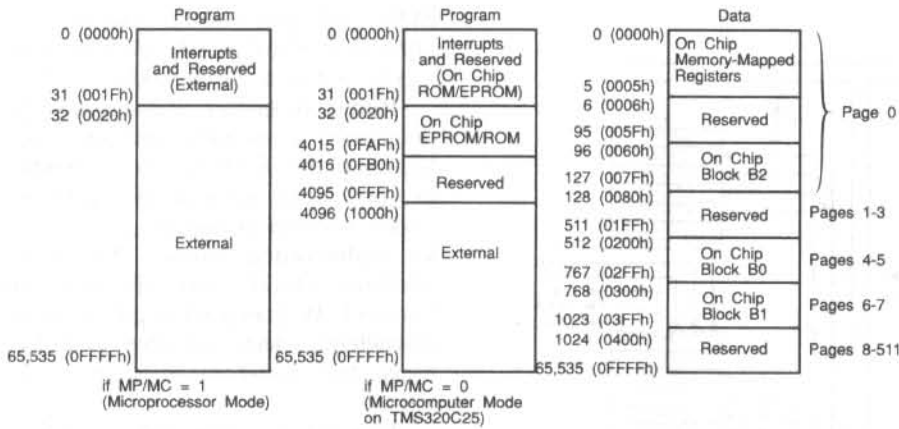
Schemat blokowy procesora TMS 320C25 (rys. 1) przedstawia główne bloki funkcjonalne oraz tory przesyłania sygnałów w czasie realizacji kolejnych zadań. Na schemacie oznaczono również wszystkie dostępne dla użytkownika końcówki wejścia i wyjścia. Magistralą programu przesyła się kod instrukcji i argumenty bezpośredniego adresowania pamięci programu. Magistrala danych łączy różne elementy,

takie jak CALU (Central Arithmetic Logic Unit) i rejestry pomocnicze, z pamięcią danych (RAM). Magistrala programu i danych mogą w jednym cyklu przesyłać dane z wewnętrznej pamięci RAM i wewnętrznej lub zewnętrznej pamięci programu do układu mnożącego celem wykonania operacji mnożenia z akumulacją.

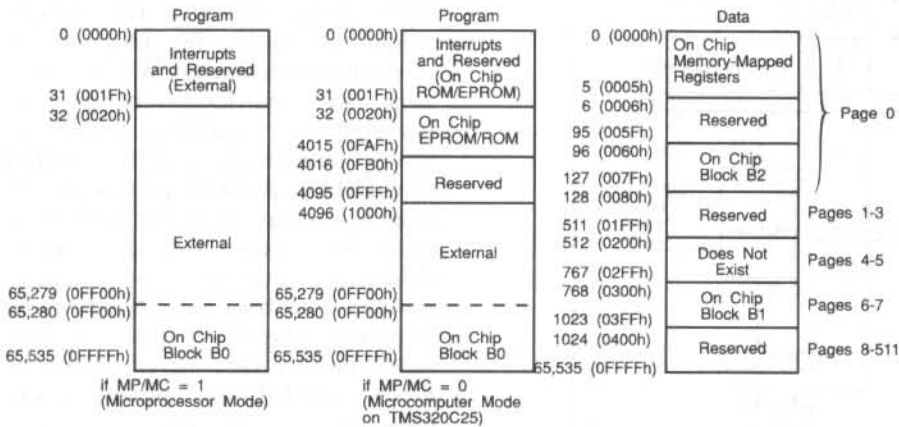
Układ TMS 320C25 umożliwia równoległe wykonanie niektórych działań. Otóż w czasie, gdy w układzie CALU odbywa się przetwarzanie jednych danych, to w układzie ARAU (Auxiliary Register Arithmetic Unit) mogą być wykonywane operacje arytmetyczne. Taka równoległość działania pozwala na dysponowanie zespołem bardzo skutecznych instrukcji arytmetycznych, logicznych i kontroli parzystości bitu, wykonywalnych w jednym cyklu procesora.



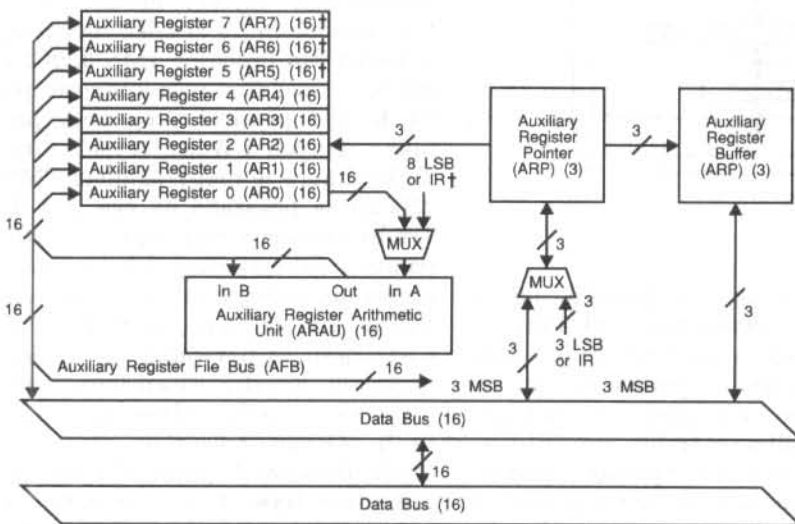




Rys. 2.



Rys. 3.



Rys. 4.

w trakcie adresowania. Może być używana indeksacja przez  $\pm 1$  lub przez zawartość rejestru pomocniczego ARO. W ten sposób zarządzanie informacjami zawartymi w tablicach wewnętrznej pamięci RAM lub w pamięci ROM (wewnętrznej lub zewnętrznej) nie musi tak bardzo absorbować układu CALU.

Układ ARAU umożliwia także

wykonywanie działań arytmetycznych bez znaku na słowie 16-bitowym, równoległe z działaniami wykonywanymi w układzie CALU na słowie 32-bitowym, w systemie uzupełnień do dwóch. Jest to możliwe dzięki bezpośredniemu adresowaniu rejestrów pomocniczych.

Rozgałęzienia uwarunkowane przez porównanie rejestru ARO z rejest-

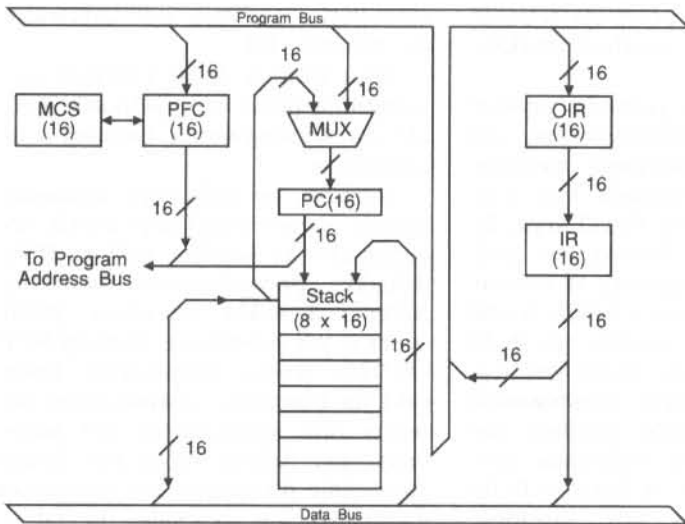
rem wskazywanym przez ARP są wykonywane równocześnie z innymi operacjami.

Procesor TMS 320C25 zawiera (rys. 5): 16-bitowy licznik programu (PC), 16-bitowy układ sterujący (MCS), 16-bitowy licznik przeładowania (PFC), rejestr stosu Microcall, 8-poziomowy stos twardy do nadzoru PC. Licznik programu (PC) zawiera bieżący adres wykonywanej instrukcji. Adres ten może odpowiadać zarówno adresowi wewnętrznemu, jak i adresowi zewnętrznemu. Licznik przeładowania (PFC) jest używany do śledzenia ładowania poleceń, które będą wykonane później. Ośmiopozomowy stos twardy jest używany do przerw i podprogramów, a układ MCS - do nadzorowania PFC w trakcie wykonywania rozkazów BKLD/BKLP, MAC/MAD i TBLR/TBLW.

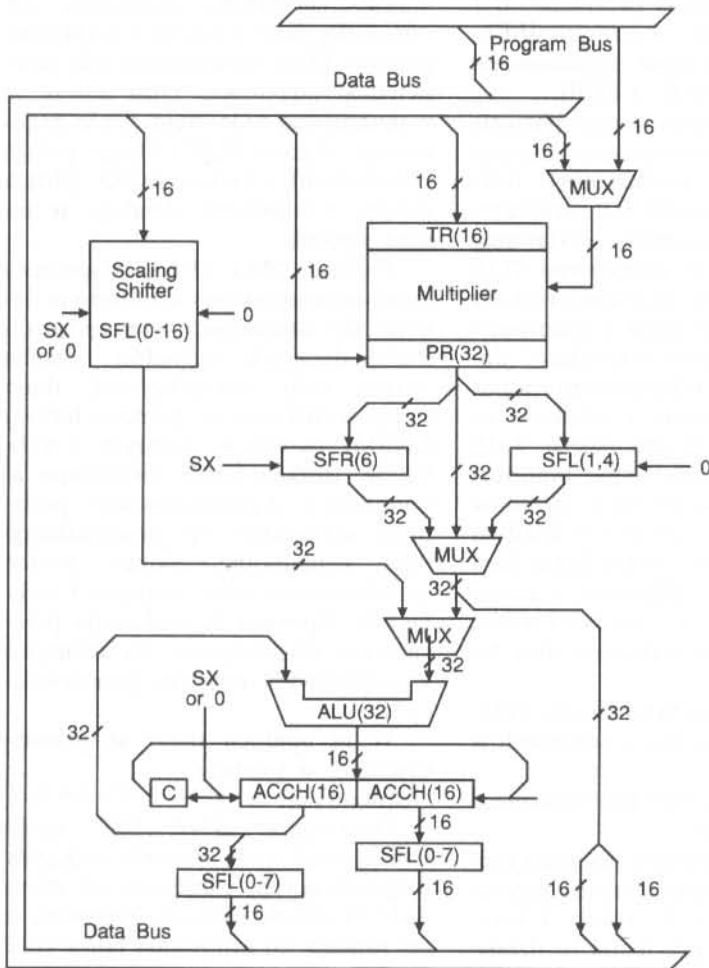
Do wykonania operacji rozgałęzienia bezwarunkowego akumulator może zostać załadowany bezpośrednio do PC. Gdy nie wystarczy 8 poziomów podprogramów i przerw, trzeba użyć instrukcji umieszczania i zdejmowania ze stosu, pozwalającej na zrealizowanie stosu w pamięci danych. Instrukcje te przenoszą zawartość stosu do akumulatora lub pamięci danych.

Do sprzężenia procesora TMS 320C25 z układami zewnętrznymi służy dwukierunkowa 16-bitowa magistrała danych, 16-bitowa magistrała adresowa, 3 sygnały DS\, PS\ i IS\, wybierające stronę pamięci danych, pamięć programu, lub wejścia/wyjścia, oraz szereg sygnałów kontrolnych. Procesor TMS 320C25 działa z największą szybkością, gdy adresuje swoją wewnętrzną pamięć ROM lub pamięć RAM, lub gdy korzysta z dostatecznie szybkiej pamięci zewnętrznej. W przypadku stosowania powolnego elementu zewnętrznego użycie sygnału READY umożliwia wygenerowanie stanów oczekiwania (wait states) potrzebnych do jego adresowania. Trzeba zaznaczyć, że stosowanie takiego sposobu sterowania szybkością przesyłania często wymaga użycia dodatkowych układów poza DSP. Nie jest to konieczne, gdy stany oczekiwania są programowalne, jak w przypadku nowej wersji procesora TMS 320C50, czy też innych układów DSP, np. procesorów AD albo Motoroli.

Procesor TMS 320C25 może działać w środowisku wymagają-



Rys. 5.



Rys. 6.

cym przesyłania danych przez DMA na szyny zewnętrzne. W tym celu procesor żądający dostępu do szyny wymusza stan logiczny zero sygnału HOLD\ i czeka, aż procesor TMS 320C25 ustawi swoje szyny w stan wysokiej impedancji i wynosi stan logiczny 0 sygnału HOLDA\.

Możliwe są dwa sposoby działania.

Pierwszy, stosowany już w TMS 32020, polega po prostu na zawieszeniu działania programu i oczekiwaniu na zwolnienie szyn zewnętrznych. Drugi, specyficzny dla TMS 320C25, polega na kontynuowaniu programu wewnątrz, aż do chwili

napotkania na rozkaz wymagający dostępu na zewnątrz DSP.

W tym momencie program zostaje zawieszony aż do chwili zwolnienia szyn. Ta procedura znacznie zwiększa sprawność układu, gdy jest wymagana duża ilość wymian danych.

### Centralna jednostka arytmetyczno-logiczna (CALU)

Układ CALU w procesorze TMS 320C25 (rys. 6) składa się z 16-bitowego rejestru przesuwającego do równoległego wykonywania mnożeń 16 x 16 bitów dających 32-bitowy wynik, 32-bitowej jednostki arytmetyczno-logicznej (ALU), 32-bitowego akumulatora i kilku rejestrów przesuwających do przeliczania danych wyjściowych układu mnożącego i akumulatora.

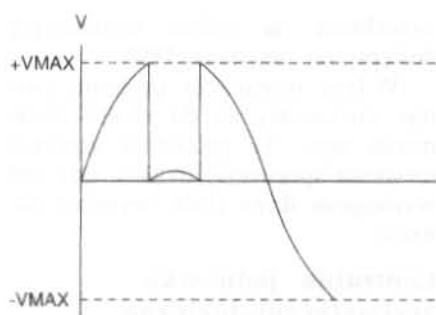
Klasyczna operacja w ALU przebiega w następujących etapach:

1. Odczyt danych z pamięci RAM za pośrednictwem szyny danych;
2. Przejście danych przez rejestr przesuwający i multiplexer (MUX) do ALU, gdzie jest wykonywane działanie arytmetyczne lub logiczne;
3. Odłożenie danych do akumulatora.

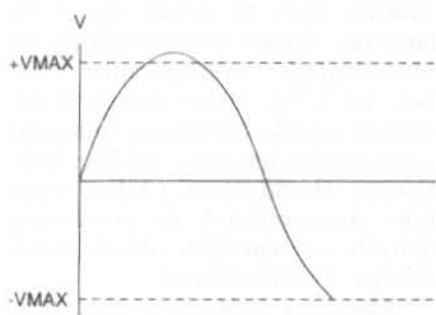
Działania w CALU są wykonywane na słowie 32-bitowym.

Jedno z wejść ALU jest zawsze połączone z 32-bitowym akumulatorem. Drugie wejście może się łączyć z rejestrem iloczynu (PR), mnożnikiem, albo z rejestrem przesuwającym, załadowanym danymi dostarczonymi z pamięci.

Rejestr przesuwający w układzie TMS 320C25 jest rejestrem 16-bitowym, przyłączonym do magistrali danych. Rejestr ten przenosi 32 bity do układu ALU, po wykonaniu od 0 do 16 przesunięć w lewo danej wejściowej, zgodnie z poleceniami otrzymanymi w czasie wykonywania operacji. Bity najmniej znaczące (najmłodsze) LSB na wyjściu z układu przesuwającego są ładowane zerami, natomiast bity najbardziej znaczące (najstarsze) MSB są również ładowane zerami, jeśli dana nie ma znaku, zaś skopiowanym znakiem, jeśli go ma (jest to rozszerzenie znaku). Wszystko zależy od stanu bitu ST1, określającego sposób rozszerzenia znaku w rejestrze stanu. 32-bitowe wyjście nie pozwala stracić na definicji przy przesunięciu. Inne możliwości przesunięcia umożliwiają



Rys. 7.



Rys. 8.

procesorowi skalowanie cyfrowe, ekstrakcję bitów, rozszerzanie operacji i zabezpieczanie się przed przepelnieniami.

32-bitowa jednostka ALU układu TMS 320C25 w połączeniu z akumulatorem wykonuje wielką liczbę instrukcji arytmetycznych i logicznych. Większość z nich jest wykonywana w trakcie jednego cyklu zegarowego DSP.

Tryb nasycenia przy przepelnieniu może być programowany rozkazami SOVM i ROVM (set/reset overflow mode). Gdy akumulator pracuje w trybie nasycenia przy przepelnieniu oraz gdy przepelnienie jest skutkiem działania w akumulatorze, zostaje on załadowany dodatnią (albo ujemną) wartością maksymalną, zależnie od znaku przepelnienia. Jest wtedy umieszczony wskaźnikowy bit przepelnienia. Funkcja ta nie jest implementowana w klasycznych mikroprocesorach, jest za to bardzo ważna dla procesorów sygnałowych.

Porównując układ DSP ze wzmacniaczem operacyjnym można powiedzieć, że odpowiednikiem przepelnienia bez nasycenia jest odwrócenie fazy we wzmacniaczu (rys. 7). Przy przetwarzaniu cyfrowym ze znakiem, maksymalna wartość dodatnia wynosi 01111... Dodając do tej wartości na przykład 1 otrzymuje się 10000, a więc ujemną wartość

maksymalną! Tak powstała wartość stanowi 0, a nie wartość maksymalną +1.

Tryb nasycenia pozwala uzyskać zachowanie porównywalne do wzmacniacza operacyjnego nasycającego się bez odwracania fazy i utrzymującego wartość 01111 (rys. 8).

Akumulator 32-bitowy jest podzielony na dwa segmenty 16-bitowe: ACCH (część górna) i ACCL (część dolna), tak aby można go było łatwo przyłączyć do 16-bitowej magistrali. W momencie przenoszenia danej na magistralę pamięci danych, może zostać wykonana operacja przesunięcia w lewo o 0 do 7 bitów, podczas gdy zawartość akumulatora pozostaje nie zmieniona. Sam akumulator ma również możliwość wykonywania przesunięć o 1 bit w lewo lub w prawo (SFL, SFR) i rotacji poprzez przeniesienie (przeniesienie, ROL i ROR).

Bit przeniesienia (carry) pozwala na łatwiejsze wykonywanie operacji arytmetycznych wielokrotnej dokładności. Przeniesienie jest wykorzystywane przez operacje dodawania i odejmowania. W procesorze TMS 320C25 występują dwa nowe rozkazy wykonujące dodawanie z przeniesieniem (przesunięcie o wielkość dodatnią) ADDC i odejmowanie z pożyczką (przesunięcie o wielkość ujemną) SUBB. W procesorze TMS 320C25 jest zawarty układ mnożący realizujący mnożenie 16 x 16 bitów z 32-bitowym wyjściem w każdym cyklu zegarowym. Dokładność tego działania jest całkowita i żadne obciążenia nie są wykonywane. Z mnożnikiem są związane dwa rejestry:

- 16-bitowy rejestr tymczasowy (TR), przechowujący jeden z argumentów mnożenia;
- rejestr iloczynu (PR) przechowujący wynik mnożenia.

Na wyjściu rejestru iloczynu może zostać wykonana operacja przesunięcia w lewo o 0, 1 lub 4 bity. Jest to bardzo przydatne w działaniach na ułamkach. Przesunięcie o 6 bitów w prawo jest również możliwe do zaimplementowania.

Można więc wykonać bez przepelnienia 128 kolejnych mnożeń. Instrukcja mnożenia bez znaku MPYU daje możliwość zwiększenia dokładności mnożenia. Zawartość bez znaku rejestru tymczasowego jest mnożona przez zawartość bez znaku komórki danej pamięci, adresowanej w tym

momencie, a wynik jest ładowany do rejestru PR.

Dwa rozkazy MAC i MACD wykorzystują pełną moc jednostki CALU do wykonywania mnożeń z akumulacją.

Rozkazy te wykonują mnożenie dwóch, nowo załadowywanych argumentów za każdym cyklem DSP, jednakże przygotowanie mnożenia zajmuje 3 cykle procesora. Jeżeli operacja jest powtarzana (rozkazy RPT i RPTK), trzeba przewidzieć jeden cykl na mnożenie. Zwiększanie adresów obu argumentów jest automatyczne. Adresy mogą być brane zwyczajnie dwójkowo, lub odwrotnie dwójkowo, co pozwala na łatwe wykonywanie szybkiej transformacji Fouriera. Przy tych działaniach magistrala programu dostarcza do mnożnika dane z pamięci RAM oraz pamięci ROM wewnętrznej lub zewnętrznej, utrzymując rytm mnożenia z akumulacją w jednym cyklu zegarowym. Rozkaz SQRA (druga potęga z dodaniem) i rozkaz SQRS (druga potęga z odjęciem) działają w ten sam sposób.

Procesor TMS 320C25 dopuszcza zmiennoprzecinkowe manipulacje danymi do zastosowań wymagających dużej dynamiki sygnałów. Trzeba w tym celu normalizować dane stałoprzecinkowe za pomocą funkcji NORM, tworzącej mantysę i wykładnik. Rozkaz LACT (ładowanie akumulatora z przesunięciem podanym w rejestrze T) denormalizuje dane zmiennoprzecinkowe, a więc przedstawione jako mantysa i wykładnik. Operacja ta wykonuje przesunięcia arytmetyczne na mantysie w wejściowym rejestrze przesuwającym.

W tej operacji dane są przedstawiane w postaci:

$$(\text{mantysa}) \times 2^{(\text{rejestr T, bity 0 do 3})}$$

Omawiany układ DSP może wykonywać wiele różnych rozkazów rozgałęziających, zależnych od stanu ALU. W zbiorze rozkazów procesora są też rozkazy do testowania bitów (BIT i BITT). Nie zajmują się one zawartością akumulatora, lecz wykonują test na bicie danej w pamięci.

Opis procesora sygnałowego TMS 320C25 zakończymy w następnym numerze EP podając sposób sterowania systemem, listę rozkazów i przykładowe konfiguracje zastosowań.

**ERP**