

W dobie telewizji satelitarnej, gier video, przetwarzania dźwięku i obrazu, rozpoznawania głosu i kształtów, przetwarzania sygnałów w systemach gromadzenia danych i przyrządach pomiarowych ... itd - rozwój techniki cyfrowego przetwarzania sygnałów może przyprawić o zawrót głowy.

Cyfrowe procesory przetwarzania sygnałów (DSP - Digital Signal Processors), podążając za rozwojem techniki mają coraz większą moc obliczeniową i szybkość działania. Skraca to czas przetwarzania sygnału zbliżając go do czasu rzeczywistego. Urządzenia audio i mierniki sygnałów m.c. najbardziej nadają się do zastosowań DSP, gdyż ich pasmo przenoszenia jest porównywalne z szybkością działania programów DSP.

DSP - procesory sygnałowe



Co to jest DSP?

DSP oznacza albo cyfrowe przetwarzanie sygnałów (Digital Signal Processing), albo cyfrowy procesor sygnałowy (Digital Signal Processor), czyli układ realizujący ten proces. W rzeczy samej, cyfrowy procesor sygnałowy to nic innego, jak mikroprocesor o architekturze pozwalającej na wykonywanie elementarnych operacji potrzebnych do przetwarzania sygnału w trakcie jednego cyklu roboczego. Choć realizacja tego zadania nie zawsze jest możliwa, oznacza bowiem konieczność dysponowania znaczną mocą obliczeniową w stosunku do czasu wykonania, to jednak taki cel stawiają sobie producenci tych układów. Poza przetwarzaniem sygnałów, układy DSP znajdują jeszcze zastosowanie w zarządzaniu danymi w przypadku potrzeby szybkiego przetwarzania ciągów danych.

W zasadzie wybór procesora sygnałowego nie jest trudny, trzeba tylko dostrzec i umiejętnie pokonać problemy, jakie mogą pojawić się na drodze od projektu (na papierze) do implementacji zadań wykonywanych przez DSP.

Większość układów DSP wykazuje

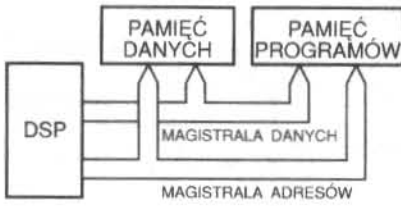
podobieństwo do mikroprocesorów klasycznych, zatem doświadczenia zdobyte podczas pracy z nimi mogą być pomocne zarówno przy wyborze procesora sygnałowego jak też w jego licznych zastosowaniach. Należy jednak pamiętać o ograniczoności tego podobieństwa, które dotyczy jedynie prostych zadań sprzęgania z pamięcią zewnętrzną, głównym procesorem, elementami wejścia i wyjścia. Niezbędne jest więc szczegółowe zaznajomienie się z wewnętrzną architekturą procesora, a zwłaszcza strukturą pamięci, możliwościami przetwarzania potokowego, przerwaniami, parametrami osiąganymi w testach porównawczych oraz innymi właściwościami mogącymi mieć wpływ na ocenę układu.

We wszystkich układach DSP stosuje się architekturę typu Harvard, która charakteryzuje się tym, że pamięci programu i pamięci danych są odseparowane. Pierwsze układy DSP, jak np. 2920 (Intel), μ PD7720 (NEC) i TMS32010 (Texas Instruments), były wyposażone w ograniczoną pamięć programu, głównie w wewnętrzną pamięć ROM przechowującą program, podczas gdy

późniejsze układy DSP, jak np. ADSP2100 (Analog Devices) oraz ZR34161 (Zoran) pozwalały na dołączenie większej zewnętrznej pamięci programu. Procesory DSP trzeba często dodatkowo uzupełniać zewnętrzną pamięcią danych.

Producenci układów DSP wydają się być zgodni w tym, że pamięci programów i pamięci danych powinny być odseparowane, jednak różnią się, jeśli chodzi o implementację architektury pamięci. Na przykład stałoprzecinkowe układy DSP Motoroli, Texas Instruments i AT&T Technology System mają tylko jedną szynę adresową i jedną magistralę danych do komunikowania się z pamięcią programu i pamięcią danych oraz zewnętrznymi urządzeniami WE/WY.

Natomiast układy DSP Analog Devices, National Semiconductor, OKI Semiconductor i Thomson Components - Mostek Corp. mają dwie oddzielne magistrale danych i dwie oddzielne szyny adresowe dla pamięci danych i pamięci programu. Producenci układów DSP z pojedynczą magistralą chwalą ich prostotę, podczas gdy pozostali



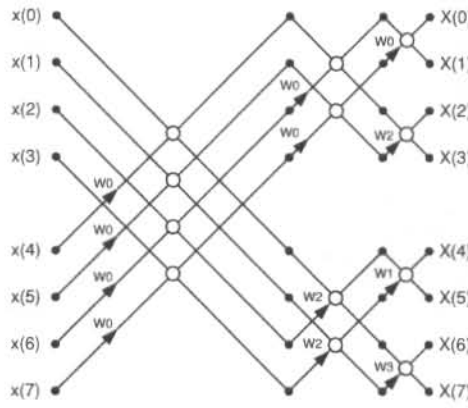
- 1: MAGISTRALA ADRESÓW
- 2: MAGISTRALA DANYCH
- 3: MAGISTRALA ADRESÓW
- 4: MAGISTRALA DANYCH

Rysunek 1.

w obronie swoich produktów argumentują, że ich układy mogą dostarczyć więcej informacji w jednostce czasu (zob. rys. 1).

Istota cyfrowego przetwarzania sygnału
Szybka transformacja Fouriera

Transformacja Fouriera pozwala przejść od przedstawienia sygnału w dziedzinie czasu do przedstawienia go w dziedzinie częstotliwości. Sygnał sinusoidalny w dziedzinie częstotliwości odwzorowuje pojedyncza linia (prążek). Techniki przetwarzania cyfrowego wykazały, że rachunek transformacji Fouriera da się sprowadzić do ciągu operacji elementarnych. W porównaniu do bezpośredniego sposobu przeprowadzania transformacji Fouriera, algorytm szybkiej transformacji Fouriera (FFT - ang. Fast Fourier Transform) zmniejsza liczbę operacji (mnożeń-akumulacji) z N^2 do $N/2 \ln N$ dla ciągu N punktów. Jeśli $N = 2^p$, to program wykonuje p kroków $N/2$ elementarnych operacji nazywanych obliczeniami motylkowymi (od kształtu graficznej ilustracji sekwencji obliczeń - patrz rys. 2). Algorytm FFT ma jeszcze inną zaletę, tabele wejścia i wyjścia są zapisywane w tym samym obszarze pamięci, co zmniejsza wymaganą wielkość RAM i ułatwia implementację w DSP. Jednak należy zwrócić uwagę, że sekwencje wejścia i wyjścia nie zachowują w tym wypadku tej samej kolejności. Jeśli zatem N jest potęgą liczby 2, to próbki wyjściowe są w odwrotnej kolejności bitów w stosunku do wejściowych, i na odwrót. Tryb adresowania niektó-



Rysunek 2.

rych DSP z odwrotnym przesuwem przeniesienia jest użyteczny zarówno do implementacji algorytmu, jak i do odwracania kolejności bitów (rys. 2). Kółeczko z rys. 2 odpowiada operacji nazywana również motylem i można ją przedstawić w postaci schematu na rys. 3.

Do wykonania są więc operacje mnożenia, dodawania lub odejmowania.

Filtracja cyfrowa

Istnieją dwa podstawowe typy filtrów cyfrowych: filtr typu FIR (ang. Finite Impulse Response) o skończonej odpowiedzi impulsowej i filtr typu IIR (ang. Infinite Impulse Response) o nieskończonej odpowiedzi impulsowej. Relację między wyjściem y_n a wejściem x_n filtra (rys. 4) można zapisać za pomocą następujących równań:

dla filtru FIR

$$y(n) = \sum_{i=0}^{N-1} a_i x(n-i)$$

dla filtru IIR

$$y(n) = \sum_{j=0}^N a_j x(n-j) - \sum_{k=1}^K b_k y(n-k)$$

gdzie $x(n)$ oznacza próbkę sygnału wejściowego w chwili nT , T okres próbkowania sygnału, zaś a_i , a_j i b_k są współczynnikami filtrów.

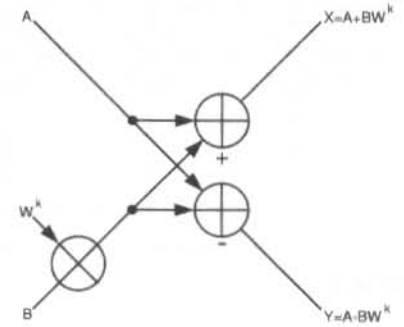
Przykład filtru FIR

Przykład filtru FIR o 15 współczynnikach pokazany jest na rys. 5.

$$y(n) = -0,00047 x(n-1) + 0,02799 x(n-2) + 0,02812 x(n-3) - 0,03572 x(n-4) - 0,07927 x(n-5) + 0,04720 x(n-6) + 0,30848 x(n-7) + 0,44847 x(n-8) + 0,30848 x(n-9) + 0,04720 x(n-10) - 0,07927 x(n-11) - 0,03572 x(n-12) + 0,02812 x(n-13) + 0,02799 x(n-14) - 0,00047 x(n-15)$$

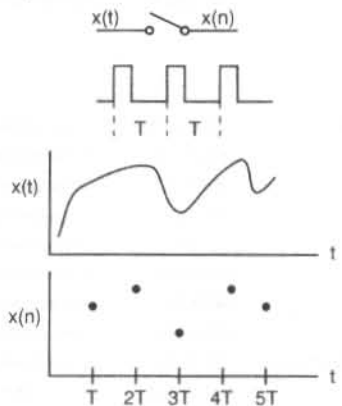
Na rys. 6 przedstawiono struk-

Kolejność na wejściu	Kod dwójkowy	Kod dwójkowy o odwróconych bitach	Kolejność na wyjściu
0	000	000	0
1	001	100	4
2	010	010	2
3	011	110	6
4	100	001	1
5	101	101	5
6	110	011	3
7	111	111	7



gdzie $W_k = \cos(\frac{2\pi k}{N}) - j \sin(\frac{2\pi k}{N})$
 $= W_R^k + j W_I^k$ N dla $k = 0, \dots, \frac{N}{2} - 1$
 $A = A_r + j A_i$
 $B = B_r + j B_i$

Rysunek 3.



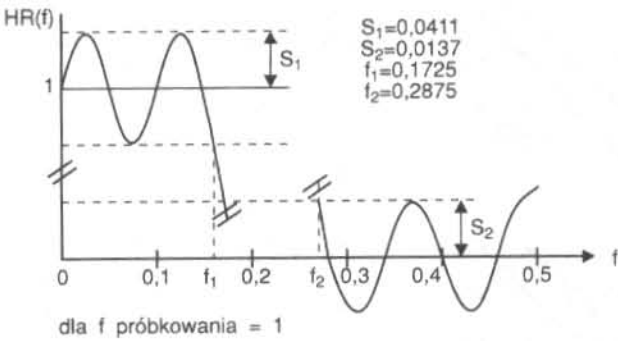
Rysunek 4.

ture nierekursywnego filtru FIR. Odpowiedź filtra na skok jednostkowy na wejściu może być zapisana w postaci funkcji:

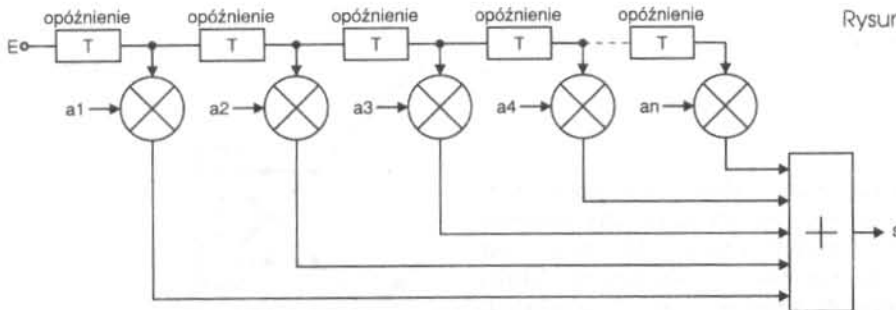
$$s = a_1 + a_2 + a_3 + \dots + a_n$$

Przykład filtru IIR

Filtry dolnoprzepustowe, górnoprzepustowe i środkowoprzepustowe oparte na wielomianach Butterwortha, Czebyszewa, Carrera, Bessela itd mogą być realizowane jako filtry cyfrowe typu IIR. Strukturę filtru dolnoprzepustowego pierwszego rzędu



Rysunek 5.



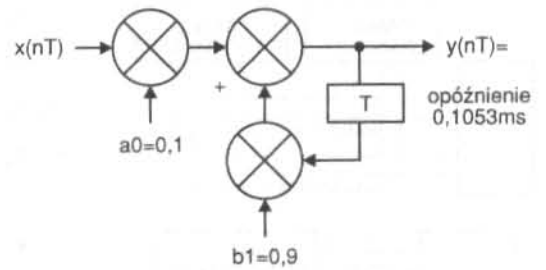
Rysunek 6.

pokazano na rys. 7.

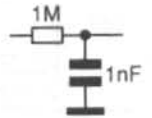
Porównanie filtrów FIR i IIR

Przyjmując, że współczynniki filtru FIR mają wartości $1/2, 1/4, \dots, 1/2^j, \dots, 1/2^t$, a filtru IIR $a_0 = 1/2$ i $b_1 = 1/2$, otrzymuje się aż do

nT dokładnie taką samą odpowiedź na skok jednostkowy. Tak zrealizowane filtry będą identyczne nawet przy bardzo dużych n , czyli $n = 2^m$, gdzie m jest liczbą bitów, dla której wykonywane są obliczenia. Należy



Jego równoważnik analogowy :



Rysunek 7.

zaznaczyć, że filtr IIR będzie miał zawsze mniej współczynników niż filtr FIR i będzie potrzebował krótszego czasu na przetwarzanie.

Podstawowe elementy potrzebne do implementacji tych filtrów to:

- tabela współczynników filtru (zapisana w wewnętrznej RAM lub ROM DSP, jeżeli przetwarzanie ma być szybkie),

- wskaźnik adresowy w każdej z tabel (czyli rejestrów indeksowych),

- tryb adresowania z odwrotnym przesuwem przenoszenia (algorytm FFT),

Producent	Typ układu	Format danych	Dane (bit)	Mnożenie (bit)	Wynik mnożenia (bit)	Czas wykonania mnożenia (ns)	Zegar (MHz)	Pamięć RAM programu wewnętrzna	Pamięć RAM danych wewnętrzna
1	2	3	4	5	6	7	8	9	10
Analog Device	ADSP-2100A	liczba całkowita	16	16 x 16	40	80	12,5	0	0
	ADSP-1201	liczba całkowita	16	16 x 16	40	80	12,5	2k x 24b	1k x 16b
	ADSP-2102	liczba całkowita	16	16 x 16	32	80	40	2k x 24b	1k x 16b
AT&T	DSP16A	liczba całkowita	16	16 x 16	32	25	40	0	2k x 16b
	DSP32C	liczba zmiennopozycyjna	24 mant/8 wykl.	32 x 32	40	80	50	0	1k x 32b
Fujitsu	MB86220	liczba zmiennopozycyjna	18 mant/6 wykl.	24 x 24	30	150	40	0	612 x 24b
	MB86224	liczba zmiennopozycyjna	18 mant/8 wykl.	24 x 24	30	150	40	0	612 x 24
	MB86232	liczba zmiennopozycyjna	18 mant/8 wykl.	32 x 32	32	150	40	0	612 x 32
Microchip Technology	OSC320C14	liczba całkowita	16	16 x 16	32	160	25,6	0	256 x 16
Motorola	DSP56001	liczba całkowita	24	24 x 24	56	74	27	0	1k x 24
	DSP96002	liczba zmiennopozycyjna	23 mant/8 wykl./1 znak	32 x 32	44	74	27	0	2k x 24
NEC	μPD77C/P25	liczba całkowita	16	16 x 16	31	122	8,192	0	256 x 16
	μPD77/P220	liczba całkowita	24	24 x 24	47	122	16,384	0	1k x 24
	μPD77/P230	liczba zmiennopozycyjna	24 mant/8 wykl.	32 x 32	55	150	13,333	0	1k x 32
OKI Semiconductor	MSM699210	liczba zmiennopozycyjna	16 Mant/6 wykl.	22 x 22	22	100	40	0	612 x 22
	MSM699215	liczba zmiennopozycyjna	16 mant/6 wykl.	22 x 22	22	100	40	0	612 x 22
	ST18930	liczba całkowita	16 lub 32	16 x 16	32	80	20	0	320 x 16
	ST18931	liczba całkowita	16 lub 32	16 x 16	32	80	20	0	320 x 16
SGS-Thomson	ST18940	liczba całkowita	16 lub 32	16 x 16	32	100	20	0	512 x 16
	ST18941	liczba całkowita	16 lub 32	16 x 16	32	100	20	0	512 x 16
	TMS320C25-50	liczba całkowita	16	16 x 16	32	80	40	256 x 16b	544 x 16
	TMS320C26	liczba całkowita	16	16 x 16	32	100	40	512 x 16b	1632 x 16
Texas Instruments	TMS320C30	liczba zmiennopozycyjna	24 mant/8 wykl.	32 x 32	40	60	33	0	2k x 32
	TMS320C50	liczba całkowita	16	16 x 16	32	50/35	57	9k x 16b	10k x 16
	ZR34325	liczba zmiennopozycyjna	24 mant/8 wykl.	32 x 32	44	80	25	0	128 x 32

- mechanizm powtarzania operacji mnożenia próbki przez współczynnik i akumulacja aż do końca tabeli współczynników,
- zapamiętanie N, J lub K próbek sygnału wejściowego w DSP (czyli w wewnętrznej RAM),
- wyprowadzenie wyniku i zapamiętanie K ostatnich próbek wyjścia dla filtru IIR.

Architektura DSP

Struktura DSP zapewnia łatwy sposób implementacji operacji filtrowania cyfrowego i wcześniej opisanych szybkich transformat Fouriera. Układy DSP mają wbudowane moduły realizujące operacje mnożenia z dodawaniem lub odejmowaniem w czasie jednego cyklu roboczego. Należy dodać, że działanie tego wewnętrznego modułu liczącego nie zależy od klasycznych operacji na akumulatorze. Równoległość pracy pozwala więc wykonywać wiele operacji równocześnie.

Wewnętrzna pamięć RAM umożliwia magazynowanie współczynników, próbek wejściowych i wyjściowych itd.

Separacja magistral programu i danych pozwala przesyłać dane

równocześnie z odczytem następnych w kolejności do wykonania instrukcji. Programowalne wskaźniki adresowe, raz uruchomione, automatycznie zarządzają tabelami współczynników, bez dodatkowych instrukcji co cykle DSP mają wykonywać. Dzięki wewnętrznym pamięciom RAM programu i danych, o ile ich wielkość (pojemność) jest dostateczna, z wnętrza układu DSP może wychodzić jedynie zmultiplexowana magistrala do załadowania programu uruchomieniowego, który będzie następnie wykonywany wewnątrz, oraz do załadowania kompletu współczynników, na przykład do zaadaptowania parametrów filtracji w danym zastosowaniu.

Warto wiedzieć, że największymi producentami procesorów do przetwarzania danych są niewątpliwie Analog Devices, Motorola i Texas Instruments. Nie należy jednak zapominać o pozostałych firmach, jak np. NEC, AT&T, ST, Harris. W tabelicy obok zestawiono dla celów porównawczych parametry wybranych procesorów sygnałowych pochodzących od najważniejszych producentów. Należy zaznaczyć, że szybkość działania DSP może być

testowana jedynie przez realizację kluczowych algorytmów przetwarzania sygnałów. Znajomość długości cyklu, czy też czasu potrzebnego do wykonania mnożenia nie jest bowiem wystarczająca do oceny porównawczej procesorów. O występujących różnicach między nimi decyduje wszystko: sterowanie wskaźnikami adresowania, równoległość operacji, przetwarzanie potokowe itd.

Największą trudność sprawia to, że programy użytkowe nie są znormalizowane i każdy producent wybiera te, które w korzystniejszym świetle przedstawiają jego wyrób. Wybór zespołu algorytmów do testowania szybkości procesora sygnałowego zależy więc od potrzeb użytkownika.

Najlepszym sposobem zrozumienia działania układu DSP jest dokładne zapoznanie się z jego opisem i parametrami. Istotnym i ważnym finansowo elementem jest wybór odpowiedniego środowiska i wyposażenia wspomagającego własne opracowania. W niedługim czasie opiszemy procesor TMS320C25 Texas Instruments.

ERP

Pamięć ROM wewnętrzna	Pamięć zewnętrzna	Wejścia /wyjścia równoległe	Wejścia /wyjścia szeregowo	Magistrale zewnętrzne			Tryb niskiego poboru mocy	Pobór mocy (mW)	Obudowa
				danych	adresów	systemowe			
11	12	13	14	15	16	17	18	19	20
0	32k x 24prog 16k x 16dan	nie	nie	2	2		nie	790	100PGA/100PQFP
0	14k x 24prog 14k x 16dan	nie	tak	1	1	0	tak	825	68PGA/68PLCC
2k x 24prog	14k x 24prog 14k x 16dan	nie	tak	1	1	0	tak	825	68PGA/68PLCC
4k x 16	64k x 16	tak	tak	1	1	0	nie	450	84PLCC
2k x 32	16M x 8 4M x 32	tak	tak	1	1	0	nie		133PGA
2k x 30	64k x 30prog 128k x 30dan	tak	tak	2	2	0	nie		135PGA/80PQFP
2k x 30	128k x 24	nie	tak	2	2	0	nie		80PQLC
1k x 32	64k x 32prog 1M x 32dan	tak	tak	3	2	0	nie		208PGA
4k x 16	4k x 16prog	tak	tak	1	1	0	nie	600	40DIP/44PLCC/68PLCC
544 x 24	64k x 24prog 128k x 24dan	tak	tak	2	1	0	tak	450	88PGA
1088 x 32	4G x 32prog 4G x 32dan x 4G x 32dan Y	tak	tak	2	2	0	tak		214PGA
2k x 24prog 1k x 16dan	0	tak	tak	1	0	0	nie	250	28DIP/44PLCC
2k x 32prog 1k x 24dan	4k x 24prog 8k x 24dan	tak	tak	1	1	0	nie	1000	68PGA
2k x 32prog 1k x 32dan	4k x 32prog 8k x 24dan	tak	tak	1	1	0	nie	1500	68PGA
2k x 32prog 64k x 22dan	64k x 32prog 64k x 22dan	tak	nie	1	1	0	tak	400	100PQFP/84PLCC
2k x 32prog 2k x 22dan	64k x 32prog 64k x 22dan	tak	tak	1	1	0	tak	400	100PQFP/84PLCC
3k x 32prog 512 x 16dan	4k x 16dan	nie	nie	1	1	1	tak	800	48DIP/52PLCC
0	64k x 32 4k x 16dan	nie	nie	2	2	1	tak	800	124PGA
3k x 32prog 512 x 16dan	64k x 16dan	nie	tak	1	1	1	tak	800	84PGA/84PLCC
128 x 16dan	64k x 32prog 64k x 16dan	nie	tak	2	2	1	tak	800	144PGA/144PQFP
4k x 16prog	64k x 16prog 64k x 16dan	nie	tak	2	0	0	tak	925	68PGA/68PLCC
256 x 16prog lub boot	64k x 16prog 64k x 16dan	nie	tak	2	0	0	tak	925	68PLCC
4k x 32	16M x 32	tak	tak	2	2	0	tak	1500	180PGA
2k x 16boot	128k x 16	tak	tak	2	2	0	tak		84CLCC
1k x 32 wsp.cosinus	16M x 32prog 16M x 32dan	nie	nie	1	1	0	nie	1000	84PGA