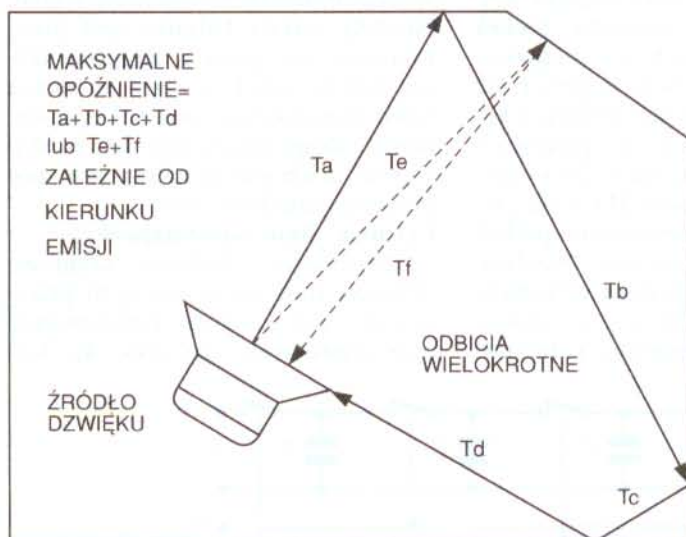
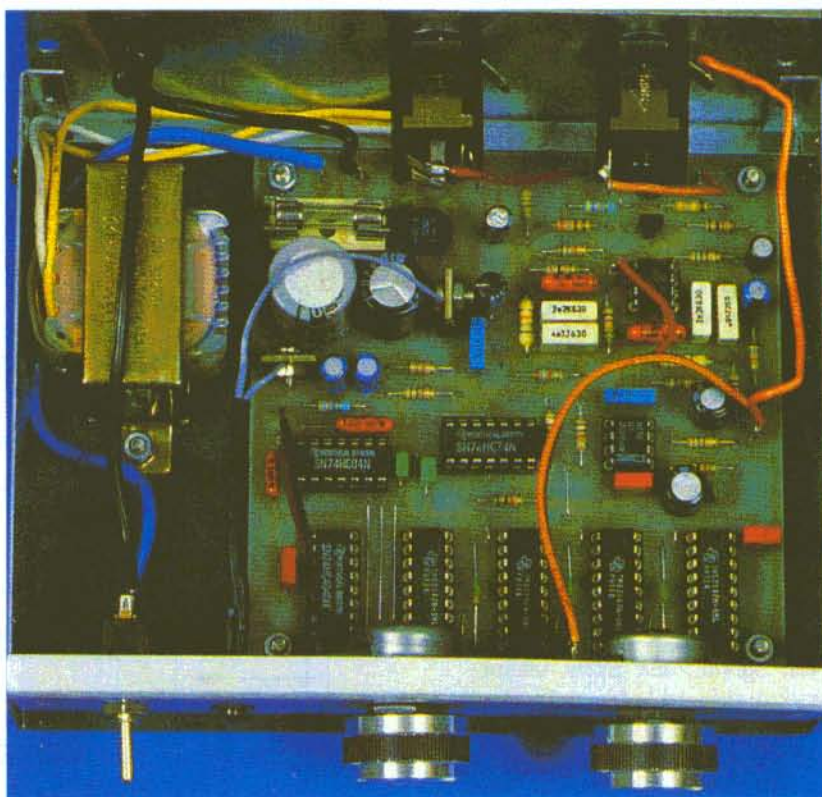


Technika cyfrowa w akustyce: efekt echa

Technika cyfrowa wkroczyła do akustyki muzycznej około 10 lat temu. Tytułem przykładu - międzynarodowa norma „MIDI” przewiduje wyposażenie aparatury akustycznej w interfejsy cyfrowe.

Hobbyści, jakkolwiek z pewnym opóźnieniem, także zaczynają interesować się cyfrowym przetwarzaniem sygnałów akustycznych.

Przedstawione urządzenie pozwala wykonać pierwszy krok prowadzący w tę fascynującą dziedzinę, której granice wyznaczają wyobrażenia oraz ... możliwości finansowe, gdyż niezbędne elementy rzadko są tanie. Na szczęście prezentowane urządzenie stanowi pod tym względem wyjątek.



Rys. 1. Ilustracja efektu pogłosu

Powstawanie echa naturalnego

Echo jest wynikiem powrotu sygnału akustycznego odbitego od przeszkody. Odbicia te mogą być wielokrotne, co sprawia, że echo jest powtarzane aż do całkowitego wytlumienia sygnału (rys. 1).

W przypadku odbić wielokrotnych w dużej sali, występujący efekt nazywamy pogłosem. Różnica między echem a pogłosem leży w wielkości opóźnienia między kolejnymi powtórzeniami. Aby uzyskać takie efekty, niezbędne jest użycie elektronicznych linii opóźniających. Przy realizacji tego rodzaju linii obecnie wykorzystuje się najczęściej technikę cyfrową, a więc pierwszym etapem musi być próbkowanie sygnału.

Podstawowe informacje o próbkowaniu sygnałów

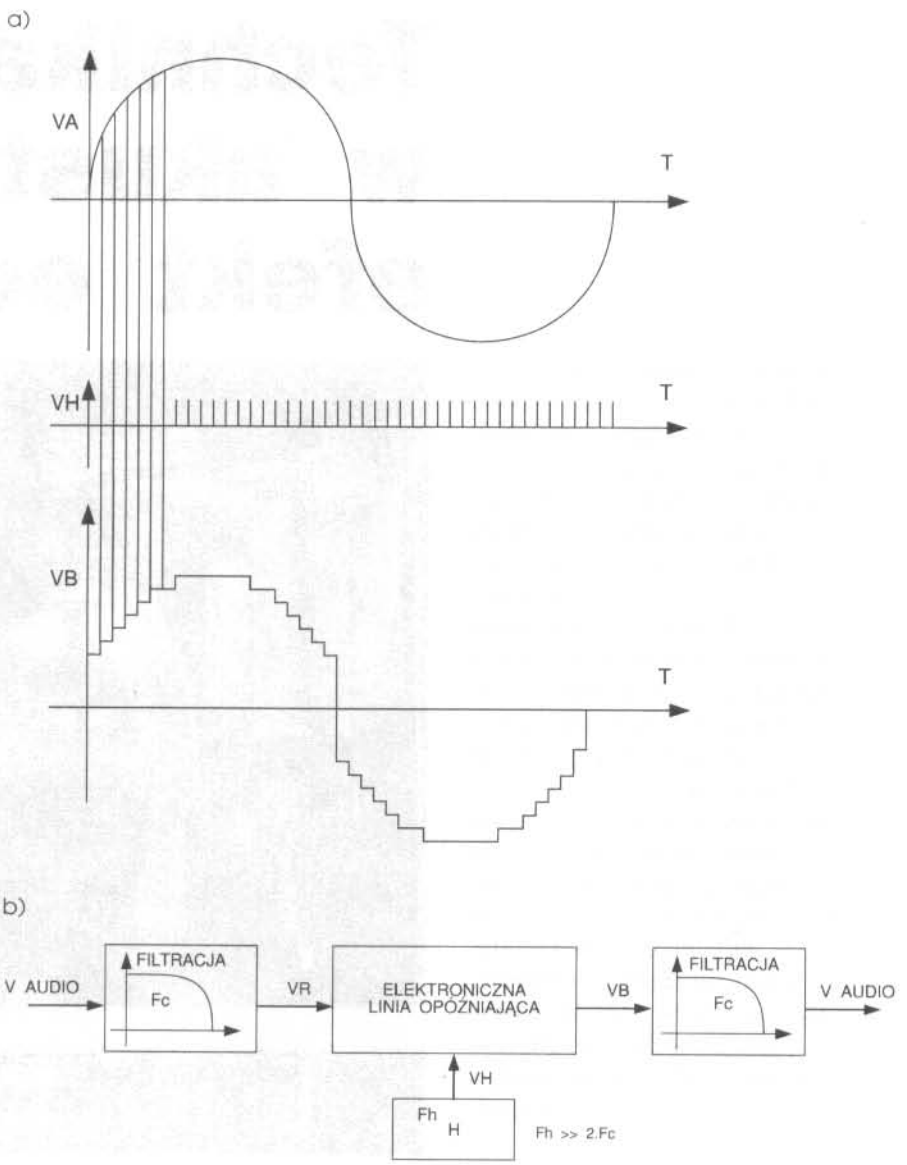
Próbkowanie polega na zapamiętaniu - w wybranych, najczęściej równo oddalonych momentach czasu - wartości sygnału (rys. 2). Pozwala to na przedstawienie sygnału za pomocą ciągu próbek, które można łatwo kodować, przetwarzać czy przechowywać w pamięci. Ilość próbek pobranych w jednostce czasu decyduje o zawartości informacji w próbkowanym sygnale. Realizacja elektronicznej linii opóźniającej wymaga więc będzie kompromisu między wiernością odtworzenia sygnału a pojemnością pamięci niezbędną do przechowania sygnału, proporcjonalną do częstotliwości próbkowania. Próbkowaniu towarzyszą pewne niekorzystne efekty, jak np. szum kwantyzacji. W sygnale wyjściowym systemu przetwarzania cyfrowego występuje ponadto resztkowa składowa częstotliwości zegara systemu. Tak więc niezbędne jest umieszczenie na wyjściu systemu filtra dolnoprzepustowego. Korzystne jest także zastosowanie wysokiej częstotliwości zegara.

Opóźnienie uzyskane w cyfrowym systemie zależy od pojemności jego pamięci i częstotliwości zegara. Maksymalna wartość tej częstotliwości jest ograniczona przez technologię wykonania układu, natomiast minimalna - przez wymaganą szerokość pasma. Częstotliwość ta, zgodnie z twierdzeniem Shannona, musi być co najmniej dwukrotnie większa od maksymalnej częstotliwości obserwowanej w sygnale. W praktyce oznacza to konieczność umieszczenia przed wejściem linii filtra dolnoprzepustowego, jak na rys. 2b.

Analogowe linie opóźniające

Elementy te są popularnie nazywane „BBD” lub „CCD”, w związku z ich angielskimi nazwami „Bucket Brigade Devices” lub „Charge Coupled Devices”. Składają się z rejestrów komórek umożliwiających przekazywanie ładunku elektrycznego (rys. 3).

Impuls zegarowy H1 powoduje



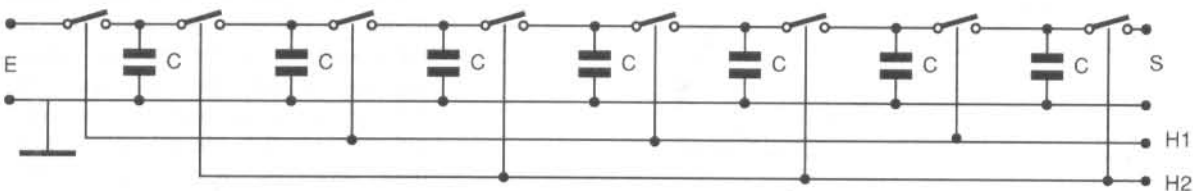
Rys. 2. Próbkowanie: przebieg sygnału (a), schemat funkcjonalny (b)

pobranie nowej próbki sygnału wejściowego oraz przeniesienie próbek z komórek parzystych do nieparzystych. Po wystąpieniu impulsu H2 następuje przeniesienie próbek z komórek nieparzystych do parzystych oraz podanie próbki na wyjście linii. Sekwencja impulsów H1 i H2 powoduje więc przesuwanie próbek z wejścia na wyjście linii. Przełączniki elektroniczne linii są wykonane w technologii MOS, co zapobiega rozładowaniu pojemności, natomiast

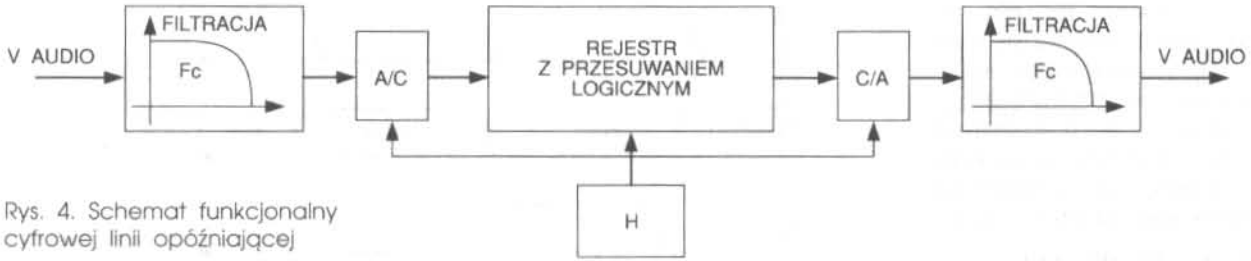
w fazie transferu wzmacniają sygnał. Niestety, utrata ładunku jest nieunikniona, co sprawia, że przy użyciu takich układów uzyskać można tylko stosunkowo niewielkie opóźnienia. Koszt takich linii jest bardzo wysoki, a ich jedyną zaletą pozostaje prostota uruchamiania.

Cyfrowe linie opóźniające

Zasadnicze elementy składowe cyfrowej linii opóźniającej to przetwornik A/C, rejestr przesuwający oraz przetwornik C/A (rys. 4). Ko-



Rys. 3. Schemat zastępczy rejestru BBC lub CCD



Rys. 4. Schemat funkcjonalny cyfrowej linii opóźniającej

rzyści płynące z zastosowania techniki cyfrowej w porównaniu z analogową są oczywiste - sygnał akustyczny zostaje zakodowany w postaci ciągu zer i jedynek po czym przesuwany w tej postaci w rejestrze, przy bardzo wysokiej odporności na zakłócenia i transmisji informacji praktycznie pozbawionej strat. Ponadto istnieje możliwość realizacji bardzo dużych opóźnień (rzędu sekund) bez niekorzystnego wpływu na jakość transmitowanych sygnałów.

Aktualnie w przetwarzaniu na postać cyfrową sygnałów akustycznych stosowane są dwie techniki: konwersja analogowo-cyfrowa równoległa z rozdzielczością 8 - 12 bitów, oraz modulacja delta, którą - ze względu na jej prostotę - zastosowano w przedstawianym urządzeniu.

Modulacja delta

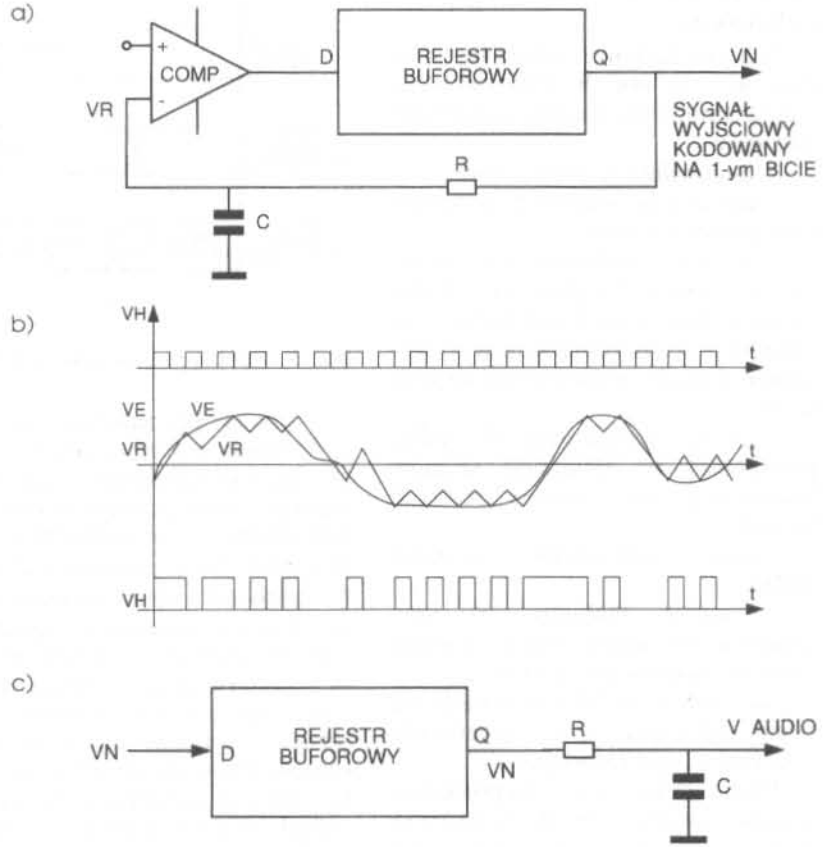
Zasada modulacji delta, polegającej na zakodowaniu pochodnej sygnału wejściowego, jest przedstawiona na rys. 5. Na wyjściu rejestru buforowego pojawiają się wartości będące wynikiem porównania sygnału wejściowego VE i jego poprzedniej próbki VR. VR ma więc postać odcinkami liniowo narastającego napięcia i dąży asymptotycznie do sygnału wejściowego, z opóźnieniem jednego cyklu (rys. 5b).

Ciąg VN na wyjściu rejestru stanowi binarną reprezentację (ciąg 0 i 1) znaku różnicy między VE i VR. Przy pomocy operacji całkowania można odtworzyć sygnał wejściowy (rys. 5c).

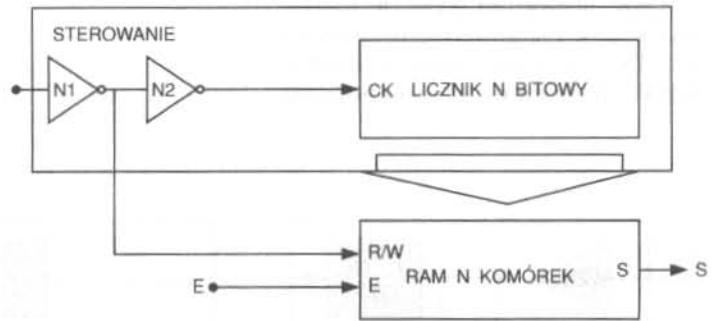
Wynik końcowego przetwarzania C/A jest, niestety, mniej imponujący - prostota kodowania prowadzi do poważnych zniekształceń sygnału i można temu zapobiec jedynie stosując bardzo wysoką częstotliwość próbkowania, przekraczającą 5 do 10-ciu razy wartość wynikającą z twierdzenia Shannona.

Rejestr z przesuwaniem logicznym

Zaprojektowany z wykorzystaniem pamięci statycznych RAM, rejestr ten wykorzystuje do adresowa-



Rys. 5. Zasada modulacji delta



Rys. 6. Rejestr z pamięcią statyczną RAM

wania pamięci RAM dwa invertory i licznik (rys. 6), przy czym istnieje niemal nieograniczona możliwość zwiększania rozmiaru pamięci.

Zasada działania rejestru jest następująca: zawartość aktualnie zaadresowanej komórki pamięci jest podawana na przetwornik C/A, po czym komórka ta jest ustawiana w tryb zapisu i umieszczana jest

w niej nowa próbka pochodząca z przetwornika A/C. Następną operacją jest inkrementacja licznika adresu i przeprowadzenie tych samych czynności na kolejnej komórce pamięci. Każda pobrana próbka jest wyprowadzana dopiero po wykonaniu operacji odczyt/zapis na całej pamięci. Przebiegi czasowe związane z poszczególnymi fazami pracy pamię-

ci są przedstawione na rys. 7. Przesuwanie próbek odbywa się więc w sposób ciągły, a uzyskane opóźnienie wynosi: $\tau = \frac{\text{liczba komórek RAM}}{\text{częstotliwość próbkowania}}$. Należy podkreślić, że podstawowe znaczenie dla prawidłowego funkcjonowania całości ma perfekcyjna synchronizacja obu przetworników.

Omówienie układu echa cyfrowego

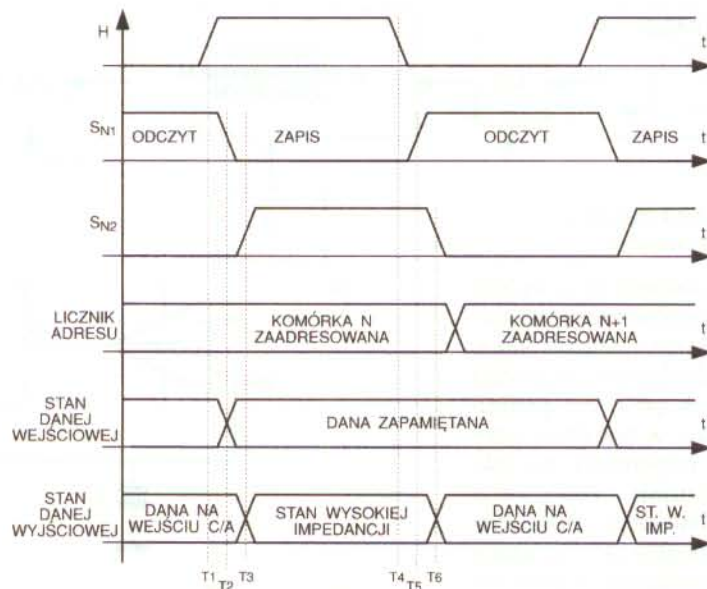
Schemat blokowy urządzenia znajduje się na rys. 8. Przy projektowaniu urządzenia przyjęto następujące założenia:

- minimalizacja rozmiarów;
- uniknięcie wszelkich procedur uruchomieniowych;
- regulacja opóźnienia w zakresie od 100ms (pogłos) do 250ms (echo) z możliwością uzyskania wielokrotnego echa (ponowne wprowadzenie sygnału wyjściowego na wejście);
- pasmo ograniczone do 2kHz, pozwalające na eliminację szumów kwantyzacji przy pomocy prostych filtrów;
- częstotliwość zegara co najmniej 65kHz;
- pamięć 16kbitów, co przy częstotliwości zegara 65kHz pozwala uzyskać opóźnienie 250ms.

Na wyjściu układu otrzymuje się sumę dźwięku bez opóźnienia i dźwięku opóźnionego.

Urządzenie jest wyposażone w prosty zasilacz (rys. 9), w którym dwa stabilizatory napięcia +5V i -5V zapewniają zasilanie części logicznej i analogowej.

Część analogowa (rys. 10) zawiera wzmacniacz z niskoszumnym tranzystorem T1, o wysokiej czułości (sygnał 50mV powoduje przesterowanie),



Rys. 7. Przebiegi czasowe pamięci

- T0 - warunki początkowe. Podanie danej z pamięci na wejście przetwornika C/A. Rejestr buforowy zawiera ustaloną wartość VN. Adres zablokowany.
- T1 - zbocze narastające sygnału zegara rozpoczyna fazę ładowania do pamięci danej z rejestru buforowego oraz blokuje na wyjściu przetwornika A/C kolejny wynik przetwarzania.
- T2 - zapis danej z rejestru buforowego do pamięci. Adres zablokowany.
- T3 - przejście wyjścia komórki RAM w stan wysokiej impedancji.
- T4 - Zbocze opadające sygnału zegarowego zmienia stany inwerterów N1 i N2, nie wpływa natomiast na stan przetworników.
- T5 - Stan z wyjścia inwertera N1 powoduje rozpoczęcie odczytu z pamięci zanim stan z wyjścia inwertera N2 spowoduje zmianę stanu licznika (zmianę adresu), co pozwala uniknąć zastąpienia nową informacją zawartości danej komórki przed jej odczytaniem.
- T6 - Zbocze opadające na wyjściu inwertera N2, opóźnione w stosunku do sygnału zegara i sygnału na wyjściu N1, powoduje zwiększenie pojemności licznika i wybranie adresu kolejnej komórki RAM. Na wyjściu pamięci pojawi się więc kolejna dana, która pozostanie stabilna do następnej zmiany stanu na wyjściu N1 - cykl rozpoczyna się ponownie.

oraz nietypowy dolnoprzepustowy filtr aktywny 3-go rzędu. Zawartość sygnału opóźnionego w zsumowanym sygnale wyjściowym określają rezystory R8 i R10.

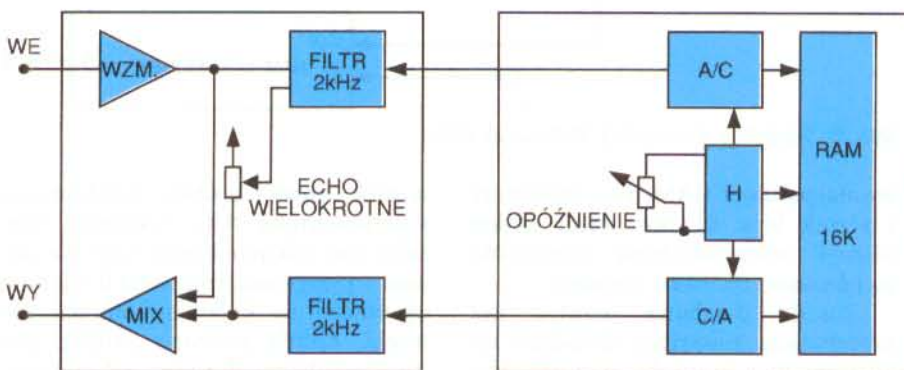
Część cyfrowa układu (rys. 11) zawiera 4 układy RAM 2147 po 4 kilobity każdy, połączone kaskadowo. Wypadkowa długość rejestru z przesuwaniem logicznym wynosi 16384 komórki.

Przetwarzanie C/A zrealizowano przy pomocy filtra dolnoprzepustowego, natomiast przetwarzanie A/C - przy pomocy komparatora (IC2).

Regulacja częstotliwości zegara jest dokonywana przy pomocy potencjometru P2, zgodnie z zależnością:

$$F_h = 1 / (2,2 \cdot (R_{20} + P) \cdot C_{14})$$

Urządzenie wymaga rozbudowanego zestawu kondensatorów blokujących i odsprzęgających.



Rys. 8. Schemat blokowy układu echa cyfrowego

Wykonanie

Mozaikę ścieżek przedstawia rysunek na wkładce, a rozmieszczenie elementów pokazano na rys. 12. Zalecane jest użycie podstawek pod układy pamięci. Licznik 74HC4040 można zastąpić układem CD4040, kosztem niewielkiego wzrostu szumów przełączania.

ERP

WYKAZ ELEMENTÓW

Rezystory

- R1: 470kΩ
- R2: 47kΩ
- R3, R16, R17: 10kΩ
- R4: 270Ω
- R5, R8: 18kΩ
- R6, R12: 39kΩ
- R7, R14: 68kΩ
- R9, R11: 120kΩ
- R10: 100kΩ
- R13: 22kΩ
- R15: 1,8kΩ
- R18, R19: 15kΩ
- R20: 3,3kΩ
- R21, R24: 470Ω
- R22: 560Ω
- R23: 6,8kΩ
- P1: 100kΩ, potencjometr liniowy
- P2: 4,7kΩ, potencjometr liniowy

Kondensatory

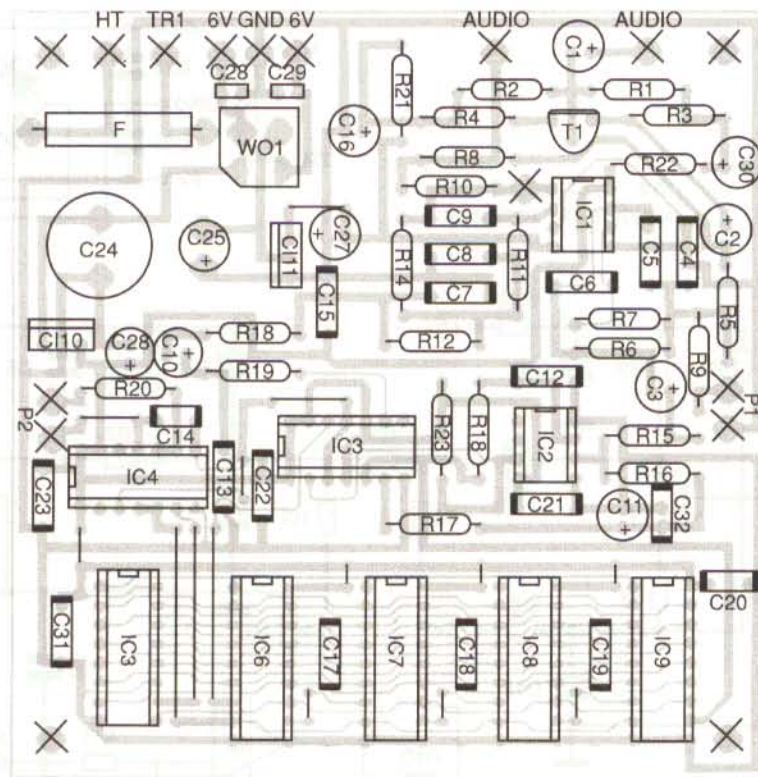
- C1, C2, C11, C27: 10μF
- C3, C10: 1μF
- C4, C28, C29: 10nF
- C5: 2,2nF
- C6, C14: 1nF
- C7: 4,7nF
- C8: 2,2nF
- C9: 150pF
- C12: 150nF
- C13: 33nF
- C15, C17 - C22, C31: 100nF
- C23: 47nF
- C24: 2200μF/10V
- C25: 470μF/10V
- C26, C30: 47μF

Elementy półprzewodnikowe dyskretne

- T1: BC550C/BC549C
- LED1: czerwona dioda elektroluminescencyjna 5mm
- WO1: mostek prostowniczy 60V/1A

Układy scalone

- IC1: TL082
- IC2: LM311
- IC3: 74LS74
- IC4: 74LS04
- IC5: 74HC4040 (lub CD4040)
- IC6 - IC9: pamięć statyczna RAM 4k•1 TMS2147/μPD2147



Rys. 12. Rozmieszczenie elementów na płytce drukowanej



- IC10: LM7805
- IC11: LM7905
- Różne**
- TR1: transformator 2•6,3V - 6VA
- FUS: podstawka pod bezpiecznik plus bezpiecznik 100mA
- I1: przelącznik miniaturowy jednobiegunowy
- dwa gniazda jack 6,35mm