

Przedstawiamy mało znany na polskim rynku procesor (mikrokontroler) Philipsa - 80C851. Układ ten (lub jego ścisły odpowiednik 83C851 z wbudowanym ROMem) jest w ofercie AVT jako jedna z możliwości rozbudowy kitu AVT-107, dając większe możliwości sprzętowe za niewiele wyższą cenę.

Nowy procesor z serii 8051 do kitu AVT-107

1	P1.0	+V	40
2	P1.1	P0.0/AD0	39
3	P1.2	P0.1/AD1	38
4	P1.3	P0.2/AD2	37
5	P1.4	P0.3/AD3	36
6	P1.5	P0.4/AD4	35
7	P1.6	P0.5/AD5	34
8	P1.7	P0.6/AD6	33
9	RST	P0.7/AD7	32
10	P2.0/RxD	EA	31
11	P2.1/TxD	ALE	30
12	P2.2/INT0	PSEN	29
13	P2.3/INT1	P2.7/A15	28
14	P2.4/T0	P2.6/A14	27
15	P2.5/T1	P2.5/A13	26
16	P2.6/WR	P2.4/A12	25
17	P2.7/RD	P2.3/A11	24
18	XTAL1	P2.2/A10	23
19	XTAL2	P2.1/A9	22
20	GND	P2.0/A8	21

80C851

Rys. 1. Wyprowadzenia procesora 80C851



Charakterystyczne cechy 80C851

Jest on w pełni wymienny z procesorami 8031/51. Oznacza to, że w każdym systemie na procesorze 8031 (w dowolnej wersji wykonania) można zainstalować nowy procesor 80C851 bez żadnych przeróbek płytki drukowanej lub programu wpisanego do EPROMa. Można więc „wprost” zainstalować ten układ w podstawce procesora w kicie AVT-107. Zyskujemy dodatkowe 256 bajtów pamięci EEPROM, bez blokowania dwóch lub większej ilości linii portów I/O, które musiałyby współpracować z pamięcią dołączoną z zewnątrz.

Główną różnicą, stanowiącą jednocześnie przewagę nad standardowymi 8031/51, jest zintegrowana ze strukturą pamięć nieulotna EEPROM o organizacji 256x8 bitów, wraz z niezbędnymi układami wspomagającymi programowanie (zapisywanie) i kasowanie tej pamięci. Można tę pamięć wykorzystać jako specyficzną (bo bardzo wolną podczas zapisu) odmianę RAMu. Istnieje możliwość zabezpieczenia przed niepożądanym odczytem zawartości tej pamięci. Pro-

ducent przewiduje trwałość na 50000 cykli kasowanie/zapis, co w praktyce można uznać za ilość wystarczającą. Trwałość zapisanych danych wynosi 10 lat. Ilość odczytów nie jest limitowana.

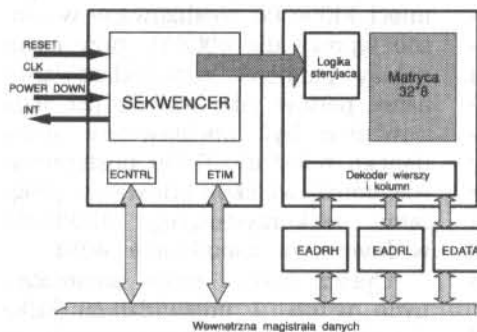
Pozostałe cechy są identyczne jak dla rodziny 8031/51, tzn. w procesorze są wbudowane: dwa timery - liczniki 16-bitowe, szeregowy nadajnik-odbiornik oraz cztery 8-bitowe dwukierunkowe porty we-wy. W układach 80C851 częstotliwość zegara (przebieg zegarowy generowany jest we wbudowanym oscylatorze) może wynosić aż 16MHz, co gwarantuje spora wydajność jednostki centralnej pro-

cesora. Widok wyprowadzeń procesora 80C851 przedstawia rys. 1.

Ponieważ jedyna (widoczna dla programisty) różnica pomiędzy procesorami zawiera się we wbudowanym EEPROMie, skupimy się tylko na omówieniu sposobu komunikowania się jednostki centralnej z tą pamięcią.

Do obsługi i adresowania pamięci EEPROM (rys. 2) przewidziano pięć dodatkowych 8-bitowych rejestrów SFR (ang. Special Function Register, umieszczone w górnych 128 bajtach Internal RAM): jeden rejestr danych (oznaczony EDATA), dwa rejestry adresowe (EADRH i EADRL), jeden rejestr sterujący (ECNTRL) oraz rejestr timera wyznaczającego czas zapisu i kasowania pamięci EEPROM (ETIM). Wszystkie rejestry są dwukierunkowe (można je zapisać i odczytać).

Dzięki wykorzystaniu pośredniego sposobu adresowania (poprzez specjalne rejestry) uniknięto konieczności wprowadzenia nowych poleceń do listy rozkazów procesora, co zagwarantowało pełną kompatybilność



Rys. 2. Architektura procesora 80C851

Tab. 1. Wartości wpisywane do rejestru ETIM dla różnych częstotliwości zegara i czasów trwania zapisu

Częstotliwość zegara [MHz]	Wartość (HEX) wpisana do rejestru ETIM dla 2ms	Wartość (HEX) wpisana do rejestru ETIM dla 10ms
1	-	08
2	02	13
3	04	1D
4	06	28
5	08	32
6	0A	3C
7	0C	47
8	0E	51
9	10	5C
10	12	66
11	14	71
12	16	7B
13	18	-
14	1A	-
15	1C	-
16	1E	-

programową pomiędzy 80C51 i 80C851.

Rejestry EADRH i EADRL (ukryte pod adresami F3H i F2H) służą do adresowania pamięci EEPROM. Młodszy bajt adresuje jeden z wierszy pamięci EEPROM, starszy bajt (EADRH) wykorzystywany jest tylko do adresowania specjalnej komórki pamięci zapewniającej blokadę odczytu zawartości pamięci (ochrona danych). Po wykonaniu restartu rejestry przyjmują wartości: EADRH=80H, EADRL=00H - tak więc zaadresowana zostaje komórka zabezpieczająca przed niepożądanym odczytem.

Rejestr EDATA (adres F4H) służy do buforowania danych w czasie zapisu do pamięci lub odczytu z niej. W rejestrze tym dana ostatnio zapisywana lub odczytana jest zapamiętana do następnego zapisu lub odczytu.

Rejestr ETIM (adres F5H) zawiera informacje o czasie zapisu lub kasowania pamięci w zależności od częstotliwości zegara systemowego. Po wykonaniu restartu do rejestru ETIM wpisywana jest domyślna wartość 08H. W tab. 1 zamieszczono wartości stałych wpisywanych do rejestru ETIM w zależności od oczekiwanego czasu zapisu i częstotliwości zegara. Należy pamiętać, że krótszy czas zapisu powoduje zmniejszenie trwałości zapisu danych w pamięci (producent nie podaje o ile, próby praktyczne wykazały poprawne odczyty po blisko 300h pracy kontrolera przy czasie zapisu 2ms). Po wykonaniu restartu rejestr ETIM przyjmuje wartość 08H.

Rejestr ECNTRL (adres F6H) ułatwia współpracę kontrolera z pa-

Tab. 2. Wybór trybu pracy w zależności od stanu bitów D3...0 rejestru ECNTRL

Tryb pracy (funkcja)	D3	D2	D1	D0
Tryb bajtowy	0	0	0	0
Tryb kasowania wiersza	1	1	0	0
Tryb kasowania bloku	1	0	1	0

micią EEPROM. Znaczenia poszczególnych bitów są następujące:

- D7 - oznaczany jako IFE (ang. Interrupt Flag Enable), jest to sygnał zgłoszenia przerwania przez sekwencer sterujący pracą pamięci EEPROM. Przerwanie jest zgłaszane z wektorem obsługi takim samym jak z portu szeregowego. Sterowanie tym bitem możliwe jest z poziomu programu;

- D6 - oznaczany EEINT (ang. Enable EPROM Interrupt), jest to bit zezwalający na zgłoszenie przerwania przez sekwencer pamięci EEPROM;

- D5 - oznaczany EWP (ang. Erase/Write in Progress), jest to wskaźnik „zajętości” pamięci EEPROM. „1” na EWP oznacza brak możliwości zapisu lub odczytu pamięci EEPROM. Sterowanie tym bitem nie jest możliwe programowo;

- D4 - nie wykorzystywany;

- D3..0 - określają tryb pracy pamięci EEPROM (tab. 2). Tryb bajtowy jest standardowym trybem zapisu-odczytu pamięci, tryb kasowania wiersza (ang. row erase) powoduje wykasowanie zaadresowanego za pomocą rejestrów EADRH i EADRL wiersza (czyli 8 bajtów zaadresowanych za pomocą pięciu starszych bitów rejestru EADRLa nie jednego bajtu!), tryb kasowania bloku powoduje zignorowanie wartości wpisanych do rejestrów EADRH, EADRL oraz EDATA i wykasowanie wszystkich 256 bajtów pamięci oraz komórki zabezpieczającej. Po wykonaniu restartu rejestr ECNTRL przyjmuje wartość 00H (tryb bajtowy).

Na list. 1 przedstawiono przykłady zapisu, odczytu i kasowania pamięci EEPROM zrealizowane w sposób typowy dla 80C851, przy czym należy pamiętać o zadeklarowaniu nazw portów jako stałych (za stałą powinien być podstawiony adres danego rejestru). Takie postępowanie umożliwi skompilowanie programu wykorzystującego EEPROM w dowolnym asemblerze 8051.

Oprócz trybów pracy zamieszczonych w tab. 2 przewidziano kilka innych, nie wykorzystywanych w 80C851 (dlatego zostały pominięte).

;Deklaracje nowych rejestrów SFR:

```
EADRL EQU #F2H
EADRH EQU #F3H
EDATA EQU #F4H
ETIM EQU #F5H
ECNTRL EQU #F6H
```

```
; PROCEDURA INICJUJACA PRACE SEKWENCERA EEPROM
MOV ETIM, #00H
MOV EADRH, #00H
```

```
; DALSZY CIAG PROGRAMU
; .....
; PROCEDURA ODCZYTU PAMIĘCI EEPROM
MOV EADRL, adres
MOV #00H, EDATA
```

```
; DALSZY CIAG PROGRAMU
; .....
; PROCEDURA ZAPISU PAMIĘCI EEPROM
MOV EADRL, adres
MOV EDATA, dana
```

```
; DALSZY CIAG PROGRAMU
; .....
; PROCEDURA KASOWANIA WIERWSZA (8 BAJTOW)
MOV EADRL, *adres
MOV ECNTRL, #0CH
MOV EDATA, #00H
```

```
; DALSZY CIAG PROGRAMU
; .....
; PROCEDURA KASOWANIA PAMIĘCI EEPROM
MOV ECNTRL, #0AH
MOV EDATA, #00H
```

```
; DALSZY CIAG PROGRAMU
; .....
; UWAGA! *adres* OZNACZA ADRES KASOWANEGO OBSZARU
; PAMIĘCI EEPROM, PRZY CZYM TYLKO 5 BITOW MSB
; JEST TRAKTOWANE JAKO ADRES - 3 BITY MSB MOGA
; MIEC DOWOLNA WARTOSC
```

List. 1.

Jak wspomniano wcześniej pamięć EEPROM można zabezpieczyć przed niepożądanym odczytem dzięki „zaszytej” pod adresem 8000H specjalnej - zabezpieczającej komórki pamięci EEPROM (nie jest ona wliczona w 256 bajtowy blok tej pamięci). Uaktywnienie zabezpieczenia można wykonać w następujący sposób:

```
MOV EADRH, #80H
MOV EADRL, #00H
MOV EDAT, #FFH
```

Likwidacja zabezpieczenia jest możliwa tylko w czasie wykonywania procedury kasowania całej pamięci (block erase), za pomocą następującej sekwencji rozkazów:

```
MOV EADRH, #80H
MOV EADRL, #00H
MOV ECNTRL, #0AH
MOV EDAT, #00H
```

Rozwiązania sprzętowe zastosowane w zabezpieczeniu pamięci EEPROM likwidują możliwość odczytu pamięci przez fragment programu umieszczony w zewnętrznej pamięci ROM, a także przez wszelkiego typu klucze sprzętowe.

Przy opracowaniu tego krótkiego opisu wykorzystano katalog firmy Philips, który jest dostępny w ofercie handlowej AVT.

Piotr Zbysiński, AVT

Literatura:

1. 80C51-Based 8-bit Microcontrollers, Data Handbook. Philips Semiconductor, NAPC NY 1993.