

Rodzina mikroprocesorów opartych na 8051

Mikroprocesor 8051, uznany za światowy standard wśród mikrokomputerów jednoukładowych, doczekał się nie tylko wielu klonów opracowanych przez różne firmy, ale również na jego bazie powstało wiele mutacji. Przedstawiamy tutaj rodzinę mikroprocesorów z tej serii produkowaną przez firmę Philips Components i określaną przez nią jako standard przemysłowy.

Architektura rodziny została zoptymalizowana pod kątem zastosowań w układach sterowania w czasie rzeczywistym. Zakres aplikacji jest bardzo szeroki, od zastosowań medycznych po systemy sterujące pojazdami mechanicznymi. Przedstawiciele rodziny są wykonywani w wersjach z wewnętrzną pamięcią programu typu ROM lub EPROM, bądź bez żadnej z nich, jako tylko jednostka centralna. Z wyjątkiem 8XC751 i 8XC752, które mają ograniczone zdolności adresowania pamięci zewnętrznej, pozostałe mikroprocesory potrafią zaadresować do 64K zewnętrznej pamięci programu i taką samą przestrzeń pamięci danych. W tabeli 1 przedstawiono zestawienie wszystkich typów mikroprocesorów z uwzględnieniem wymienionych cech.

8051

Procesor 8051 jest protoplastą całej rodziny, od którego wywodzi się funkcjonalnie pozostałe typy. Wymienione niżej jego możliwości są w zasadzie reprezentowane w całej grupie. A są to:

- 8-bitowa CPU optymalizowana pod kątem zastosowań w sterownikach,
- rozległe możliwości operacji binarnych, również na pojedynczych bitach,
- 32 dwukierunkowe, indywidualnie adresowane linie wejścia/wyjścia,
- 128B wewnętrznej pamięci RAM,
- dwa 16-bitowe timery/liczniki,
- układ duplexowej transmisji szeregowej,
- dwupoziomowy, priorytetowy układ przerwań pochodzących z pięciu źródeł,
- wewnętrzny generator zegarowy,
- 64KB przestrzeni adresowej dla programu użytkowego,
- 64KB przestrzeni adresowej pamięci danych,

Tab. 1. Zestawienie podstawowych cech μP z rodziny 8051

| Wersja z ROM | Wersja bez ROM | Wersja z EPROM | ROM | RAM | Timer | Technologia |
|--------------|----------------|----------------|-----|-----|------------|-------------|
| 8051 | 8031 | - | 4K | 128 | 2 | NMOS |
| 80C51 | 80C31 | 87C51 | 4K | 128 | 2 | HMOS |
| 80CL51 | - | - | 4K | 128 | 2 | SACMOS |
| 8052 | 8032 | - | 8K | 256 | 3 | NMOS |
| 80C52 | 80C32 | 87C52 | 8K | 256 | 3 | CMOS |
| 83C053 | - | 87C054 | 8K | 192 | 2 | CMOS |
| 83CL410 | 80CL410 | - | 4K | 128 | 2 | CMOS |
| 83C451 | 80C451 | 87C451 | 4K | 128 | 2 | CMOS |
| 83C528 | 80C528 | 87C528 | 32K | 512 | 3+WD* | CMOS |
| 83C550 | 80C550 | 87C550 | 4K | 128 | 2+WD | CMOS |
| 83C552 | 80C552 | 87C552 | 8K | 256 | 3+WD | CMOS |
| 83C562 | 80C526 | - | 8K | 256 | 3+WD | CMOS |
| 83C575 | 80C575 | 87C575 | 8K | 256 | 3+PCA**+WD | CMOS |
| 83C592 | - | 87C592 | 16K | 512 | 3+WD | CMOS |
| 83C652 | 80C562 | 87C562 | 8K | 256 | 2 | CMOS |
| 83C654 | - | 87C654 | 16K | 256 | 2 | CMOS |
| 83C751 | - | 87C751 | 2K | 64 | 1 | CMOS |
| 83C752 | - | 87C752 | 2K | 64 | 1 | CMOS |
| 83C851 | 80C851 | - | 4K | 128 | 2 | CMOS |
| 83C852 | - | - | 6K | 256 | 2 | CMOS |

* układ watchdog
 ** programowana struktura licznikowa

- obudowa 40-nóżkowa DIP lub 44-nóżkowa PLCC.

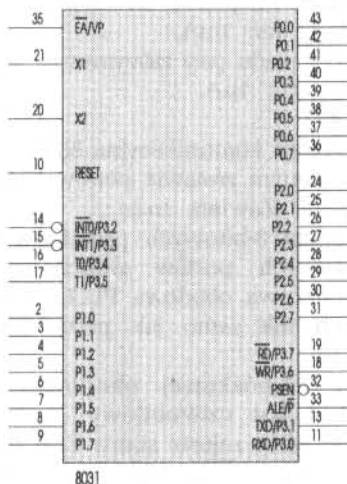
Typ 8031 jest wersją okrojona bez pamięci stałej ROM; wszystkie

rozkazy są pobierane wtedy z pamięci zewnętrznej.

80C51

Procesor 80C51 jest wersją 8051 wykonaną w technologii CMOS, a zatem pobierającą mniej prądu. Ma on dodatkowe tryby pracy o obniżonym poborze energii, inicjalizowane ustawieniem właściwego bitu w rejestrze specjalnym PCON. Są nimi:

- tryb uśpienia (ang. Idle Mode), polegający na zatrzymaniu pracy CPU; aktywnymi pozostają źródła przerwań, które - zgłaszając przerwanie - mogą zakończyć przebywanie procesora w tym trybie pracy,
- tryb obniżonej mocy (ang. Power-Down Mode) zatrzymuje zegar procesora; dane w pamięci RAM są chronione, a wyjście z tego trybu



następuje po zerowaniu CPU na linii RST.

Odmianą bez pamięci ROM jest 80C31, zaś z pamięcią EPROM - 87C51.

80CL51

Ten typ procesora jest wersją 80C51 pobierającą wyjątkowo mało energii. Napięcie zasilania, w odróżnieniu od dwóch poprzednich, może wahać się w granicach od 1,8V do 6V, natomiast generator zegarowy może pracować od 0 do 12MHz, co bardzo upraszcza otoczenie procesora. Jest to istotne w układach zasilanych bateryjnie.

8052

Procesor 8052 stanowi rozbudowaną odmianę 8051, wykonaną w technologii NMOS. Jego możliwości poszerzono o następujące elementy:

- powiększona wewnętrzna pamięć RAM do 256 bajtów,
- łącznie trzy timery/liczniki,
- 6 źródeł przerwań,
- 8K wewnętrznej pamięci programu.

Odmianą bez pamięci ROM jest 80C32.

80C52

Procesor 80C52, podobnie jak w przypadku 80C51, jest wersją 8052 wykonaną w technologii CMOS i ma dodatkowe tryby pracy o niskim poborze mocy. Odmianą bez pamięci ROM jest 80C32, a z pamięcią EPROM - 87C52.

83C053

83C053 znajduje zastosowanie jako główny procesor w odbiorniku telewizyjnym. Odpowiada za proces samostrojzenia odbiornika i komunikację z użytkownikiem w systemie OSD (ang. on-screen display). Najważniejsze jego cechy to:

- 8K pamięci ROM (dotyczy 83C053) lub 16K EPROM (87C053),
- 192 bajty pamięci RAM,
- układ sterowania OSD,
- trzy cyfrowe wyjścia wideo,
- multiplexer/mikser i układ kontroli poziomu czerni,
- 128x10 bitów pamięci wyświetlania,
- 60x18x14 bitów generatora znaków ROM,
- osiem 6-bitowych PWM,
- jedno wejście 14-bitowe PWM,
- cztery wyjścia o dużej obciążalności prądowej w układzie typu otwarty dren,
- dwanaście wysokonapięciowych wyjść typu otwarty dren,
- wejście i wyjście wizyjne o programowanej polaryzacji,
- 42-nóżkowa wąska obudowa DIP.

83CL410

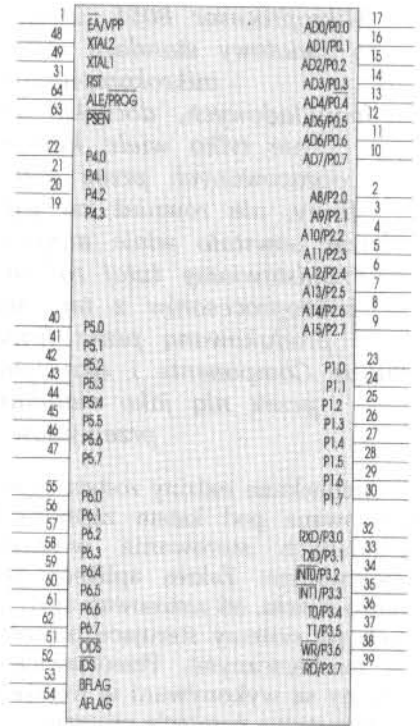
Kolejna odmiana procesora o bardzo małym poborze prądu. Ma on wszystkie możliwości 8051 z wyjątkiem układu transmisji szeregowej UART. W zamian za to wyposażono go w:

- układ transmisji szeregowej według protokołu I2C,
- układ „gorącego“ startu z trybu power-down,
- trzynaście źródeł dwupoziomowego, priorytetowego układu przerwań, z tego osiem źródeł to dodatkowe, nieznanne w 80C51, przerwania zewnętrzne,
- częstotliwość pracy zegara od 32kHz do 20MHz, a z zewnętrznym generatorem od 0 Hz,
- sześć konfiguracji generatora zegarowego: rezonator kwarcowy, rezonator ceramiczny, układ RC, układ LC, generator zewnętrzny,
- zakres napięć zasilających od 1,8 do 6V, dopuszcza się zasilanie z zasilacza niestabilizowanego,
- pobór prądu przy częstotliwości zegara 3,5MHz i napięciu zasilania 3V nie większy niż 1mA,
- pobór prądu przy zatrzymanym zegarze mniej niż 1µA.

83C451

Wersja komunikacyjna 8051 o rozbudowanym zestawie portów wejścia-wyjścia. Zawiera m.in.:

- siedem 8-bitowych pseudodwukierunkowych portów wejścia-wyjścia (68-nóżkowa obudowa PLCC), działających tak samo jak porty 0-3 w 80C51,
- w 64-nóżkowej obudowie DIP port 4 jest czterobitowy,
- specjalny rejestr stanu CSR (Control Status Register), utrzymujący



80C451

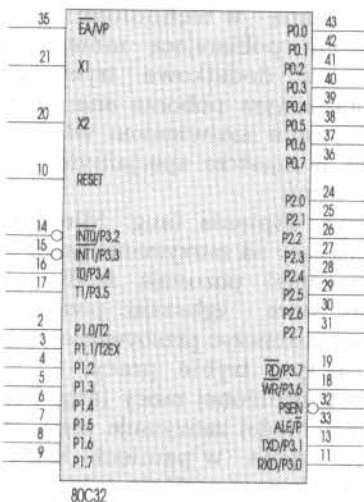
stan portu 7, odpowiedzialny za transmisję przez port 6,

- port 6 o różnych trybach pracy:
 - a) praca jako normalny port wejściowy,
 - b) cztery linie kontroli współpracy rejestru,
 - c) równoległy port drukarki,
 - d) szyna współpracy w systemie wieloprocesorowym,
- możliwość łatwego przystosowania UART do interfejsu RS232,

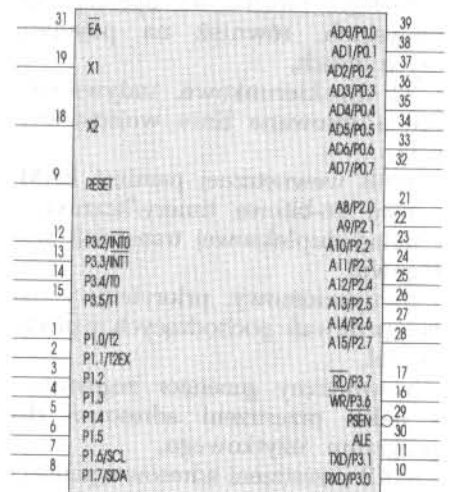
83C524/83C528

Wersja 80C51 o rozszerzonej wielkości pamięci. Obudowa 83C528 jest taka sama jak 80C51. Ma on wszystkie cechy swego poprzednika oraz:

- łącznie 16K (83C524) lub 32K (83C528) pamięci ROM,



80C32



80C528

- trzeci timer, identyczny jak T2 w 80C52,
- razem 512 bajtów pamięci RAM,
- watchdog-timer, służący do przerywania programu z zagubioną wskutek zakłóceń ścieżką logiczną poprzez restart procesora, posiada własny zegar, niezależny od zegara CPU,
- układ transmisji szeregowej według protokołu I2C, obok standardowego układu UART,
- „gorący” start z trybu power-down, w wypadku odebrania jednego z niezablokowanych przerw zewnętrznych lub sprzętowego zerowania CPU oraz zerowania spowodowanego przez watchdog-timer,

Odmiana bez pamięci ROM jest oznakowana 80C528, zaś z pamięcią EPROM - 87C528.

83C550

Procesor 83C550 został wzbogacony w stosunku do 80C51 o 8-kanalowy, 8-bitowy przetwornik A/C oraz układ watchdog. Czas konwersji analogowo-cyfrowej dla zegara 12MHz wynosi 40µs. Przetwornik posiada osobne zasilanie analogowe i wejścia napięć wzorcowych. Chociaż procesor został umieszczony w tej samej obudowie co 80C51, jednak nie zawsze da się on zamienić z uwagi na wejścia analogowe jednego z portów. Jego wejścia mogą być ustawione w tryb pracy analogowej bądź cyfrowej. Układ watchdog może być zastosowany jako detektor zakłóceń w systemie mikroprocesorowym, zerując procesor w przypadku „ucieczki” programu „w maliny” albo jako uniwersalny generator.

Odmiana bez pamięci ROM jest oznakowana 80C550, natomiast z pamięcią EPROM - 87C550.

| | | | |
|----|------------|----------|----|
| 31 | EA/VPP | AD0/P0.0 | 39 |
| | | AD1/P0.1 | 38 |
| 19 | X1 | AD2/P0.2 | 37 |
| | | AD3/P0.3 | 36 |
| | | AD4/P0.4 | 35 |
| 18 | X2 | AD5/P0.5 | 34 |
| | | AD6/P0.6 | 33 |
| | | AD7/P0.7 | 32 |
| 9 | RESET | | |
| | | A8/P2.0 | 21 |
| | | A9/P2.1 | 22 |
| 12 | P3.2/INT0 | A10/P2.2 | 23 |
| 13 | P3.3/INT1 | A11/P2.3 | 24 |
| 14 | P3.4/T0 | A12/P2.4 | 25 |
| 15 | P3.5/T1 | A13/P2.5 | 26 |
| | | A14/P2.6 | 27 |
| | | A15/P2.7 | 28 |
| 1 | AVCC/VREF+ | | |
| 2 | AVSS/VREF- | | |
| 3 | P1.0/ADCO | RD/P3.7 | 17 |
| 4 | P1.1/ADC1 | WR/P3.6 | 16 |
| 5 | P1.2/ADC2 | PSEN | 29 |
| 6 | P1.3/ADC3 | ALE/PROG | 30 |
| 7 | P1.4/ADC4 | TD/P3.1 | 11 |
| 8 | P1.5/ADC5 | TxD/P3.0 | 10 |
| | | RxD/P3.0 | 10 |

80C550

| | | | |
|----|------------|-----------|----|
| 49 | EA/VPP | AD0/P0.0 | 57 |
| 34 | X1A2 | AD1/P0.1 | 56 |
| 35 | X1A1 | AD2/P0.2 | 55 |
| 15 | RES | AD3/P0.3 | 54 |
| 48 | ALE/PROG | AD4/P0.4 | 53 |
| 47 | PSEN | AD5/P0.5 | 52 |
| 6 | EW | AD6/P0.6 | 51 |
| 7 | P4.0/CMSR0 | AD7/P0.7 | 50 |
| 8 | P4.1/CMSR1 | | |
| 9 | P4.2/CMSR2 | A8/P2.0 | 39 |
| 10 | P4.3/CMSR3 | A9/P2.1 | 40 |
| 11 | P4.4/CMSR4 | A10/P2.2 | 41 |
| 12 | P4.5/CMSR5 | A11/P2.3 | 42 |
| 13 | P4.6/CMSR6 | A12/P2.4 | 43 |
| 14 | P4.7/CMSR7 | A13/P2.5 | 44 |
| | | A14/P2.6 | 45 |
| | | A15/P2.7 | 46 |
| 1 | P5.0/ADCO | | |
| 68 | P5.1/ADC1 | CT0/P1.0 | 16 |
| 67 | P5.2/ADC2 | CT1/P1.1 | 17 |
| 66 | P5.3/ADC3 | CT2/P1.2 | 18 |
| 65 | P5.4/ADC4 | CT3/P1.3 | 19 |
| 64 | P5.5/ADC5 | T2/P1.4 | 20 |
| 63 | P5.6/ADC6 | RZ2/P1.6 | 21 |
| 62 | P5.7/ADC7 | SCL/P1.6 | 22 |
| | | SDA/P1.7 | 23 |
| 61 | AVDD | | |
| 60 | AVSS | | |
| 59 | AVREF+ | RxD/P3.0 | 24 |
| 58 | AVREF- | TxD/P3.1 | 25 |
| | | INT0/P3.2 | 26 |
| 3 | STADC | INT1/P3.3 | 27 |
| | | T0/P3.4 | 28 |
| 4 | PWM0 | T1/P3.5 | 29 |
| | | WR/P3.6 | 30 |
| 5 | PWM1 | RD/P3.7 | 31 |

80C552

83C552

Procesor 83C552 jest rozbudowaną wersją procesora 80C51 o następujących możliwościach:

- 8KB pamięci ROM,
- 256 bajtów wewnętrznej pamięci RAM,
- pięć portów we-wy i jeden port we, wszystkie 8-bitowe,
- 10-bitowy, osmiokanałowy przetwornik analogowo-cyfrowy z multipleksowanymi wejściami,
- cztery liczniki/timery, w tym jeden watchdog, oraz układ timera T2 sprzężonego z rejestrami porównującymi i rejestrami przechwytyjącymi zawartość T2 po spełnieniu określonych warunków,
- dwa wyjścia sygnału cyfrowego o modulowanej szerokości impulsu,
- w pełni duplexowy układ transmisji szeregowej UART,
- sześć 8-bitowych portów we-wy,
- częstotliwość zegara do 30MHz.

Procesor ten umieszczono w 68-nóżkowej obudowie PLCC (wersja A) lub 80-nóżkowej obudowie PQFP (wersja B). Asembler i kod maszynowy 83C552 jest identyczny jak 80C51. Wersję bez pamięci ROM oznaczono 80C552, zaś z pamięcią EPROM 87C552.

83CE558

Mikroprocesor 83CE558 ma następujące właściwości:

- zestaw rozkazów procesora 80C51,
- 32K wewnętrznej pamięci programu, z czego 83C558 ma pamięć typu ROM, 80CE558 nie ma żadnej

pamięci, zaś 89CE558 posiada pamięć typu FEEPROM (ang. Flash EEPROM) i 1K pamięci ROM, w której zawarto procedury obsługi pamięci FEEPROM,

- 1024 bajty pamięci RAM, rozszerzalne zewnętrznie do 64K,
- zabezpieczenie przed skopiowaniem kodu maszynowego programu,
- programowe zablokowanie występowania sygnału ALE,
- układ alternatywnego programowanego oscylatora pętli PLL,
- dwa wyjścia sygnału cyfrowego o modulowanej szerokości impulsu,
- cztery timery/liczniki o własnościach jak w procesorze 83C552,
- 10-bitowy przetwornik analogowo-cyfrowy o ośmiu multipleksowanych wejściach,
- pięć portów we-wy oraz jeden port wejściowy dzielący swoje linie z wejściami analogowymi przetwornika A/C,
- 15 źródeł dwupoziomowego priorytetowego układu przerw, w tym do sześciu źródeł zewnętrznych,
- dwa interfejsy szeregowy : UART i I2C,
- układowa redukcja emisji promieniowania elektromagnetycznego przez strukturę procesora.

| | | | |
|----|------------|----------------|----|
| 65 | EA | AD0/P0.0 | 75 |
| 51 | X1A2 | AD1/P0.1 | 74 |
| 52 | X1A1 | AD2/P0.2 | 73 |
| 78 | X1A3 | AD3/P0.3 | 72 |
| 79 | X1A4 | AD4/P0.4 | 71 |
| 80 | SELX1A1 | AD5/P0.5 | 70 |
| 64 | ALEWE | AD6/P0.6 | 69 |
| 19 | P4.0/CMSR0 | AD7/P0.7 | 68 |
| 20 | P4.1/CMSR1 | | |
| 21 | P4.2/CMSR2 | A8/P2.0 | 56 |
| 22 | P4.3/CMSR3 | A9/P2.1 | 56 |
| 24 | P4.4/CMSR4 | A10/P2.2 | 57 |
| 25 | P4.5/CMSR5 | A11/P2.3 | 58 |
| 26 | P4.6/CMT0 | A12/P2.4 | 59 |
| 27 | P4.7/CMT1 | A13/P2.5 | 60 |
| | | A14/P2.6 | 61 |
| | | A15/P2.7 | 62 |
| 12 | P5.0/ADCO | | |
| 11 | P5.1/ADC1 | | |
| 10 | P5.2/ADC2 | INT2/CT10/P1.0 | 31 |
| 9 | P5.3/ADC3 | INT3/CT11/P1.1 | 32 |
| 8 | P5.4/ADC4 | INT4/CT20/P1.2 | 33 |
| 7 | P5.5/ADC5 | INT5/CT30/P1.3 | 34 |
| 6 | P5.6/ADC6 | T2/P1.4 | 35 |
| 5 | P5.7/ADC7 | RT2/P1.5 | 36 |
| 63 | PSEN | P1.6 | 37 |
| 4 | AVDD1 | P1.7 | 38 |
| 3 | AVSS1 | SCL | 39 |
| 2 | AVREF+ | SDA | 40 |
| 1 | AVREF- | | |
| 15 | ADEXS | DATA/RxD/P3.0 | 41 |
| 16 | PWM0 | CLOCK/TxD/P3.1 | 42 |
| 17 | PWM1 | INT0/P3.2 | 43 |
| 18 | EW | INT1/P3.3 | 44 |
| 30 | RSTIN | T0/P3.4 | 45 |
| 23 | RSTOUT | T1/P3.5 | 46 |
| 76 | AVDD2 | WR/P3.6 | 47 |
| 77 | AVSS2 | RD/P3.7 | 48 |

80CE558

83C562

Procesor 83C562 jest podobny do 80C51, natomiast jest niemal identyczny jak 83C552, pominiawszy interfejs I2C. Tutaj przetwornik a-

| | | | |
|----|------------|-----------|----|
| 49 | EA/VPP | AD0/P0.0 | 57 |
| 34 | XTAL2 | AD1/P0.1 | 56 |
| 35 | XTAL1 | AD2/P0.2 | 55 |
| 15 | RST | AD3/P0.3 | 54 |
| 48 | ALE/PROG | AD4/P0.4 | 53 |
| 47 | PSEN | AD5/P0.5 | 52 |
| 6 | EW | AD6/P0.6 | 51 |
| 7 | P4.0/CMSR0 | AD7/P0.7 | 50 |
| 9 | P4.1/CMSR1 | | |
| 10 | P4.2/CMSR2 | A8/P2.0 | 39 |
| 11 | P4.3/CMSR3 | A9/P2.1 | 40 |
| 12 | P4.4/CMSR4 | A10/P2.2 | 41 |
| 13 | P4.5/CMSR5 | A11/P2.3 | 42 |
| 14 | P4.6/CMSR6 | A12/P2.4 | 43 |
| | P4.7/CMSR7 | A13/P2.5 | 44 |
| | | A14/P2.6 | 45 |
| | | A15/P2.7 | 46 |
| 66 | P5.0/ADC0 | | |
| 67 | P5.1/ADC1 | CT0/P1.0 | 16 |
| 68 | P5.2/ADC2 | CT1/P1.1 | 17 |
| 69 | P5.3/ADC3 | CT2/P1.2 | 18 |
| 64 | P5.4/ADC4 | CT3/P1.3 | 19 |
| 63 | P5.5/ADC5 | TZ/P1.4 | 20 |
| 62 | P5.6/ADC6 | RZ2/P1.5 | 21 |
| | P5.7/ADC7 | SCU/P1.6 | 22 |
| | | SDA/P1.7 | 23 |
| 61 | AVDD | | |
| 60 | AVSS | RXD/P3.0 | 24 |
| 59 | AVREF+ | TXD/P3.1 | 25 |
| 58 | AVREF- | INT0/P3.2 | 26 |
| 3 | STADC | INT1/P3.3 | 27 |
| | | INT0/P3.4 | 28 |
| 4 | PWM0 | PI/P3.5 | 29 |
| | | WR/P3.6 | 30 |
| 5 | PWM1 | RD/P3.7 | 31 |

80C562

analogowo-cyfrowy daje 10 bitów informacji.

Według znanego już kanonu, odmiana bez ROM to 80C562, ale odmiana z pamięcią EPROM nie jest produkowana. Do uruchomień i prototypów zaleca się stosowanie jako zamiennika mikroprocesora 87C552.

83C575

Procesor 83C575 jest przybliżonym klonem 80C51, zawierającym w swej strukturze bardzo podobnie działające układy:

- 8K pamięci programu,
- 256 bajtów RAM,
- trzy 16-bitowe timery,
- programowana struktura liczniko-

| | | | |
|----|-----------------|---------------|----|
| 31 | EA/VPP | AD0/P0.0 | 39 |
| 19 | XTAL1 | AD1/P0.1 | 38 |
| | | AD2/P0.2 | 37 |
| | | AD3/P0.3 | 36 |
| 18 | XTAL2 | AD4/P0.4 | 35 |
| | | AD5/P0.5 | 34 |
| | | AD6/P0.6 | 33 |
| | | AD7/P0.7 | 32 |
| 1 | P1.0/T2CMP0+ | A8/P2.0 | 21 |
| 2 | P1.1/T2EX/CMP0- | A9/P2.1 | 22 |
| 3 | P1.2/ECI | A10/P2.2 | 23 |
| 4 | P1.3/CMP0/CEX0 | A11/P2.3 | 24 |
| 5 | P1.4/CMP1/CEX1 | A12/P2.4 | 25 |
| 6 | P1.5/CMP2/CEX2 | A13/P2.5 | 26 |
| 7 | P1.6/CMP3/CEX3 | A14/P2.6 | 27 |
| 8 | P1.7/CEX4 | A15/P2.7 | 28 |
| 29 | PSEN | RXD/P3.0 | 10 |
| 30 | ALE/PROG | TXD/P3.1 | 11 |
| 9 | RST | INT0/P3.2 | 12 |
| | | INT1/P3.3 | 13 |
| | | CMP1+/T1/P3.4 | 14 |
| | | CMP1-/T1/P3.5 | 15 |
| | | CMP2+/WR/P3.6 | 16 |
| | | CMP2-/WR/P3.7 | 17 |

80C575

wa PCA, zawierająca licznik z pięcioma rejestrkami porównującymi, pracująca w czterech trybach pracy,

- watchdog-timer,
- generator detekcji błędu,
- układ transmisji szeregowej UART o rozbudowanych możliwościach,
- znacznik włączenia zasilania,
- układ detekcji niskiego napięcia zasilania,
- cztery analogowe komparatory,
- cztery 8-bitowe porty we-wy,
- tryb zredukowanej emisji promieniowania elektromagnetycznego,
- obudowy: 40-nóżkowa DIP, 44-nóżkowa PLCC albo 44-nóżkowa QFP.

Odmiana z pamięcią EPROM, 87C575, może być wykonywana z okienkiem do kasowania lub bez, jeżeli jest przeznaczona do jednokrotnego programowania.

83CL580

83CL580 należy do grupy procesorów o małym poborze mocy. Oto jego możliwości:

- jednostka centralna wzięta z 80C51,
- 6K pamięci ROM, rozszerzalnej do 64K,
- 256 bajtów pamięci RAM, rozszerzalnej do 64K, co z pamięcią programu daje 128K,
- pięć 8-bitowych portów we-wy,
- trzy 16-bitowe timery/liczniki,
- dwupoziomowy priorytetowy system przerwań od 15 źródeł, w tym ośmiu dodatkowych przerwań zewnętrznych,
- standardowy UART i interfejs I2C,
- czterewyjściowy, 8-bitowy przetwornik analogowo-cyfrowy,
- wyjście sygnału cyfrowego o modulowanej szerokości impulsu,
- watchdog-timer,
- cztery banki rejestrów,
- napięcie zasilania może wahać się w granicach od 2,5V do 6V,
- generator zegarowy przystosowany do układu RC, LC, rezonatora kwarcowego, rezonatora ceramicznego,
- niski pobór prądu: typowo 6mA przy 3,5V napięcia zasilania i częstotliwości zegara 3,5MHz.
- obudowy nietypowe: rzędowa, 56-nóżkowa VSO56 lub 64-nóżkowa QFP.

87C592

Procesor 87C592 jest funkcjonalnie zgodny z 80C51, posiada dodatkowo układu interfejsu CAN (ang. Control Area Network), a ponadto:

- 16K pamięci programu EPROM,

- pamięć RAM rozszerzona do 512 bajtów,
- dodatkowy 16-bitowy timer/licznik sprzężony z trzema rejestrkami porównującymi i czterema rejestrkami przechwytyjącymi aktualną wartość licznika,
- watchdog timer,
- 10-bitowy przetwornik analogowo-cyfrowy o ośmiu multipleksowanych wejściach,
- dwa wyjścia sygnału cyfrowego o modulowanej z 8-bitową rozdzielczością szerokości impulsu,
- pięć portów we-wy i szósty tylko wejściowy, dzielący swoje linie z wejściami przetwornika A/C,
- układ DMA przesyłający dane bezpośrednio z RAM do interfejsu CAN.

Struktura procesora jest zamykana w 68-nóżkowej obudowie PLCC z okienkiem lub do jednokrotnego programowania OTP (ang. one-time programmed).

83C652

Ten procesor stanowi sobą 80C51 wzbogacony o:

- rozszerzenie pamięci programu do 8K ROM,
- 256 bajtów RAM,
- układ transmisji szeregowej I2C,
- zabezpieczenie pamięci programu przed skopiowaniem.

Oznakowanie procesora bez ROM i z pamięcią EPROM - według klucza

83C654

83C654 ma rozszerzoną w stosunku do 83C652 pamięć programu (do 16K). Poza tym niczym innym nie wyróżnia się. Produkowana jest wersją oznaczoną jako 83CE654, charakteryzująca się obniżonym poziomem promieniowania elektromagnetycznego.

87C750

87C750 jest produkowany tylko w odmianie z pamięcią EPROM i jest okrojona wersją swego pro-

| | | | |
|----|--------------|-------------|----|
| 11 | X1 | ASEL/P0.0 | 8 |
| | | CE/PGM/P0.1 | 7 |
| | | VPP/P0.2 | 6 |
| | | | |
| | | A8/A0/P3.0 | 5 |
| 10 | X2 | A9/A1/P3.1 | 4 |
| | | A10/A2/P3.2 | 3 |
| 9 | RST | A3/P3.3 | 2 |
| | | A4/P3.4 | 1 |
| 13 | P1.0/D0 | A5/P3.5 | 23 |
| 14 | P1.1/D1 | A6/P3.6 | 22 |
| 15 | P1.2/D2 | A7/P3.7 | 21 |
| 16 | P1.3/D3 | | |
| 17 | P1.4/D4 | | |
| 18 | P1.5/INT0/D5 | | |
| 19 | P1.6/INT1/D6 | | |
| 20 | P1.7/INT0/D7 | | |

83C750

toplasty 87C51. Ma on:

- 1K EPROM,
- 64 bity RAM,
- jeden timer/licznik,
- uproszczony system przerwań z ustalonym sprzętowo ich priorytetem,
- brak możliwości adresowania pamięci zewnętrznej, port 2 nie istnieje, zaś port 0 został ograniczony do trzech linii,
- zabezpieczenie pamięci EPROM przed skopiowaniem programu,
- 24-nóżkowa obudowa DIP lub 28-nóżkowa PLCC.

83C751

87C751 jest uproszczoną wersją procesora 80C51 umieszczoną w 24-nóżkowej obudowie DIP o wąskim rozstawie nóżek (0.3") lub w 28-nóżkowej obudowie PLCC. Posiada on:

- 2K pamięci ROM,
- 64 bajty RAM,
- układ transmisji szeregowej I2C,
- 19 linii we-wy,
- jednopoziomowy układ przerwań,
- jeden 16-bitowy licznik/timer z możliwością samoładowania,
- brak bezpośredniej możliwości rozszerzenia pamięci w oparciu o pamięć zewnętrzną. Pośrednio można to uczynić poprzez interfejs I2C, ale tylko z pamięciami posiadającymi takie łącze.

Siłą rzeczy nie występują takie sygnały zewnętrzne, jak: WR#, RD#, PSEN#, EA# oraz ALE#. Instrukcje odwołujące się do pamięci zewnętrznej w rodzaju LJMP, LCALL i MOVX są wykonywane jak rozkaz

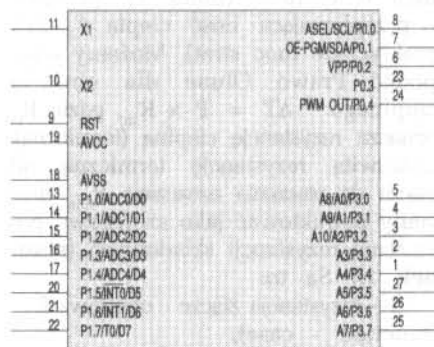
NOP. Lista rozkazów jest identyczna jak lista 80C51, z uwzględnieniem powyższych uwag.

83C752

Procesor 83C752, w 28-nóżkowej obudowie DIP lub PLCC, zalecany jest w aplikacjach w technice samochodowej, urządzeniach elektromechanicznych i powszechnego użytku. W jego strukturze zaimplementowano większość funkcji 80C51, jednak z pewnymi różnicami:

- 2K pamięci ROM,
- 64 bajty RAM,
- jednopoziomowy układ przerwań,
- jeden 16-bitowy licznik/timer z automatycznym przeładowaniem,
- dwa 8-bitowe i jeden 5-bitowy dwukierunkowe porty we-wy,
- interfejs I2C,
- wyjście sygnału cyfrowego modulowanego szerokością impulsu z 8-bitową rozdzielczością,
- pięciokanałowy 8-bitowy przetwornik A/C.

Podobnie jak w 83C751, nie ma możliwości dołączenia pamięci zew-



83C752

nętrnej. Produkowane są wersje z pamięcią ROM (83C752) lub EPROM (87C752).

80CL782

POdobnie jak poprzednie mikroprocesory, posiadające w oznaczeniu litery „CL“, także i ten odznacza się obniżonym poborem mocy. Oto jego cechy:

- jednostka centralna wzięta z 80C51,
- 16K pamięci programu ROM, z możliwością rozszerzenia do 64K,
- 256 bajtów RAM, z możliwością rozszerzenia do 64K jako pamięci zewnętrznej,
- cztery 8-bitowe porty we-wy lub 32 niezależne linie we-wy,
- trzy 16-bitowe timery/liczniki,
- niezależna przestrzeń adresowa pamięci ROM i RAM, czyli łącznie możliwość adresowania 128K,
- generator zegarowy sterowany układem RC, LC, rezonatorem kwarcowym lub piezoelektrycznym.

83C851

Procesor 83C851 zawiera wydzieloną elektrycznie kasowalną pamięć EEPROM i to go odróżnia od 80C51. Standardowo posiada on:

- 256 bajtów pamięci EEPROM,
- tryb ochrony zawartości pamięci EEPROM,
- zabezpieczenie kodu w pamięci ROM przed odczytem.

W typoszeregu występuje tylko odmiana z pamięcią programu ROM.

Mirosław Lach