Karta diagnostyczna do PC

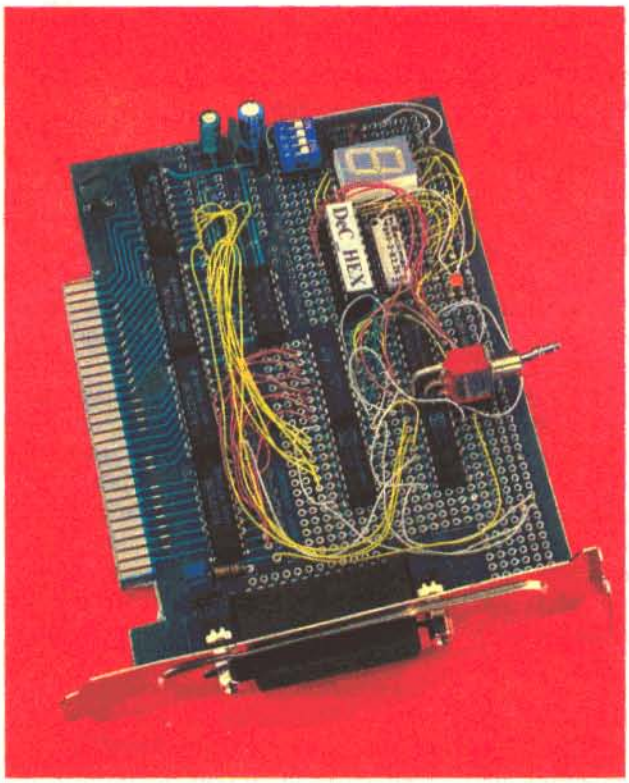
pierwsza aplikacja kitu AVT-114

kit AVT-114/1

Wszyscy zdajemy sobie sprawę z ogromnego znaczenia poprawnej pracy komputerów, które są obecne w prawie każdej dziedzinie naszego życia.

Opis karty testowej do komputera klasy PC był przedstawiony jakiś czas temu w jednym z niemieckich wydań „Elektora".

Postanowiliśmy opracować nieco łatwiejszą w wykonaniu i w pełni udokumentowaną wersję, wykonaną w oparciu o kartę prototypową (kit AVT-114) do komputera PC. Dzięki takiemu rozwiązaniu koszt karty jest stosunkowo niski, a zawarty w dalszej części artykułu dokładny opis znaczenia poszczególnych punktów kontrolnych ułatwia diagnostykę komputera.



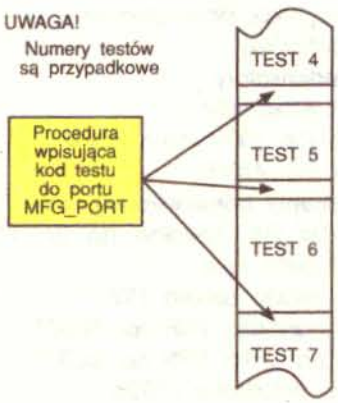
Ogromną zaletą testowania „sprzętowego" jest uniezależnienie efektywności testowania od oprogramowania (np. typu CheckIt, ProfSysInfo, PCTools, itp.). W wielu wypadkach zastosowanie jakiegokolwiek programu byłoby niemożliwe - np. w przypadku awarii procesora klawiatury, kontrolera dysków, pamięci RAM - zastosowanie karty diagnostycznej likwiduje te ograniczenia. Wynika to z faktu, iż wszystkie wymienione w dalszej części artykułu testy odbywają się poza kontrolą systemu operacyjnego - przed jego zainstalowaniem się w systemie.

Opis punktów kontrolnych opracowano na podstawie „IBM PC/AT - Manual Reference" oraz dokumentacji technicznej płyt: SAP386 wyposażonej w BIOS firmy AMI, ET227 - BIOS firmy AWARD, Headland286 - BIOS firmy Phoenix.

Na wstępie chcielibyśmy przedstawić sposób w jaki wykonywana jest większość testów POST (ang. Power On Self Test) - w analizie pomocny będzie **list. 1** oraz **rys. 1.**

Każdy z testów rozpoczyna się wpisaniem do akumulatora (dokładniej na młodsze osiem bitów akumulatora AX, oznaczane jako AL) liczby, zapisanej w kodzie szesnastkowym, określającej dwupozycyjny numer wykonywanego testu.

Następnie zawartość AL zostaje przepisana do portu wyjściowego o adresie 80H (oznaczony przez IBM jako MFG_PORT). Tak więc numer wykonywanego testu jest wpisywany do portu przed rozpoczęciem właściwej procedury testującej. Dzięki takiemu rozwiązaniu łatwo jest ustalić, który w kolejności test spo-



Rys. 1. Sposób wykonywania procedur testujących

```
; Przyblizony ksztalt procedur testowych wchodzacych w sklad POST.

; ********  Poczatek procedury testujacej ************************

          MOV AL, Nr_Proc_Tst    ; do AL wpisana zostaje flaga testu
          OUT MFG_PORT, AL       ; wpis flagi do portu #80

; ******************************
; *      Rozkazy tworzace      *
; *         procedure          *
; *          testowa           *
; ******************************

          JMP Test_2             ; skok do nastepnej procedury testowej
          HLT                              ; zatrzymanie systemu

; ************************************************************

Test_2    MOV AL, Nr_Proc_Tst    ; wpis do AL flagi nowego testu
          OUT MFG_PORT, AL       ; wyslanie nowej flagi do portu #80

; ******************************
; *      Kolejna procedura     *
; *          testowa           *
; ******************************

          JZ Test_3              ; wyjscie z procedury moze byc warunkowe!
          HLT

; ************************************************************

Test_3    MOV AL, Nr_Proc_Tst

; i.t.d.

; Nalezy pamietac iz dopuszczalne jest wykonywanie skokow i odwolan do
; dodatkowych procedur przez procedury testowe aktualnie wykonywane.
```

List. 1.

wodował błędną pracę lub zawieszenie komputera.

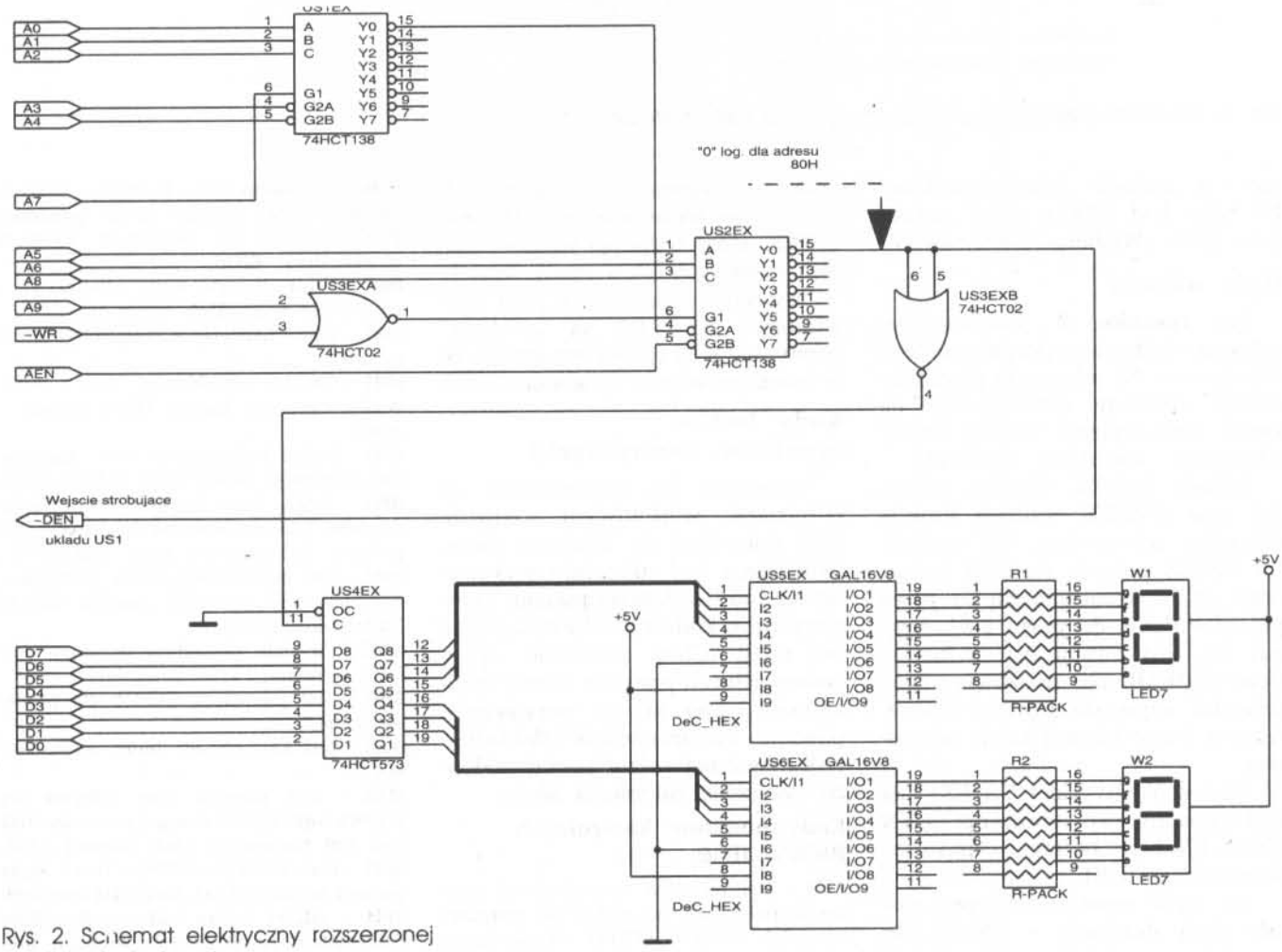
Niektóre z punktów kontrolnych służą nie tylko jako wskaźniki rozpoczynających się testów, ale także do zasygnalizowania początku lub poprawnego przejścia fragmentu procedury np. inicjującej pracę kontrolera FDD lub HDD, czy też sterownika karty graficznej.

Kod (numer) bieżącego testu jest wyświetlany na wyświetlaczach siedmiosegmentowych LED.

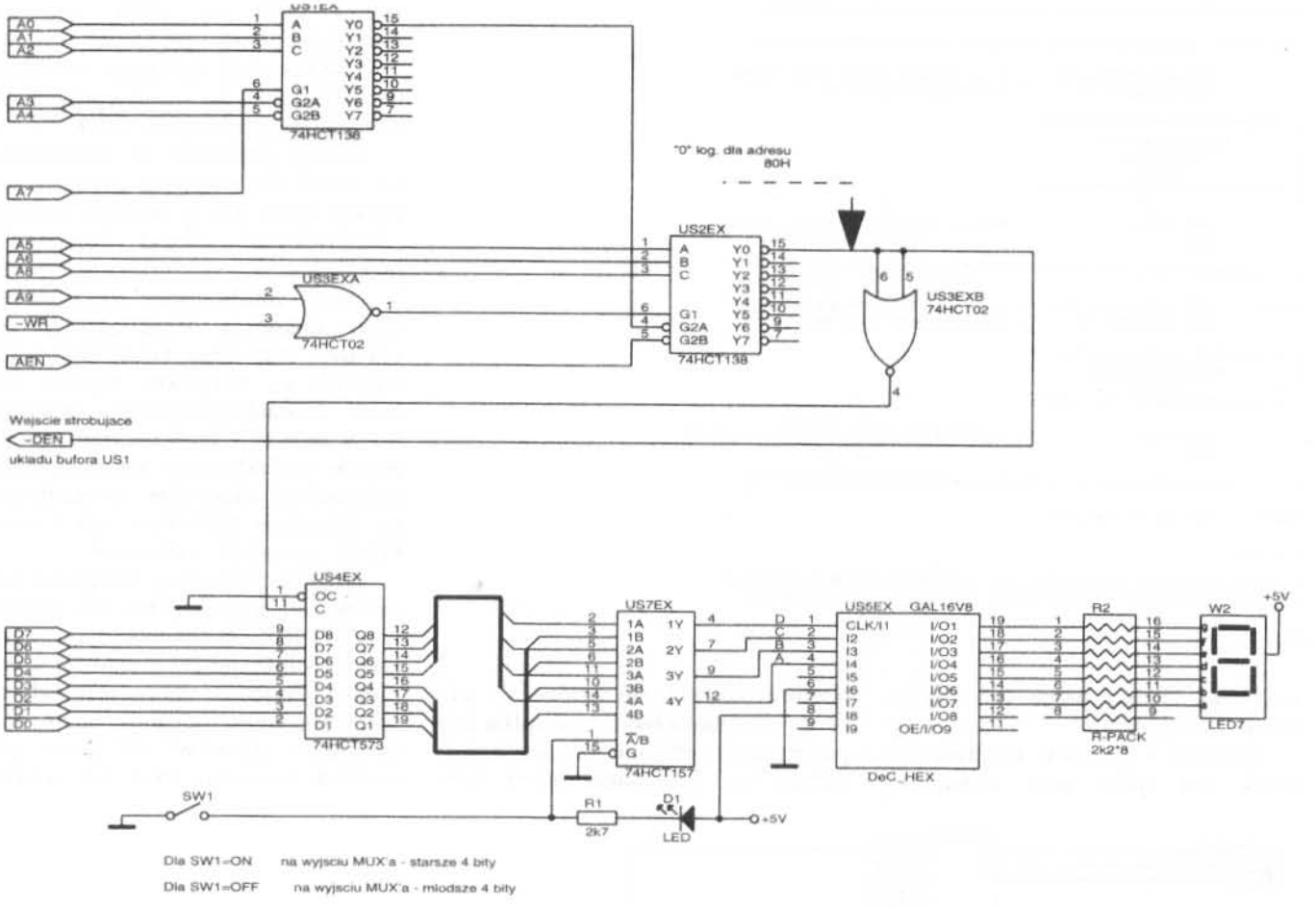
Należy pamiętać, iż wyświetlane znaki nie stanowią numeru kolejnego testu, ale są swojego rodzaju „nagłówkiem" (flagą) konkretnej procedury.

Dzięki zastosowaniu specjalizowanego dekodera (wykonanego na układzie PLD typu GAL16V8) wyświetlane są wszystkie, typowe dla kodu heksadecymalnego, wartości 0 - 9 oraz A - F. Rozwiązanie takie zostało podyktowane zarówno trudnościami ze zdobyciem standardowego dekodera NKB/Hex, jak i ceną takich gotowych rozwiązań.

Program procedury testującej jest zależny od funkcji przez nią realizowanej i jest dostosowane do konkretnej konfiguracji sprzętowej komputera. Ponadto, sporą rolę odgrywa konieczność omijania przez producentów „klonów" PC praw autorskich koncernu IBM. Jak wiado-



Rys. 2. Schemat elektryczny rozszerzonej wersji karty testowej



Rys. 3. Schemat elektryczny podstawowej wersji karty testowej

mo - z „całości" komputera klasy PC tylko kod BIOS'a został zastrzeżony przez „Wielkiego Niebieskiego".

Opis układu

Na **rysunku 2** przedstawiono schemat elektryczny proponowanego rozwiązania. Na schemacie pominięte zostały elementy zamontowane na karcie prototypowej (bufory szyny adresowej, sterującej i danych).

Układy US1EX, US2EX, US3EXA oraz US3EXB realizują funkcję dekodera adresowego. Na wyjściu Y0 US2EX pojawia się stan logicznego „0" w momencie zapisu przez procesor danej do portu 80H. Sygnał ten jest odwracany w inwerterze US3EXB, co umożliwia bezpośredni zapis do rejestru US4EX danej z 8-mio bitowej szyny adresowej.

Sygnał Y0 (wyjście US2EX) jest wykorzystany jako sterowanie ~DEN (Data ENable) bufora wejściowo-wyjściowego US1.

Do wyjść rejestru dołączone zostały dwa dekodery - US5EX do starszych czterech bitów szyny danych (wskazuje wartość 16*[wartość odczytana na wyświetlaczu W1]) oraz US6EX, który wskazuje wartość czterech młodszych bitów szyny danych.

Rezystory ograniczające prąd wyświetlacza R1 i R2 są „scalone" w tzw. R-Pack'i (po osiem sztuk), co w znacznym stopniu upraszcza montaż.

Kody testów (punktów kontrolnych)

Wcześniej już wspomniano, że w rejestrze wyjściowym o adresie 80H pojawiają się 8-bitowe dane, określające kod aktualnie wykonywanego testu. Poniżej podano skrócony opis kodów i odpowiadające im testy. Choć dokładne opisy poszczególnych procedur zostały uproszczone, mimo to ich przeznaczenie powinno być zrozumiałe i dokładnie wskazywać najbardziej prawdopodobną przyczynę zaistnienia błędu.

Kody punktów kontrolnych BIOS'u IBM:

01H - test rejestrów wewnętrznych procesora polegający, na zapisie na przemian wartości 0000H i FFFFH i kontrolnym odczycie rejestrów;

02H -weryfikacja sumy kontrolnej obszaru pamięci ROM zajętego przez procedury POST, BASIC (w nowszych wersjach nieaktualne), BIOS;

04H - test timer'a 8253 (Timer 1) - ustawianie wszystkich bitów na „1";

05H - j.w. - ustawianie wszystkich bitów na „0"

06H - DMA0 Initialization Test - testowanie zerowego kanału DMA (odczyt - zapis);

07H - DMA1 Initialization Test - testowanie pierwszego kanału DMA (odczyt-zapis);

08H - DMA Page Register Test - wpisywanie i odczyt wzorów binarnych (bit pattern) do rejestrów stron DMA;

09H - test minimalnego czasu podtrzymania zawartości komórek pamięci DRAM (układ odświeżania);

0AH - wejście procedury gorącego restartu systemu;

0BH - test procedury RESET dla procesora 8042;

0CH - test kontrolujący bufor wyjściowy 8042;

0DH - test pamięci (test odbywa się poprzez zapis bajtu zerowego) procesora 8042 oraz test pierwszych 64kB pamięci RAM;

0EH - Base 64kB Read/Write Test - zapis pamięci wzorami AAH, 55H, 01H oraz 00H;

0FH - odczyt bufora mikroprzełączników (DIP-switch) (w nowszych wersjach nieaktualne);

11H - inicjalizacja licznika wierszy ekranu (synchronizacja Video);
12H - testowanie rejestrów procesora pracującego w trybie chronionym;
13H - inicjalizacja kontrolera przerwań 8259 (#2);
14H - Setup the Interrupt Vectors - test obszaru pamięci RAM, w którym znajduje się tablica wektorów przerwań;
15H - załadowanie do pamięci RAM adresów procedur obsługi przerwań programowych zawartych w BIOS;
16H - Verify CMOS Battery Good - kontrola zasilania pamięci CMOS zawierającej konfigurację systemu;
17H - ustawienie flagi sygnalizującej awarię zasilania pamięci CMOS;
18H - Disable IO/RAM Parity Check - blokada kontroli parzystości pamięci CMOS;
1BH - kontrola rozmiaru i testowanie pamięci RAM (do 512kB);
1CH - j.w. ale dla adresów 512-640kB;
1DH - kontrola i testowanie pamięci powyżej 1MB - procedura wykonywana w trybie chronionym procesora;
1EH - zapis rozmiaru pamięci RAM do pamięci CMOS;
1FH - testowanie linii adresowych A19..A23
20H - test procedury zapewniającej poprawne obsłużenie przerwania „Power Good" (awaria zasilacza - w nowszych BIOS'ach nieaktualne!);
22H - kontrola układu CRT (sygnały synchronizacji, zapis rejestrów układu Video);
23H - kontrola obecności rozszerzonej karty Video (EGA, VGA);
24H - testy rejestrów maski przerwań układu 8259;

Kolejne punkty kontrolne będą dotyczyć testu rozszerzonego (ang. Enhanced Test):

25H, 26H, 27H, 28H, 29H - pełny test kontrolera przerwań 8259;
2AH, 2BH, 2CH, 2DH - kontrola poprawności i szybkości pracy timer'a systemowego T0 8253;
2FH,30H, 33H, 34H - dodatkowy test zapis/odczyt przeprowadzony w trybie chronionym procesora;
31H - kontynuacja testu 2FH - test linii adresowych A16 - A23;
35H, 36H, 37H, 38H, 39H, 3AH - test klawiatury (kontrola szybkości transmisji, test bufora klawiatury, test dołączenia klawiatury);
3BH - kontrola zainstalowania w systemie dodatkowej pamięci ROM (adresy C800H-E000H);
3CH - test dołączenia stacji dysków „A", jej typu i poprawności inicjalizacji kontrolera dysków FDC;
3DH - test dołączenia stacji dysków „B" do kontrolera;
3EH - test HDD (parametry dysku odczytane są z pamięci CMOS);
3FH - test portu drukarki 31FH;
40H - testowanie pracy koprocesora 80287 (jeżeli jest w systemie);
41H - kontrola sumy kontrolnej pamięci Bios-ROM, przy założeniu, że:
- pierwsze słowo (16 bitów) ma wartość AA55H;
- ostatni bajt stanowi sumę kontrolną bloku pamięci;

42H - wyjście do procedur początkujących ładowanie systemu (możliwe, jeżeli test 41H wypadł poprawnie);
43H - ostatni test przed wywołaniem przerwania INT19H (skok do BOOT LOADER'a) - wszystkie poprzednie wypadły pozytywnie.
44H - próba załadowania DOS'u z twardego dysku;
45H - brak stacji dysków „A" lub HDD „C" - skok do BASIC'a (nie występuje w nowszych wersjach BIOS'a);
82H - zezwolenie na pracę wirtualną;
90H - B6H - EXEC_00 do EXEC_31 oraz SYS_32 do SYS_38 - oznaczenia procedur wchodzących w skład każdego z testów pamięci; są one wywoływane z poziomu testu głównego i po poprawnym ich zakończeniu do portu MFG_PORT wpisywany jest kod procedury wywołującej;
DDH - wysłanie kodu (HEX) błędu do portu MFG_PORT;
F0H - ustawienie segmentu danych;
F1H - test procedury obsługi przerwania INT32;

Kody punktów kontrolnych AMI Plus BIOS'u:

01H - testy rejestrów procesora (wejście procedury testującej);
02H - j.w. - (wyjście procedury testującej);
03H - test sumy kontrolnej pamięci ROM;
04H - kontrola poprawnej inicjalizacji kontrolera 8259;
06H - blokada karty Video, test timera referencyjnego układów synchronizujących wyświetlanie;
07H - test kanału #2 timera 8253;
08H - test #2 kanału licznika systemowego;
09H - j.w. - dla #1 kanału;
0AH - j.w. - dla kanału o numerze #0;
0BH - kasowanie wskaźnika błędu parzystości pamięci RAM;
0CH - test systemu odświeżania oraz timerów odniesienia dla pamięci RAM;
0DH - test maksymalnego okresu odświeżania pamięci RAM;
0EH - kontrola czasu pomiędzy kolejnymi cyklami odświeżania (refresh;)
10H - początek testu 64kB RAM;
11H - test linii adresowych;
12H - poprawne zakończenie testu pamięci;
13H - inicjalizacja wektorów przerwań systemowych;
14H - test procesora klawiatury 8042;
15H - test pamięci CMOS (zapis-odczyt);
16H - test sumy kontrolnej i zasilania pamięci CMOS;
17H - próba ustawienia trybu graficznego mono (MDA);
18H - próba ustawienia trybu graficznego kolor (CGA);
19H - test obecności rozszerzonych sterowników graficznych (EGA, VGA);
1AH - test sumy kontrolnej BIOS'u rozszerzonej karty graficznej (jeżeli jest obecna w systemie);
1BH - kontrola (zapis-odczyt) pamięci Video;
1CH - kontrola (zapis-odczyt) pamięci Video alternatywnego sterownika graficznego;
1EH - inicjacja rejestrów karty Video;
1FH - ustawianie trybu Video mono/color;
20H - test Video 1 (porty wejściowe i sterujące);
21H - test Video 2 (czasy trwania impulsów synchronizacji, odstępy między nimi, test pamięci Video);
30H - początek testu pamięci w trybie wirtualnym;
31H - test pamięci w trybie wirtualnym;
32H - ustawienie wirtualnego trybu dostępu do pamięci RAM;
33H, 34H, 35H - test linii adresowania pamięci;
36H - test rozmiaru pamięci RAM;
37H, 38H, 39H - inicjalizacja pamięci poniżej 1M;
3AH - wyświetlenie rozmiaru pamięci;
3BH - początek testu pamięci powyżej 1M;
3EH - początek procedury przełączania w tryb rzeczywisty procesora;
3FH - poprawne wyjście z procedury przełączającej;
40H - test blokowania linii adresowej A20;
42H - początek testu kontrolera DMA;
4EH - koniec testu linii adresowych;
4FH - praca procesora w trybie rzeczywistym (po przełączeniu z trybu chronionego);
50H - poprawny przebieg testu rejestru strony w kontrolerze DMA;
51H..53H - testy kontrolera DMA;
56H - poprawne zaprogramowanie sterowników DMA1 i DMA2;
57H - koniec inicjalizacji układu 8259;
58H - test rejestru maski 8259;
5AH - test timerów systemowych i przerwania klawiatury;
5BH - poprawne przerwanie od timera T0;
5CH - początek testu kontrolera klawiatury;
70H - test klawiatury;
74H..75H - test FDC i stacji dysków elastycznych („A" i „B");
76H..77H - test HDC i dysków twardych („C" .."F");
79H - inicjalizacja timerów;
7AH..7BH - kontrola napięcia zasilającego pamięć CMOS;
7DH - początek procedury diagnostycznej błędów wykrytych podczas testu pamięci;
7EH - weryfikacja informacji zapisanych w pamięci CMOS;
7FH - poszukiwanie rozszerzeń BIOS'a (Optional ROM) pod adresem C000:0000;
81H - test sumy kontrolnej rozszerzenia BIOS'u;
82H - inicjalizacja portów równoległych drukarki LPT1..3;
83H - test złączy RS232 (COM1 - COM3);
84H - test koprocesora matematycznego;
85H - procedura wyświetlania komunikatu o zaistniałym „miękkim" błędzie w czasie trwania jednego z testów;
86H - początek procedury inicjującej ładowanie systemu;

87H - test obecności pamięci ROM pod adresem E000:0000;
00H - zakończenie testów - start procedur systemowych.

Kody punktów kontrolnych AMI BIOS'u ver. 2.2X:

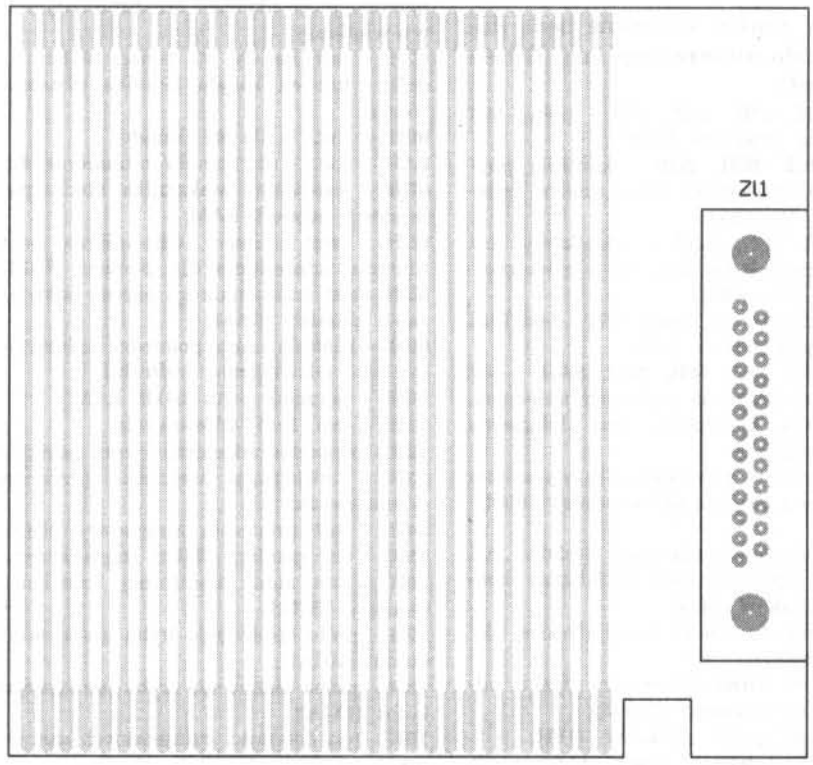
00H - kontrola rejestru flag procesora;
03H - test rejestrów procesora;
06H - inicjalizacja systemu (zimny restart);
09H - test sumy kontrolnej BIOS'u;
0CH - test rejestrów stron kanałów DMA;
0FH - test timera 8253;
12H - inicjalizacja odświeżania pamięci RAM;
15H - test kontrolera DMA 8237;
18H - inicjalizacja kontrolera DMA;
1BH - inicjalizacja kontrolera przerwań 8259;
1EH - test kontrolera przerwań;
21H - test procedur odświeżania pamięci RAM;
24H - test linii adresowych;
27H - test pamięci (pierwszych 64kB);
2AH - test procesora klawiatury 8042;
2DH - test układu 146818 (pamięć CMOS i zegar czasu rzeczywistego);
30H - test procesora pracującego w trybie chronionym;
33H - test wielkości pamięci RAM;
3CH - obliczanie szybkości procesora;
3FH - odczyt konfiguracji procesora 8042;
42H - inicjalizacja tablicy wektorów przerwań;
45H - weryfikacja konfiguracji systemu (porównanie z zawartością CMOS);
48H - test i incjalizacja kart Video;
51H - weryfikacja poprawności wykonania instrukcji LDT;
54H - weryfikacja poprawności wykonania instrukcji TR;
57H - weryfikacja poprawności wykonania instrukcji LSL;
5AH - weryfikacja poprawności wykonania instrukcji LAR;
5DH - weryfikacja poprawności wykonania instrukcji VERR;
60H - test linii adresowej A20;
69H - kontrola wszystkich linii adresowych;
6CH - kontrola całego obszaru pamięci RAM;
6FH - test pamięci „shadow RAM";
72H - test pamięci EMS;
75H - weryfikacja konfiguracji pamięci;
7EH - test zegara timera 8253;
81H - test zegara czasu rzeczywistego;
84H - test klawiatury (poprzez 8042);
87H - kontrola typu dołączonej klawiatury (84/101 lub 102 klawisze);
8DH - test rejestrów kontrolerów transmisji szeregowej (RS);
96H - test portów LPT;
99H - inicjalizacja obszaru BIOS'u;
9CH - test kontrolera FDC/HDD;
A2H - diagnostyka stacji dysków (weryfikacja typów);
A5H - poszukiwanie rozszerzeń BIOS'u (dodatkowych pamięci ROM;
A8H - test blokady klawiatury (Key Lock);
ABH - wyświetlenie komunikatu: „Press F1 to continue.." („miękki" błąd systemowy);
AEH - początek procedury inicjalizacyjnej;
B1H - początek ładowania - skok do obsługi przerwania INT19H.

Kody punktów kontrolnych dla Award BIOS'u ver 3.3X

01H-05H - testy procesora klawiatury 8042;
06H - testy układów LSI na płycie głównej;
07H - testy CPU;
08H-0EH - testy timera, kontrolera DMA, kontrolera przerwań oraz sum kontrolnych pamięci ROM;
10H-14H - testy kontrolera odświeżania pamięci RAM;
15H - test pierwszych 64kB pamięci RAM;
16H - inicjalizacja tablicy wektorów przerwań systemowych;
17H - inicjalizacja karty Video;
18H - test pamięci RAM na karcie Video;
19H-1AH - testy rejestrów maski przerwań;
1BH - test zasilania pamięci CMOS;
1CH - test sumy kontrolnej pamięci CMOS;
1DH - test układu MC146818 (zegar + pamięć CMOS);
1EH - test rozmiaru pamięci RAM;
1FH - test bufora pamięci (w 8042);
24H - test rozmiaru pamięci w trybie chronionym procesora;
25H - test pamięci podczas pracy procesora w trybie chronionym;
27H-28H - test pamięci Cache;
2AH - inicjalizacja klawiatury (dokładniej - procesora w bloku klawiatury);
2BH - incjalizacja kontrolera dysków FDC;
2CH - inicjalizacja portów szeregowych (COM1..2);
2DH - inicjalizacja portów równoległych (LPT1..2);
2EH - inicjalizacja sterownika twardego dysku HDD;
2FH - test koprocesora matematycznego;
FFH - rozpoczęcie procedury ładującj system

Kody punktów kontrolnych dla Phoenix286 BIOS

01H - test rejestrów procesora;
02H - test pamięci CMOS;
03H - weryfikacja sumy kontrolnej pamięci ROM;
04H - testy timerów systemowych;
05H - testy kontrolera DMA;
06H - testy rejestrów kontrolera DMA;
08H - test odświeżania pamięci RAM;
09H - test pierwszych 64kB pamięci RAM;
0AH - j.w. (zapis pamięci RAM wzorem motylkowym „butterfly");
0BH - test pierwszych 64kB RAM - kontrola bitów parzystych i nieparzystych;
0CH - test linii adresowych;
0DH - test bitu parzystości;
10H - test bitu D0 pamięci RAM;
11H - test bitu D1 pamięci RAM;
12H - test bitu D2 pamięci RAM;
13H - test bitu D3 pamięci RAM;
14H - test bitu D4 pamięci RAM;
15H - test bitu D5 pamięci RAM;
16H - test bitu D6 pamięci RAM;
17H - test bitu D7 pamięci RAM;
18H - test bitu D8 pamięci RAM;
19H - test bitu D9 pamięci RAM;



Rys. 4. Płytka przedłużająca

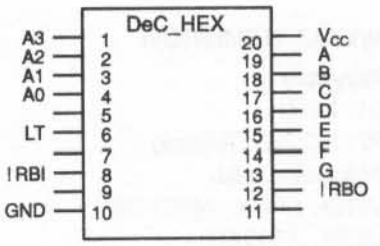
```
PARTNO US5EX;
NAME DeC_HEX;
REV 1.0;
DATE 12/10/93;
DESIGNER Piotr Zbysinski;
ASSEMBLY N/A;
LOCATION N/N;
DEVICE G16V8;

/* ********************************************** */
/* *                 LISTING 2                  * */
/* *                                            * */
/* * Dekoder kodu dwojkowego NKB na wyswietlacz * */
/* *          7 segm. HEX. (0-F)                * */
/* ********************************************** */

/*INPUTS*/

PIN [1..4] = [A3..A0];
PIN 6 = LT;  /* Lamp Test */
PIN 8 = !RBI;

/*OUTPUTS*/

PIN[13..19] = [G,F,E,D,C,B,A];
PIN 12 = !RBO;

/* DECLARATIONS AND INTERMEDIATE VARIABLE DEFINITIONS */

Field Dana = [A3..A0,LT,!RBI];
Field Segment = [A,B,C,D,E,F,G,!RBO];

/*LOGIC EQUATIONS*/

Table Dana => Segment {

/*  Wejscia      Wyjscia segmentowe              */
/*  ------------------------------               */
/*  AAAALR          ABCDEFGR                     */
/*  3210TB             B                         */
/*       I             O                         */

  'b'000001    =>  'b'00000011; /* 0             */
  'b'00010X    =>  'b'10011111; /* 1             */
  'b'00100X    =>  'b'00100101; /* 2             */
  'b'00110X    =>  'b'00001101; /* 3             */
  'b'01000X    =>  'b'10011001; /* 4             */
  'b'01010X    =>  'b'01001001; /* 5             */
  'b'01100X    =>  'b'01000001; /* 6             */
  'b'01110X    =>  'b'00011111; /* 7             */
  'b'10000X    =>  'b'00000001; /* 8             */
  'b'10010X    =>  'b'00001001; /* 9             */
  'b'10100X    =>  'b'00010001; /* A             */
  'b'10110X    =>  'b'11000001; /* B             */
  'b'11000X    =>  'b'01100001; /* C             */
  'b'11010X    =>  'b'10000101; /* D             */
  'b'11100X    =>  'b'01100001; /* E             */
  'b'11110X    =>  'b'01110001; /* F             */
  'b'000000    =>  'b'11111110; /* 0 z wygaszaniem */
  'b'XXXX1X    =>  'b'00000001; /* Test wyswietlacza */
}
```

List. 2.

1AH - test bitu D10 pamięci RAM;
1BH - test bitu D11 pamięci RAM;
1CH - test bitu D12 pamięci RAM;
1DH - test bitu D13 pamięci RAM;
1EH - test bitu D14 pamięci RAM;
1FH - test bitu D15 pamięci RAM;
20H - test rejestrów kontrolera DMA;
21H - test rejestrów stron kontrolera DMA;
22H - test rejestru maski wektorów przerwań;
27H - test kontrolera klawiatury;
28H - test zasilania pamięci CMOS;
29H - kontrola konfiguracji komputera (weryfikacja zawartości pamięci CMOS);
2BH - test rejestrów karty Video;
2DH - kontrola obecności rozszerzonych kart Video;
31H - ustawienie trybu mono/karty graficznej
32H - ustawienie trybu color 40;
33H - ustawienie trybu color 80;
34H - test szybkości pracy timer'a systemowego;
36H - test linii adresowej A20;
37H - test przerwań w trybie chronionym;
3BH - test zegara czasu rzeczywistego;
3CH - test portów szeregowych COM 1..2;
3DH - test portów równoległych LPT 1..3;
3EH - test koprocesora matematycznego.

```
****************** LISTING 3 ************
*****************************************
                  DeC_HEX
*****************************************

CUPL          4.0a Serial# MD-40A-8209
Device        g16v8s  Library DLIB-h-26-9
Created       Thu Oct 14 18:28:39 1993
Name          DeC_HEX
Partno        US5EX
Revision      1.0
Date          12/10/93
Designer      Piotr Zbysinski
Company       xxxxxx
Assembly      N/A
Location      N/N

=========================================
          Expanded Product Terms
=========================================
A =>
    !A0 & !A1 & !A2 & !A3 & !LT & RBI
  # A0 & !A1 & !A2 & !A3 & !LT
  # !A0 & !A1 & A2 & !A3 & !LT
  # A0 & A1 & !A2 & A3 & !LT
  # A0 & !A1 & A2 & A3 & !LT

B =>
    !A0 & !A1 & !A2 & !A3 & !LT & RBI
  # A0 & !A1 & A2 & !A3 & !LT
  # !A0 & A1 & A2 & !LT
  # A0 & A1 & A3 & !LT
  # !A0 & !A1 & A2 & A3 & !LT

C =>
    !A0 & !A1 & !A2 & !A3 & !LT & RBI
  # !A0 & A1 & !A2 & !A3 & !LT
  # !A0 & A2 & A3 & !LT
  # A0 & A1 & A2 & A3 & !LT

D =>
    !A0 & !A1 & !A2 & !A3 & !LT & RBI
  # A0 & !A1 & !A2 & !A3 & !LT
  # !A0 & !A1 & A2 & !A3 & !LT
  # A0 & A1 & A2 & !LT
  # !A0 & A1 & !A2 & A3 & !LT

Dana =>
    A3 , A2 , A1 , A0 , LT , !RBI

E =>
    !A0 & !A1 & !A2 & !A3 & !LT & RBI
  # A0 & !A2 & !A3 & !LT
  # !A1 & A2 & !A3 & !LT
  # A0 & A1 & A2 & !A3 & !LT
  # A0 & !A1 & !A2 & A3 & !LT

F =>
    !A0 & !A1 & !A2 & !A3 & !LT & RBI
  # A0 & !A2 & !A3 & !LT
  # !A0 & A1 & !A2 & !A3 & !LT
  # A0 & A1 & A2 & !A3 & !LT
  # A0 & !A1 & A2 & A3 & !LT

G =>
    A0 & A1 & A2 & !A3 & !LT
  # !A1 & !A2 & !A3 & !LT

RBO =>
    !A0 & !A1 & !A2 & !A3 & !LT & !RBI
  # A0 & !A2 & !A3 & !LT
  # !A0 & A1 & !A3 & !LT
  # LT
  # A0 & A1 & A2 & !LT
  # !A0 & A1 & A2 & A3 & !LT
  # !A2 & A3 & !LT
  # !A1 & A2 & !LT

Segment =>
    A , B , C , D , E , F , G , !RBO

=========================================================================
                              Symbol Table
=========================================================================

Pin Variable                                    Pterms   Max     Min
Pol   Name              Ext     Pin     Type    Used     Pterms  Level
- ----              -   -       --      ----    ----     ------  -----

    A                       19      V       5        8       1
    A0                      4       V       -        -       -
    A1                      3       V       -        -       -
    A2                      2       V       -        -       -
    A3                      1       V       -        -       -
    B                       18      V       5        8       1
    C                       17      V       4        8       1
    D                       16      V       5        8       1
    Dana                    0       F       -        -       -
    E                       15      V       5        8       1
    F                       14      V       5        8       1
    G                       13      V       2        8       1
    LT                      6       V       -        -       -
!   RBI                     8       V       -        -       -
!   RBO                     12      V       8        8       1
    Segment                 0       F       -        -       -

LEGEND    F : field         D : default variable      M : extended node
          N : node          I : intermediate variable T : function
          V : variable      X : extended variable     U : undefined
```

List. 3.



Rys. 5. Widok wyprowadzeń układu DeC-HEX

Montaż karty i uwagi końcowe

Montaż należy przeprowadzić na płytce drukowanej kitu AVT-114 (EP 10/93), na polu przeznaczonym do montażu uniwersalnego. Takie rozwiązanie obniża dość znacznie koszt wykonania, ale niestety komplikuje montaż. Praktyka jednak pokazuje, że trudności nie są zbyt duże - wszystkie otwory w płytce są bowiem metalizowane i pokryte dobrej jakości powłoką cynową, ponadto obydwie strony druku pokryto solder-maską, dzięki czemu ryzyko powstania przypadkowego zwarcia jest minimalne. Połączenia najlepiej jest wykonać za pomocą przewodu w izolacji teflonowej tzw. „kynaru" (bardzo często stosowany w technice montażu z owijanymi połączeniami).

W czasie montażu należy opierać się na schemacie elektrycznym z rys. 2 lub (rys. 3) w zależności od wykonywanej wersji.

Złącze (Z11), znajdujące się na karcie prototypowej można wykorzystać do wyprowadzenia sygnału binarnego z portu 80H na zewnątrz, np. do dodatkowego komputera wykorzystywanego do szczegółowej diagnostyki.

Na karcie prototypowej nie są konieczne układy US5, US6 (nie

WYKAZ ELEMENTÓW

Rezystory
R1: 2,7kΩ
R2: 8x2,2kΩ (R-Pack)
Półprzewodniki
US1EX, US2EX: 74HCT138
US3EX: 74HCT02
US4EX: 74HCT573
US5EX: GAL16V8 (DeC_HEX)
US7EX: 74HCT157
D1: LED
W2: siedmiosegmentowy wyświetlacz LED ze wspólną anodą
Różne
SW1: mikroprzełącznik bistabilny

trzeba ich montować). Pozostałe US1 - US4 (drivery szyn systemowych) są konieczne.

Jak wspomniano wcześniej, różni producenci BIOS'ów stosują odmienne sposoby testowania komputerów i różne są także przyporządkowania numerów testów. Z tego też powodu w czasie zakupu płyty warto jest zorientować się kto jest producentem BIOS'u i gdzie można zdobyć dokładne informacje o numerach testów. Najczęściej zdobycie tych informacji jest bardzo trudne lub wręcz niemożliwe - tutaj autor chciałby wyrazić uznanie i jednocześnie podziękować przedstawicielowi handlowemu firmy AMI z Londynu za niezwykle uprzejmą i konkretną odpowiedź na pytanie o kody testów do płyty SAP386 (bardzo u nas popularna - jedną z jej wersji jest płyta M-321).

Wyświetlacze powinny być zamontowane albo na płycie AVT-114, albo na dodatkowej płytce wlutowanej prostopadle do płytki głównej - dzięki temu wskazania będą widoczne niezależnie od miejsca montażu płytki w slocie.

Jako dodatek do karty proponujemy układy GAL16V8 w wersji DeC_HEX. Aby nieco obniżyć koszt użytych podzespołów, można wykonać nieco inną wersję wyświetlania przedstawioną na (rys.3); w takim przypadku zamiast dwóch dekoderów montuje się jeden, a jego wejścia poprzez multiplekser US7EX są sterowane na przemian czterema młodszymi lub czterema starszymi bitami portu 80H. Dioda LED D1 sygnalizuje która połowa danych jest wyświetlana.

Kity do opisywanego układu będą oferowane w wersji z rys. 3.

Jako wyposażenie dodatkowe proponujemy płytkę przedłużającą (tzw. „przedłużkę"), umożliwiającą instalowanie karty testowej w taki sposób, aby były widoczne wyświetlacze. Na rys.4 pokazano widok płytki przedłużającej (obie strony są takie same!). Na krawędzi tej płytki należy zamontować złącze DB25, do którego jest montowany „śledź" mocujący.

Dekoder wyświetlacza DeC_HEX

Jako dekoder wyświetlacza wykorzystano układ PLD typu GAL16V8. Układ ten został tak zaprojektowany, że dekoduje poprawnie wszystkie 16 stanów logicznych na wejściach danych i wyświetla znaki 0-9 oraz A-F.

Oprócz standardowej funkcji transkodera NKB -> kod 7-segm., układ DeC_HEX wyposażono w wejścia sterujące LT (Lamp Test), RBI (wejście zezwalające na wygaszenie wyświetlacza, jeżeli wszystkie stany wejściowe są równe zero i na poprzedniej pozycji też występuje zero) oraz wyjście RBO (wyjście wskazujące, iż na bieżącej pozycji wyświetlacza sygnały wejściowe danej są równe zero). Wejście RBI i wyjście RBO są aktywne w stanie niskim.

Rozmieszczenie wyprowadzeń dekodera przedstawia **rys. 5**. Na **list. 2** (tabela prawdy dla układu DeC_HEX) przedstawiono wszystkie możliwe kombinacje stanów logicznych na wejściach i wyjściach układu.

Dla udokumentowania funkcji logicznych, realizowanych przez poszczególne wyjścia, na **list. 3** przedstawione są wyniki pracy kompilatora CUPL (jest to rozwinięcie tabeli prawdy w równania boolowskie).

Posługiwanie się kartą testową

Przede wszystkim, przed rozpoczęciem naprawy należy ocenić, czy błędy w pracy komputera wynikają z niesprawności sprzętu, czy oprogramowania. Inaczej mówiąc, jeżeli komputer poprawnie startuje i dopiero po zainstalowaniu systemu operacyjnego przestaje prawidłowo funkcjonować, to wina leży raczej po stronie stosowanych programów. Ta wskazówka jest oczywiście bardzo ogólna, ale należy sobie zdawać sprawę z tego, że nawet oprogramowanie działające poprawnie przez wiele miesięcy działające poprawnie oprogramowanie może w pewnej chwili odmówić współpracy (chociażby z powodu „infekcji" wirusowej).

Kartę testową montujemy w wolnym (8-mio lub 16-to bitowym) slocie i dokładnie wkręcamy śrubę, utrzymującą płytkę w poprawnym położeniu (wszystkie te czynności przy wyłączonym zasilaniu komputera).

Następnie włączamy zasilanie komputera - na wyświetlaczach powinny pojawić się bardzo szybko zmieniające się znaki alfanumeryczne (być może nie dadzą się odczytać, gdyż wpisy do portu 80H następuje bardzo szybko). Jeżeli system testowy (procedury POST) wykryje jakieś nieprawidłowości na wyświetlaczach wyświetlony zostanie znak alfanumeryczny (wpisywanie do portu zakończy się, ponieważ procesor wykona rozkaz HALT). Należy teraz odnaleźć w dokumentacji płyty (lub przy odrobinie szczęścia odszukać w naszym wykazie), jaką procedurę testową oznacza wyświetlany kod i do działania... Niestety w dalszej analizie uszkodzenia karta już nie pomoże - konieczne jest posiadanie pewnej wiedzy na temat budowy i działania komputerów klasy PC i umiejętność praktycznego jej wykorzystania.

Jeżeli testy będą wykonywane na karcie imputowanej wg schematu podanego na rys.3, to wskazanie numeru testu będzie zobrazowane na jednym wyświetlaczu; - aby odczytać drugi znak, należy zmienić położenie przełącznika SW1.

Piotr Zbysiński, AVT