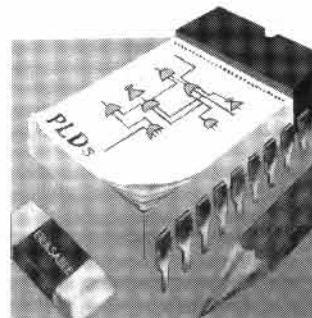


Co potrafią PLD?

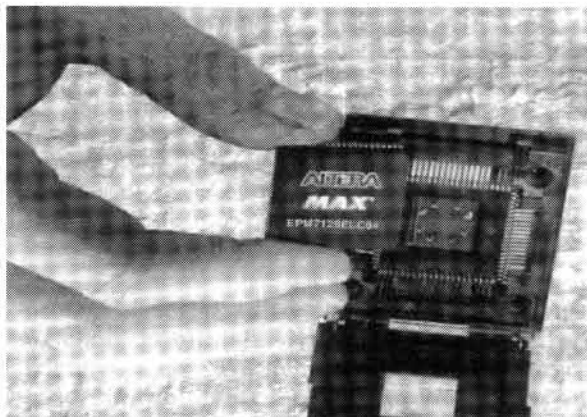
Uniwersalny licznik-timer z układem EPM7032 firmy Altera



Część 1 - system projektowy MAX+plus II

Przedstawione do tej pory Czytelnikom w rubryce „Co potrafią PLD?” projekty cechowała stosunkowo mała złożoność, wynikająca głównie z dostępności wykorzystywanych układów (GAL16V8, GAL20V8 oraz GAL22V10). Taki dobór spowodowany był wysokimi cenami układów programowalnych o większej gęstości upakowania. Projekty pisane były w języku CUPL i kompilowane do postaci pliku JEDEC przy pomocy CUPL'a ver. 4.0a. Pomimo szeregu zalet i ciągłej przydatności dla wielu projektów, jest to oprogramowanie nieco archaiczne, można je porównać do wysokiej jakości asemblera dla układów programowalnych z wbudowanym prostym symulatorem. Dynamiczny rozwój mikroelektroniki i ciągłe obniżanie cen układów PLD nowych generacji spowodowały że mamy możliwość sięgnięcia do narzędzia najnowszej generacji - w tym odcinku serii przedstawiamy możliwości systemu do projektowania układów PLD firmy Altera - MAX+plus II w wersji 3.30.

Opis systemu zaowocuje prezentacją dwóch projektów - prostym licznikiem-timerem i warsztatowym miernikiem częstotliwości czasu i okresu.



System projektowy Max+plusII

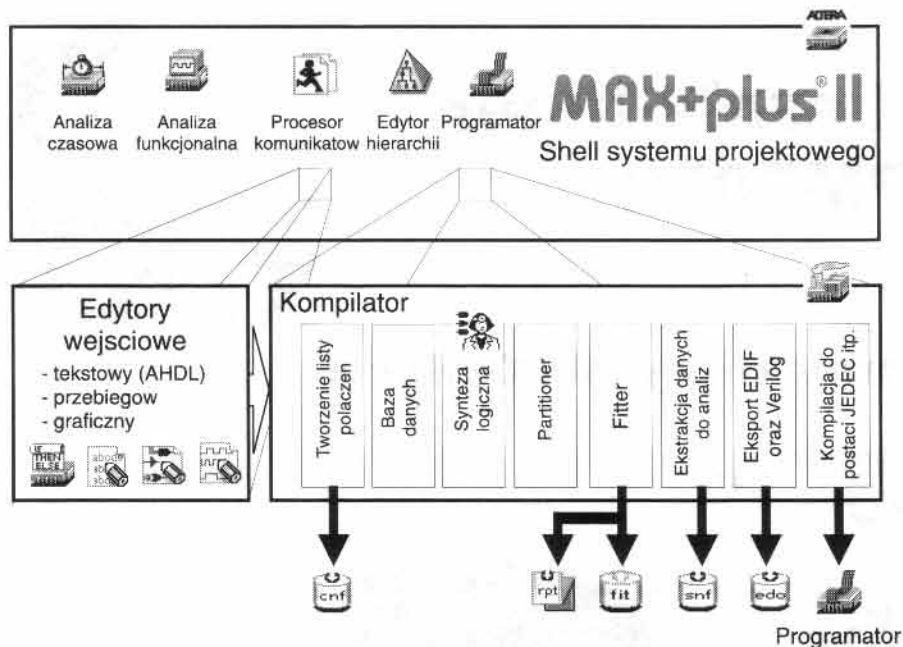
Jest to niezwykle nowoczesny zestaw programów pracujący pod Windows (na PC) oraz na komputerach SparcStation, HP9000 oraz Alpha AXP firmy DEC. W odróżnieniu od innych, uniwersalnych systemów projektowych (ViewLogic, ABEL, Synario) jest on ukierunkowany tylko na układy Altery rodziny Classic, MAX5000, MAX7000, MAX8000, MAX9000, FLEXlogic oraz EPS4XX. Projektantom przyzwyczajonym do innych systemów zapewniono możliwość korzystania z poprzedniego oprogramowania dzięki wbudowaniu w system szeregu filtrów wejściowych i wyjściowych.

Wybór tego systemu nie miał być i nie jest w pełni obiektywną prezentacją „najlepszego z najlepszych”. Trzeba zdawać sobie sprawę z istnienia szeregu innych, pod wieloma względami porównywalnych systemów projektowych. Wybór oprogramowania firmy Altera padł ze względu na dostępność na polskim rynku bardzo konkurencyjnych cenowo i jakościowo układów Altery oraz

wsparcie techniczne udzielone autorowi przez Instytut Telekomunikacji Politechniki Warszawskiej, którego to laboratoria wyposażone są w Max+plus II.

MAX+plus II ma spore wymagania w stosunku do komputera na którym ma pracować - zalecane jest 486DX-33MHz, 16MB RAM oraz ok. 35MB wolnego miejsca na dysku twardym. W praktyce dostosowanie się do tych zaleceń jest niezbędnym minimum do w miarę przyjemnej i wydajnej pracy. Dla potrzeb systemu podczas wykonywania projektu wykorzystano komputer 486DX2-66 z 16MB RAM i 20MB pamięci wirtualnej na dysku twardym.

Wymagania systemu są więc dość duże, co jest pierwszym powodem ukierunkowania tego oprogramowania na specjalizowane laboratoria projektowe. Drugim jest cena - w porównaniu do CUPL'a, kosztującego w podstawowej wersji (dla amatorów) ok. 150 zł, w wersji rozszerzonej ok. 700 zł, kompletny system projektowy Max+PlusII kosztuje od 2000..15000USD. W wersji o nieco ograniczonych możliwościach (jest to tzw. ES - Site Licence) można



Rys. 1. Obieg informacji w systemie MAX+plusII

go nabyć za ok. 300USD (niestety plus VAT) u krajowego dystrybutora Altery. Wersja ES oprogramowania umożliwia wykonanie większości projektów w niektórych układach wszystkich rodzin struktur oferowanych przez Alterę (Classic: EP610, EP910, EP1810, MAX5000: EPM5032, MAX7000: EPM7032, EPM7032V, EPM7064, EPM7096 oraz FLEX8000: EPF8282 i EPF8282V). W zamian za pewne ograniczenie bibliotek nie jest konieczne stosowanie sprzętowego klucza zabezpieczającego przed nielegalnym kopiowaniem.

Projekt 5 serii „Co potrafią PLD?” stanowi dla nas doskonały pretekst do przedstawienia jednego z najnowocześniejszych na świecie narzędzi do projektowania układów programowalnych. Pokażemy jak przy pomocy MAX+plus II można dość szybko zaprojektować układ uniwersalnego 4-dekadowego licznika góra/dół z wyświetlaniem multiplexowym. Głównym zastosowaniem tego układu mogą być uniwersalne timery, często stosowane w układach automatyki przemysłowej lub dekadowe liczniki impulsów (możliwe do zastosowania np. w częstotściomierzu). Ponieważ podstawowym założeniem autora było „zmieszczenie” projektu w najmniejszym układzie serii MAX7000 (tzn. w EPM7032) zapro-

jektowana kostka wymaga zastosowania niewielkiej ilości dodatkowych elementów zewnętrznych. W przypadku kompilowania projektu do układu EPM7064 (składającego się z czterech LABów, co daje 64 makrokomórki) możliwe jest zmieszczenie całości w jednej kostce. Pozostałe wolne makrokomórki (w przypadku zastosowania EPM7064) pozwolą na dowolną rozbudowę funkcjonalną timera.

Chęć w miarę dokładnego przedstawienia kolejności projektowania nowego układu oraz możliwości oprogramowania, spowodowała konieczność podzielenia artykułu na części. Rozpocznemy od omówienia podstawowych możliwości systemu Max+plus II.

Co potrafi MAX+plus II?

Pytanie postawiono nieco przewrotnie, ponieważ doświadczenia autora wskazują na to, że z reguły więcej niż projektant. Omówienie dotyczy wersji 3.30, na końcu przedstawiono pokrótce dodatkowe funkcje wbudowane w najnowszej wersji systemu MAX+plus II v.5.0.

Jak wspomniano na wstępie MAX+plus II jest kompletnym funkcjonalnie systemem projektowym. W jego skład wchodzi następujące elementy:

- edytor tekstowy umożliwiający wprowadzanie opisu realizo-

wanego układu za pomocą języka AHDL (ang. Altera Hardware Description Language). Edytor wyposażony jest w szereg narzędzi ułatwiających pisanie programów osobom niezbyt sprawnie posługującym się AHDL, są to m.in. gotowe wzorce (formularze) wszystkich typowych struktur opisujących projektowane urządzenie. Należą do nich np. instrukcje warunkowe IF, ELSIF, THEN oraz CASE IS, WHEN, opisy automatów MACHINE WITH STATES oraz MACHINE OF BITS i wiele innych,

- edytor graficzny, umożliwiający projektowanie układu z wykorzystaniem gotowych elementów z dostarczanych wraz z systemem bibliotek lub z bibliotek samodzielnie przygotowanych. Obok podstawowych funkcyj logicznych w projektach przygotowywanych graficznie można wykorzystywać szereg gotowych kompletnych bloków funkcjonalnych - np. dostępna jest niemal cała (funkcjonalnie) rodzina układów TTL oraz kilka bardziej złożonych, a nie dostępnych w serii TTL układów (np. 16-bitowe rejestry/liczniki). Jest to doskonałe narzędzie dla osób pragnących maksymalnie ułatwić sobie projektowanie układu - w praktyce opracowanie nawet bardzo złożonego strukturalnie układu można ograniczyć do narysowania jego schematu. Edytor graficzny wyposażony jest w filtr wejściowy do importu plików z OrCAD'a SDT, tak więc rola MAX+plus II może zostać ograniczona do samej tylko kompilacji i ewentualnie późniejszej symulacji,

- graficzny edytor przebiegów. Spełnia on podwójną rolę - przy jego pomocy tworzy się przebiegi odniesienia dla symulatora, co pozwala na sprawdzenie jakości pracy wykonanego projektu przed zaprogramowaniem fizycznej „kostki”. Drugim zastosowaniem edytora przebiegów jest możliwość projektowania całego układu lub jego fragmentu przy pomocy opisu przebiegami - tak więc definiując zależności (na wykresach w funkcji czasu) pomiędzy przebiegami wejściowymi i wyjściowymi budujemy opis równoważny opisowi słownemu (AHDL) lub graficznemu (schemat). Jest to niezwykła możliwość, znacznie

podnosząca walory użytkowe systemu,

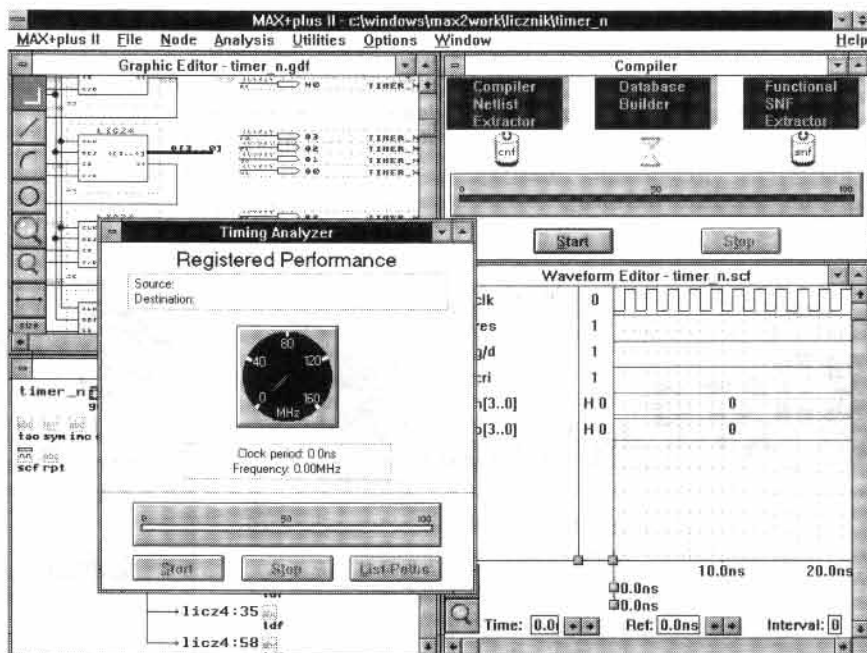
- edytor symboli, służący do tworzenia nowych i edycji uprzednio przygotowanych symboli. Symbolami nazywane są bloki funkcjonalne (np. licznik, dekodery itp.), których opis przygotowano przy pomocy jednej lub kilku z wymienionych powyżej metod. Blok taki (mogący składać się z kilku innych bloków), działający zgodnie z przygotowanym opisem, wyposażony w wejścia i wyjścia można wstawiać w projekt jako jeden element,

- wyświetlacz hierarchii. Niezbędny do przygotowywania projektów składających się z wielu bloków, przygotowywanych przy pomocy różnych narzędzi. Jak wspomniano wcześniej możliwe jest mieszanie symboli (bloków funkcjonalnych) opisanych za pomocą AHDL, przebiegów oraz schematu w jednym projekcie. Taka możliwość wymusza hierarchiczne tworzenie projektu z wyraźnym uwzględnieniem kolejności podporządkowania elementów wchodzących w skład projektu,

- kompilator. Wykorzystywany on jest na wielu etapach projektowania układu. Zadaniem kompilatora jest obróbka projektu (łącznie z kontrolą poprawności składni opisu) i przygotowanie odpowiedniego pliku wyjściowego - efektem pracy kompilatora są m.in symbole (bloki funkcjonalne opisane np. za pomocą AHDL, wykorzystywane później w schemacie układu),

- symulator. Są dwie możliwości wykorzystania symulatora - do analizy logicznej, czyli badania zależności logicznych pomiędzy wejściami i wyjściami układu oraz do analizy czasowej z uwzględnieniem zakłóceń wywołanych hazardem i propagacją sygnałów wewnątrz układu. Ma to duże znaczenie dla układów pracujących z wysokimi częstotliwościami zegarowymi,

- analizator czasowy, służący do badania ograniczeń czasowych i częstotliwościowych projektowanego układu. Jest to doskonałe narzędzie do symulacji dynamicznej (bez uwzględnienia kontroli logicznej). Analizator wyświetla informacje o połączeniach mających największy wpływ na ogra-



Rys. 2. Okno pracującego systemu Max + plus II

niczenie szybkości pracy układu, dzięki czemu w miarę wprawy projektant może skorygować projekt, w taki sposób aby uniknąć niekorzystnych dla szybkości układu zjawisk,

- procesor komunikatów. Na pierwszy rzut oka określenie „procesor“ mogłoby się wydawać nieco na wyrost, ze względu na skromny wygląd okna. Okazuje się jednak, że ma on szerokie możliwości diagnozowania wykrytych błędów, wskazania ich położenia w projekcie oraz (przy pomocy niezwykle rozbudowanego Help'a) podpowiada co należy zrobić, aby tego typu błędów uniknąć,

- programator, zapewniający programowanie, weryfikację oraz testowanie układów. Niestety obsługuje on wyłącznie firmowy programator Altery. Jest to dość znaczne utrudnienie dla projektantów okazjonalnie korzystających z oprogramowania.

Podstawową nowością w wersji 5.0 Max+plus II jest wprowadzenie edytora nazwanego Floorplan Editor. Przy jego pomocy możliwa jest prosta edycja połączeń wejść i wyjść układu (przyznanie każdej fizycznej końcówce nazwy i związanych z nią atrybutów) oraz ręczne rozmieszczenie poszczególnych bloków w makrokomórkach układu z możliwością wyboru LAB'u. Z reguły automatyczna optymalizacja

połączeń wewnątrz układu, wykonywana przez Max+plus II jest w zupełności wystarczająca i stosunkowo rzadko ma duże znaczenie dla pracy projektu.

Na rys.1 przedstawiona została podstawowa, najprostsza, struktura realizowanego projektu. Pliki wejściowe przygotowane przy pomocy jednego z edytorów wejściowych kompilowane są do postaci *.jed, *.pof lub *.sof. Pliki te wykorzystywane są do programowania układu przez programator. Nie dla wszystkich układów możliwe jest stworzenie pliku typu JEDEC - najbardziej uniwersalnego standardu, co wymusza stosowanie przez projektantów stosunkowo drogich programatorów Altery lub urządzeń innych producentów upoważnionych przez Alterę (co także odbija się na cenie). Jest to dość poważna wada systemu - metodą zaradzenia jej jest korzystanie z innych układów PLD, co jest możliwe dzięki filtrowi eksportowemu EDIF oraz Verilog.

Poruszanie się po systemie ułatwia program - shell, dzięki któremu możliwe jest bardzo proste zarządzanie projektem. Na rys.2 przedstawiono widok okna podczas pracy systemu. Pięć widocznych małych okienek to: kompilator (górną prawy róg), edytor przebiegów z wyświetlonymi wynikami symulacji funkcjonalnej

(dolny prawy róg), edytor graficzny ze schematem ideowym realizowanego projektu (górny lewy róg), edytor hierarchii (dolny lewy róg) oraz analizator częstotliwościowy pracy układu wraz ze wskaźnikiem przebiegu analizy (okno na środku ekranu).

Na tym zakończymy krótki wstęp o samym systemie - w drugiej części artykułu przedstawimy sposób realizacji konkretnego projektu.

Piotr Zbysiński, AVT

Artykuł został napisany w styczniu 1995 roku.

Od maja tego roku dostępna jest nowsza wersja Max+plus II - ver. 5.11. Nie występują pomiędzy nimi znaczące „na zewnątrz“ różnice, udoskonalenia polegają głównie na usuwaniu błędów starszych wersji i rozszerzaniu bibliotek.