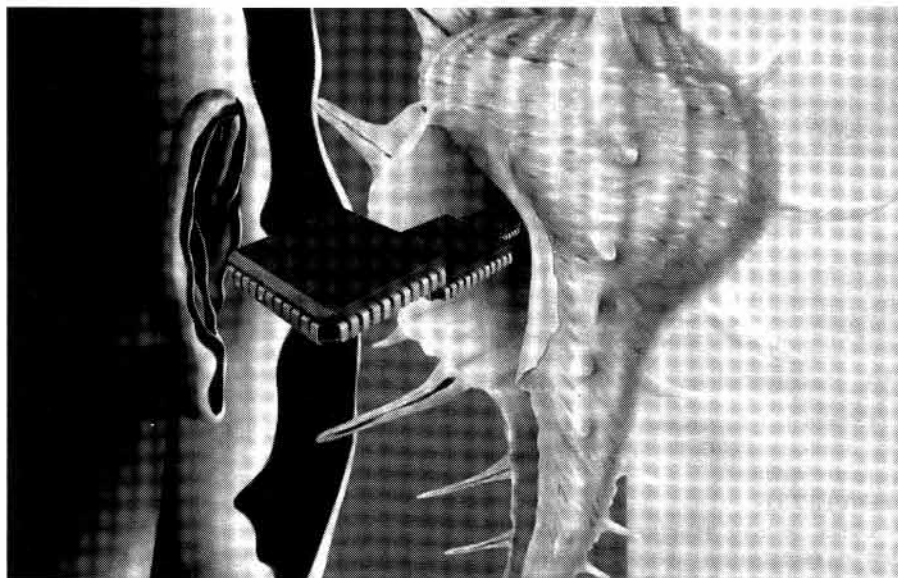


Magiczne kości

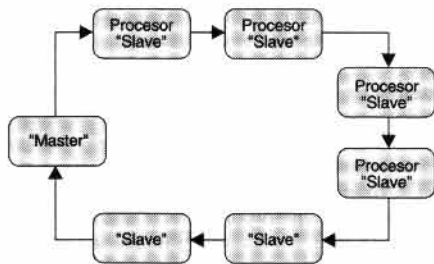
Część 6. Chipy dla cyfrowej techniki audio - transceiver sieciowy audio i przetwornik częstotliwości próbkowania

Rozważania dotyczące obwodów interfejsowych zgodnych z protokołami SP/DIFF-AES/EBU zakończymy omówieniem dwóch specjalizowanych chipów: duplexowego transceiwera przeznaczonego do pracy w sieci i przetwornika częstotliwości próbkowania.



CS8425

Układ CS8425 f-my Crystal to pełnoduplexowy transceiver uwzględniający protokół A-LAN (Audio Local Area Network). Protokół ten jest kompatybilnym rozszerzeniem normy IEC958 i dotyczy sieci pierścieniowej urządzeń audio w ramach której możliwe jest ukierunkowane przesyłanie danych audio i danych pomocniczych z określonego źródła do jednego lub kilku odbiorników. Format przesyłanych danych audio i danych statusu kanału są w wypadku A-LAN identyczne jak dla IEC958. Umożliwia to podłączanie do sieci także urządzeń nie uwzględniających A-LAN a więc nie mogących korzystać z w pełni z jego możliwości ale mimo tego mogących



Rys. 41. Topologia typowej sieci A-LAN

odbierać dane audio nie zakłócając pracy sieci.

Informacje sterujące A-LAN są przesyłane przy pomocy User Data Bits (USB). Każdy uczestnik sieci (Node - węzeł) posiada jeden z ośmiu adresów dopuszczanych przez sieć. Każdy przekaz trafi wcześniej czy później z powrotem do nadawcy, dzięki czemu może on rozpoznać transmisje nieodebrane.

Uczestnicy sieci A-LAN są podzieleni na trzy kategorie: Master Nodes, Slave Processor Nodes i Slave Nodes. Jak wynika z rysunku 41, każda sieć posiada dokładnie jeden Master Node, narzucający zależności czasowe (timing) dla danych, oraz dowolnie dużo Slave Processorów i Slave Nodes. Slave Processor różni się od Slave Node tym, że może wpływać na dane audio. Przykładem Slave Processora jest cyfrowy equalizer, zaś przetwornik C/A to typowy Slave Node. Podział na wspomniane kategorie nie musi oznaczać, że Master jest źródłem danych audio. Funkcję tę może spełniać także każdy Slave Processor. Funkcja każdego uczestnika sieci może być zadana niezależnie od jego adresu.

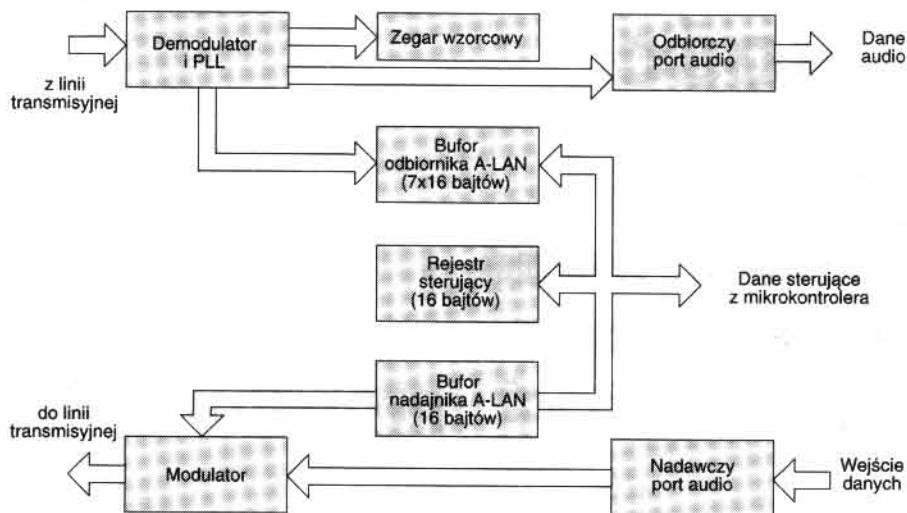
CS8425 nie tylko realizuje samodzielnie warstwę fizyczną (styk fizyczny) protokołu A-LAN, lecz przedstawia sobą pełnowartościowy, zwłaszcza dla danych w formacie konsumenckim, duplexowy transceiver -

patrz rysunek 42. Układ ten jest zbyt złożony, aby w tym artykule dokładnie go omówić; szczegółowe dane podane są w [1].

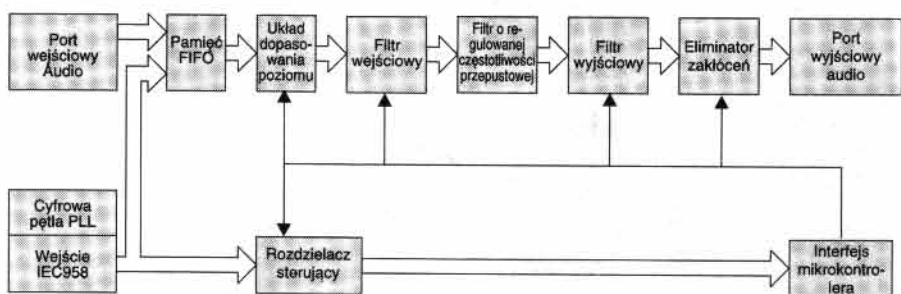
Rys. 42 ilustruje sytuację, gdy CS8425 pracuje w trybie Peripheral Mode wymagającym sterowania przez zewnętrzny mikroprocesor. Podobnie jak dla obwodów CS8411 i CS8401A, omówionych w poprzednich artykułach cyklu, komunikacja pomiędzy mikroprocesorem a CS8425 realizowana jest poprzez szesnaście rejestrów. Rejestry te wspólnie z buforami nadawania i odbioru związanymi z A-LAN należą do jednego obszaru adresowego o pojemności 144 bajty.

Układ PLL, modulator i demodulator odpowiadają analogicznym elementom układów scalonych CS8411 i CS8401A.

Dla celów komunikacji w sieci A-LAN obwodowi CS8425 zostaje przydzielony adres pod którym jest on osiągalny przy odbiorze przesłań. Przy nadawaniu podaje się mu adres odbiornika, długość przesłania i jego treść. Pomyślnie zakończony proces nadawania lub odbioru wywołuje przerwanie. Przesłanie podlegające wysłaniu korzysta z 16-bajtowego buforu zaś przesłanie odbierane ma do dyspozycji bufor 112-bajtowy. Wielkość tego ostatniego wynika z faktu, że przesłania mogące pochodzić od 7 różnych nadawców są zapamiętywane oddzielnie.



Rys. 42. Schemat blokowy układu CS8425



Rys. 43. Schemat blokowy układu TDA1373

CS8425 jest dostarczany w 44-końcówkowej obudowie PLCC. Rozkład wyprowadzeń podano w [1].

TDA1373H

Układ scalony TDA1373H f-my Philips jest reprezentantem unikalnej grupy przetworników częstotliwości próbkowania. Ponieważ dysponuje on pełnowartościowym odbiornikiem sygnałów zgodnych z IEC958, producent określa go jako „General Digital Input”. W pewnym stopniu jest on elementem pośrednim pomiędzy układami czysto

interfejsowymi a układami przetwarzającymi dane.

Celem przetwarzania częstotliwości próbkowania jest przetworzenie sygnału wejściowego o pewnej częstotliwości próbkowania, nawet w pewnym zakresie zmiennej, w sygnał o stałej (ew. innej) częstotliwości próbkowania przy pełnym zachowaniu treści danych - w naszym wypadku danych cyfrowych audio. Jest to konieczne np. w wypadku konsoli cyfrowej, kiedy mamy zmieszać sygnały o różnych częstotliwościach próbkowa-

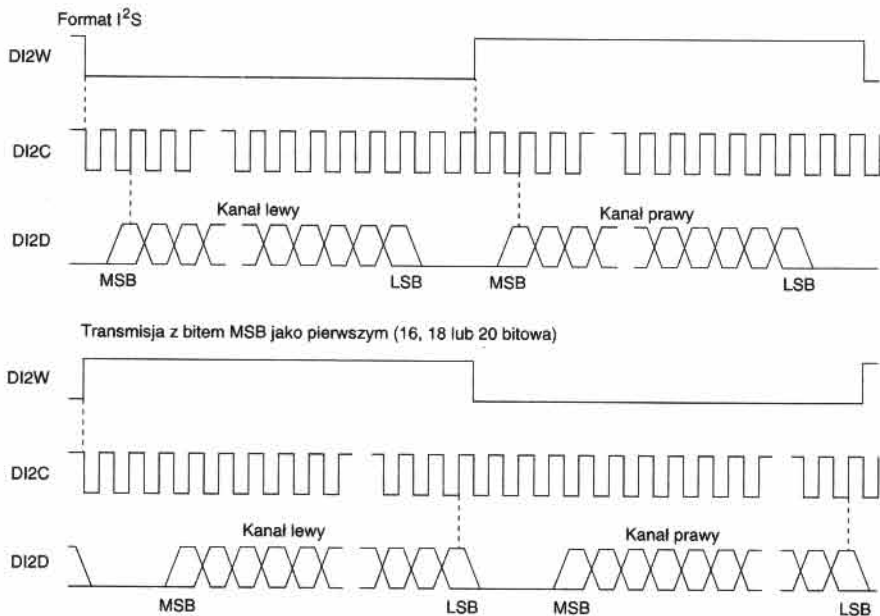
nia w jeden sygnał standardowy. Podobna sytuacja ma miejsce przy nagrywaniu płyt CD, kiedy sygnały z rejestratorów DAT, nagrane z częstotliwością próbkowania 48kHz, mają być odtwarzane z częstotliwością 44.1kHz. Konwersja częstotliwości próbkowania związana jest z interpolacją dodatkowych próbek (upsampling) i następującą po tym procesie decymacją (downsampling). Upsampling realizuje się przy częstotliwości próbkowania sygnału wyjściowego, zaś downsampling dla częstotliwości próbkowania wymaganej przez sygnał wyjściowy. Przy interpolacji pojawia się błąd, który maleje wraz ze wzrostem stopnia up- i downsamplingu. TDA1373H pracuje z 64-krotnym up- i 128-krotnym downsamplingiem.

Strukturę wewnętrzną układu TDA1373H pokazano na rysunku 43. Wprowadzie układ może pracować zarówno jako odbiornik interfejsowy jak i filtr dla przetworników C/A i A/C, to jednak w dalszych rozważaniach skoncentrujemy się na trybie SRC (Sample Rate Conversion) - przetwornika częstotliwości próbkowania. Sterowanie układem przez mikroprocesor realizowane jest przez łącze szeregowe, które umożliwia dostęp do 12 rejestrów i bufora pamięci RAM. Łącze to omówimy szczegółowo nieco później - opis tych rejestrów ilustrują rysunki 46 i 47.

Dane audio mogą być wprowadzone do układu dwoma sposobami: jako sygnał IEC958 przez wejście DI1 lub przy pomocy magistrali trójprzewodowej przez wejście DI2. Wejście DI1 to w efekcie trzy wejścia: DI1S, DI1O i DI1D. Które z tych wejść jest wybrane decyduje multiplexer. Wejście DI1S jest przewidziane dla sygnałów przekazywanych kablem koncentrycznym (o amplitudzie ponad 200mV_{eff}), wejścia DI1O i DI1D dla sygnałów z poziomami TTL. Na magistralę trójprzewodową DI2 składają się: linia danych DI2D, linia taktów bitowych DI2C i linia taktów słów DI2W. Wejście DI2 akceptuje dane w formacie I²S lub prawostronnym formacie MSB-first. Dane wprowadzone na wejście DI1 są poddawane wstępnej obróbce przy pomocy całkowicie cyfrowego układu PLL, który w porównaniu z konwencjonalnym układem analogowym posiada istotne zalety:

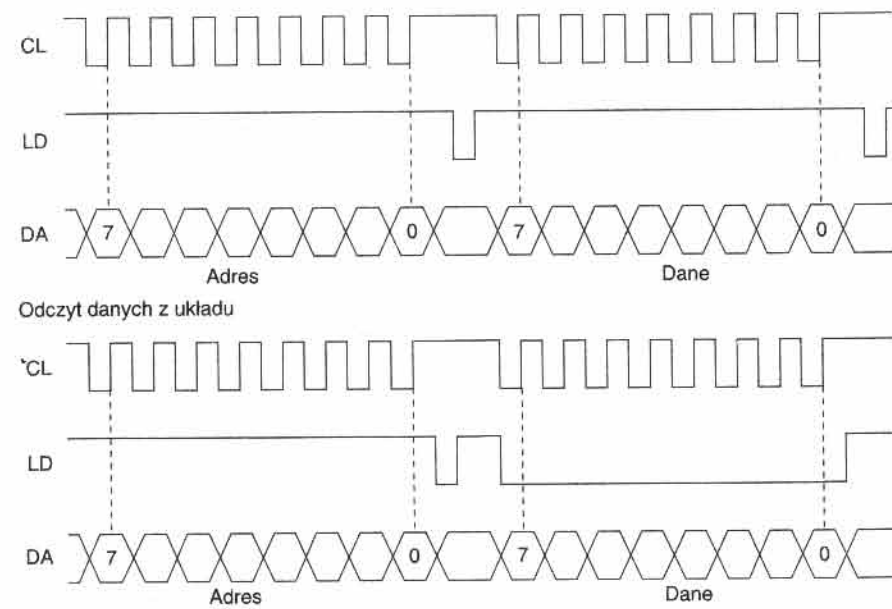
- znacznie większy zakres częstotliwości (35% do 145% częstotliwości nominalnej),
- mniejszy „jitter” odtworzonego taktu (dzięki zmiennej szerokości pasma PLL - do 0,5Hz),
- lepsze parametry chwytania (czas zaskoku poniżej 1ms).

Szerokość pasma układu PLL jest sterowana adaptacyjnie przez sam chip, ale może być także zadana przy pomocy rejestru rozkazów CMD2. Układ PLL regeneruje z sygnału wejściowego cztery sygnały taktujące o częstotliwościach będących następującymi wielokrotnościami częstotliwości próbkowania: 768, 384, 256 i 128. Sygnały te są dostępne na końcówkach CLO1...CLO4. Odtworzone dane audio są wstępnie przechowywane w FIFO o pojemności 8 próbek - dzięki czemu wahania częstotliwości próbkowania są do pewnego stopnia kompensowane. Informacja o wypełnieniu FIFO jest wykorzystywana jako wielkość regulująca układ PLL - dzięki temu dopasowuje się on do nowej częstotliwości próbkowania. Ilość komórek



Rys. 44. Format danych audio dla układu TDA 1373H

Wpis danych do układu



Rys. 45. Protokół transmisji danych w układzie TDA1373H

Rejestr statusu 1 (STS1) Interfejs IEC 958		Bit7		LCK		CRC		VA		Bit0		BCV									
40H																					
Nazwa	Funkcja	L				H															
BCV	Stan rejestrów danych	poprawne				błędne															
VA	Dane wejściowe	poprawne				błędne															
CRC	Suma kontrolna CD-Q	poprawna				błędna															
LCK	Stan petli PLL	bez zaskoku				zaskok poprawny															
Rejestr statusu 2 (STS2) Interfejs IEC 958		Bit7		ST1		ST0		Bit0		MUT											
41H																					
Nazwa	Funkcja	L /LL		H /LH		HL		HH													
MUT	Status portu audio	włączony		wyciszony		50Hz		500Hz													
ST1..0	Szerokość zaskoku PLL	—		0.5Hz		—		—													
Rejestr statusu 3 (STS3) i 4 (STS4) Częstotliwość próbkowania sygnału wejściowego		Bit7		LF15		LF14		LF13		LF12		LF11		LF10		LF9		LF8		Bit0	
42H																					
43H																					
Nazwa	Funkcja	Częstotliwość próbkowania sygnału wejściowego																			
LF15..0																					
Rejestr statusu 5 (STS5) Statusy kanałów		Bit7		CA1		CA0		FS1		FS0		EM		CPY		AN		Bit0		CPF	
00H																					
Nazwa	Funkcja	L/LL				H/LH				HL		HH									
CPF	Format danych sterujących	popularny				profesjonalny				—		—									
AN	Typ danych	dane audio				inne dane				—		—									
CPY	Bit autoryzacji kopiowania	jest				nie ma				—		—									
EM	Emfaza	włączona				wyłączona				—		—									
FS1..0	Częstotliwość próbkowania	44kHz				—				48kHz		32kHz									
CA1..0	Dokładność zegara	grupa 2				grupa 1				grupa 3		—									
Rejestr statusu 6 (STS6) Bity statusu kanałów		Bit7		CAT7		CAT6		CAT5		CAT4		CAT3		CAT2		CAT1		CAT0		Bit0	
00H																					
Nazwa	Funkcja																				
CAT1..7	Kod kategorii (CSB15..8)																				
CAT0	Ilość impulsów zegarowych																				

Rys. 46. Rejestry stanu układu TDA1373H

FIFO określa maksymalną szybkość z jaką może się wahać częstotliwość sygnału wejściowego tak aby nie powodować zakłóceń danych audio - FIFO nie powinno być ani puste ani przepełnione.

Po wyjściu z FIFO dane audio przechodzą przez blok określający poziom sygnału. Dzięki temu oba kanały stereo mogą mieć jednocześnie nastawiane wzmocnienie w przedziale 0..2 (-42db do +6db) z dokładnością 1/127. Sposób podziału wzmocnienia zapewnia dużą rozdzielczość w okolicy 1. Ma to zaletę przy wyrównywaniu poziomów różnieysterowanych kanałów, kiedy to zachodzi konieczność dokonania precyzyjnej korekty. Mniej przydatne jest wykorzystanie tego bloku do realizacji cyfrowego ustawiania siły głosu - jego rozdzielczość przy małym wzmocnieniu jest zbyt mała. Aby uniknąć przesterowań ustawianie wzmocnienia większego od 1 powinno być realizowane tylko wtedy gdy jesteśmy pewni że sygnał wejściowy nie jest w pełniysterowany.

Zmiany poziomu sygnału są realizowane płynnie - nowo ustawione wzmocnienie nie natychmiast zostanie realizowane lecz zmienia się liniowo krokami (co 1/127) na każdej próbce, aż do osiągnięcia nowej wartości.

W górę i w dół

Na swej dalszej drodze sygnał audio przechodzi przez filtry „upsampling” i „downsampling”, przy pomocy których realizuje się konwersję częstotliwości próbkowania. Częstotliwość próbkowania sygnału wyjściowego wyznacza kwarc podłączony do końcówek XTL1 i XTL0, oscylujący z częstotliwością 768 razy większą od niej.

Filtr Upsampling można przy pomocy rejestru CMD4 ustawić bądź na duże tłumienie bądź na duże nachylenie charakterystyki w otoczeniu częstotliwości granicznych. Ta ostatnia własność jest potrzebna dla przetwarzania sygnału wejściowego próbkowanego z częstotliwością 32kHz. Elementem pośredniczącym między filtrem upsamplingowym a downsamplingowym jest układ „sample and hold” sterowany przez wspomniany układ cyfrowego PLL. Ze względu na fakt, że oba filtry charakteryzują małe zafalowania w obszarze przenoszenia, to aby uniknąć przesterowań współczynnik wzmocnienia nie powinien przekraczać 1 i normalnie jest nastawiony na wartość $0,992 = 1 - 2^{-7}$.

Po przejściu przez filtr downsamplingowy proces konwersji częstotliwości próbkowania jest zakończony i sygnał audio może być wyprowadzony na port audio DO1. Port ten, podobnie jak port wejściowy DI2, stanowi: linia danych - DO1D, linia taktu bitów - DO1C i linia taktu słów - DO1W. Port ten obsługuje te same formaty jak port wejściowy (patrz rysunek 44), ale w przeciwnieństwie do tego ostatniego może być użyty zarówno jako Master jak i Slave.

Aby optymalizować stosunki szumowe dla sygnału wyjściowego można włączyć, pomiędzy filtr downsamplingowy a wyjście, układ formowania szumów (In-band Noise Shaper). Działanie tego układu opiera się na następujących rozważaniach: ponieważ długość słowa wyjściowego sygnału audio musi być zredukowana - w zależności od formatu - z 20 do 18 lub nawet do 16 bitów, to wzrastają szumy kwantowania, co jest zjawiskiem naturalnym. Układ formowania szu-

Rejestr rozkazów 1 (CMD1)								
Sterowanie globalne								
Bit7								
Bit0								
00H	DI12	DI11	UIP	SBF	SM1	SM0	LRS	DBA
Nazwa	Funkcja			L/LL	H/LH	HL	HH	
DBA	Tryb pracy bufora			normalny	testowy	—	—	
LRS	Dane dla kanału CSB			normalny	testowy	—	—	
SM1..0	Wybór trybu sterowania			lewy	prawy	—	—	
SBF	Wskaźnik zawartości bufora danych			CD-Q dane	CSB nowe dane	UDB	—	
UIP	Sposób komunikacji z otoczeniem			zapamiętane	dane	—	—	
DI12..1	Wybór wejścia IEC958			przerwania DI1S	przeglądanie DITO	—	—	
						DI1D	—	
Rejestr rozkazów 2 (CMD2)								
Sposób przetwarzania								
Bit7								
Bit0								
01H	LC1	LC0	MS1	MS0	RTR	MRS		
Nazwa	Funkcja			L/LL	H/LH	HL	HH	
MRS	Master Reset			brak reset	reset	—	—	
RTR	Stan szyny trójstanowej			zajęta	zwolniona	—	—	
MS1..0	Wybór trybów pracy			adaptacyjny	metoda zwolniona	—	—	
LC1..0	Szerokość chwytania PLL			wyбір częstotliwości adaptacyjna	AC/CA 0.5Hz	tryb slave VCO 50Hz	tryb slave VCXO 500Hz	
Rejestr rozkazów 3 (CMD3)								
Szyna danych								
Bit7								
Bit0								
02H	DS0	FOS	DI2	DNI	AOS	DO2		
Nazwa	Funkcja			L	H	HL	HH	
DO2	Sygnal wyjściowy na DO2			filtr downsampling	filtr upsampling	—	—	
AOS	Sygnal wyjściowy na AOL/AOR			filtr zmiennoprzepustowy	filtr zmiennoprzepustowy	—	—	
DNI	Sygnal wyjściowy dla filtru downsampling			FO	DI2 (zdemodulowany)	—	—	
DI2	Sygnal wejściowy dla FIFO			DI1 (zdemodulowany)	filtr zakłóceń	—	—	
FOS	Sygnal wyjściowy na FO					—	—	
DS0	Sygnal wyjściowy na DO1					—	—	
Rejestr rozkazów 4 (CMD4)								
Sterowanie globalne								
Bit7								
Bit0								
03H	MMU	QU1	QU0	NSD	DLO	SSP		
Nazwa	Funkcja			L/LL	H/LH	HL	HH	
SSP	Tłumienie filtru górnoprzep.			70dB	50dB	—	—	
DLO	Stan wyjścia danych			włączone	wylączone	—	—	
NSD	Uzupełnianie słowa próbki			włączone	wylączone	—	—	
QU1..0	Słowo danych			16-bitowe	20-bitowe	16-bitowe	18-bitowe	
MMU	Wyciszenie sygnału			wrazie błędów	pozostałe	—	—	
Rejestr rozkazów 5 (CMD5)								
Format danych audio								
Bit7								
Bit0								
04H	DI22	DI21	DO22	DO21	DO12	DO11	DO1M	FOT
Nazwa	Funkcja			L/LL	H/LH	HL	HH	
FOT	Stan wejścia FO			dozwolony	trójstanowy	—	—	
DO1M	Master/slave wybór dla DO1			master	slave	—	—	
DO12..1	Wybór formatu dla DO1			PS	16-bitowe pierwszy MSB	18-bitowe pierwszy MSB	trójstanowe	
DO22..1	Wybór formatu dla DO2			PS	16-bitowe pierwszy MSB	18-bitowe pierwszy MSB	trójstanowe	
DI22..21	Wybór formatu dla DI2			PS	16-bitowe pierwszy MSB	18-bitowe pierwszy MSB	trójstanowe	
Rejestr rozkazów 6 (CMD6)								
Ustawienie wzmocnienia								
Bit7								
Bit0								
05H	GAIN7	GAIN6	GAIN5	GAIN4	GAIN3	GAIN2	GAIN1	GAIN0
Nazwa	Funkcja			Przykład			Znaczenie	
GAIN7..0	Wzmocnienie układu regulacji poziomu			HHHHHHHH			x2	
	wzmocnienie = (GAIN7..0)/128			LLLLLLLL			x1	
				LHHHHHHH			x0.992	
				LLLLLH			x0.0078	
				LLLLLLLL			x0	

Rys. 47. Rejestry rozkazów układu TDA 1373H

Tabela 15. Przestrzeń adresowa układu TDA1373H

Zakres	Funkcja	Dostęp do pamięci
00 _H ..05 _H	rejestr rozkazów	odczyt/zapis
40 _H ..45 _H	rejestr stanu	odczyt
80 _H ..97 _H	bufor danych sterujących dla CBS	odczyt
80 _H ..AF _H	bufor danych sterujących dla UDB	odczyt
80 _H ..89 _H	bufor danych sterujących dla kanału Q	odczyt

mów przeciwdziała temu w ten sposób, że przesuwa widmo szumów do obszaru tak wysokich częstotliwości, że przez ucho są znacznie słabiej rejestrowane. W efekcie tego procesu uzyskuje się subiektywne wrażenie odpowiadające wydlużeniu słowa o 2 bity.

Opisaliśmy przepływ głównego strumienia danych przez TDA1373H. Istnieją jeszcze różne rozgałęzienia tego strumienia, które pokrótce omówimy - bliższe szczegóły znaleźć można w [2].

Port wyjściowy danych audio DO2 dostarcza sygnału poddanego 4-krotnemu oversamplingowi i może realizować te same formaty jak port DO1. Port wyjściowy FO dostarcza zdemodulowanego sygnału podanego na wejście IEC958 portu DI1 lub sygnały wyjściowe filtru upsamplingowego w formacie I-S, dzięki czemu istnieje możliwość włączenia w tor sygnału jakości układu DSP (Digital Signal Processor). Wejście dla strumienia bitowego AI i wyjście dla tego strumienia AO1 (niezależnie dla lewego i prawego kanału) są wykorzystywane w wypadku gdy TDA1373H jest zastosowany jako filtr przy przetwarzaniu A/C i C/A.

Dane sterujące

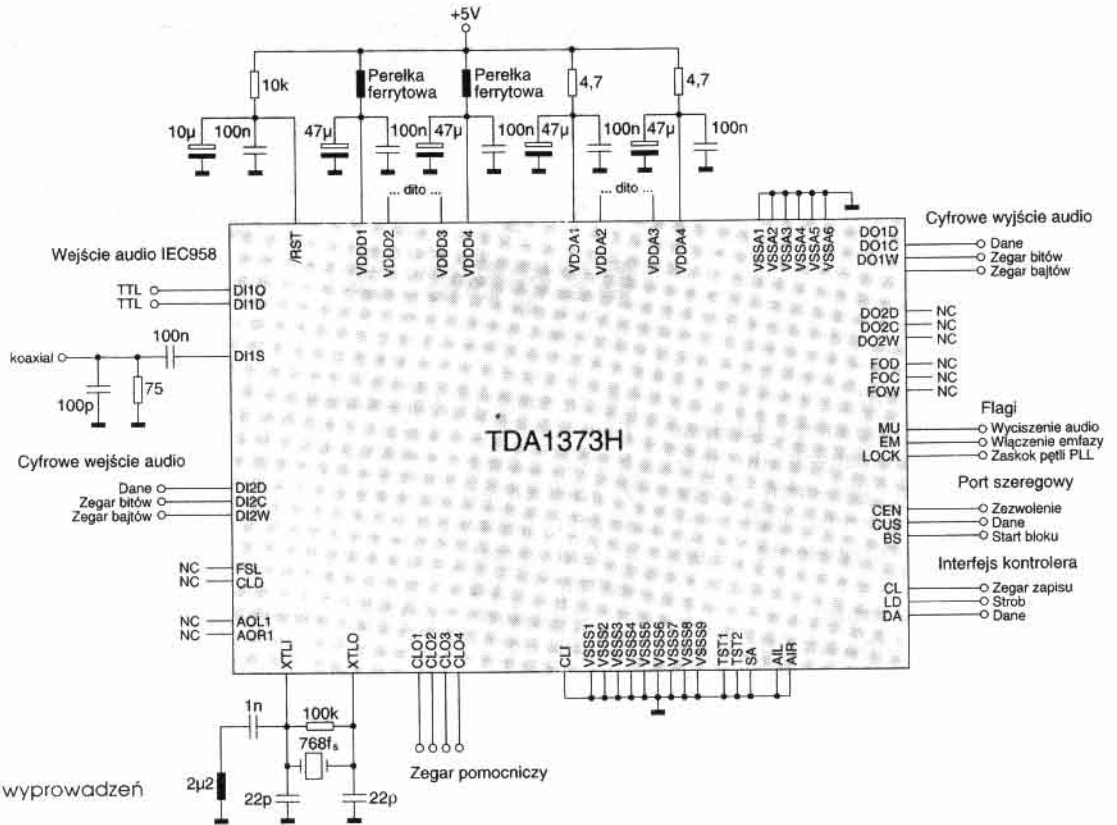
Przejdźmy do omówienia znaczenia danych sterujących wykorzystywanych przez TDA1373H. Chip ma do dyspozycji trzy porty dla danych sterujących:

- port dla Channel Status Bits, synchroniczny z sygnałem audio, składający się linii CUS (dane), linii CEN (takt) i linii BS (start bloku),
- bufor RAM, czytywalny przez mikroprocesor i mogący przechowywać alternatywnie:
 - wszystkie 192 CSB jednego bloku lewego kanału,
 - wszystkie 192 CSB jednego bloku prawego kanału,
 - wszystkie 384 USB jednego bloku,
 - 160 USB kanału Q dwu ramek CD,
 - dwa rejestry stanu, które zawierają najważniejsze informacje przenoszone przez pierwsze 30 CSB.

Bufor RAM może być przeczytany albo w wyniku przerwania albo jako pamięć zewnętrzna mikroprocesora. Sposób czytania określa stan bitu UIP w rejestrze CMD1. W pierwszym wypadku do wywołania przerwania w zewnętrznym mikroprocesorze wykorzystuje się wyjście startu bloku BS. Na wyjściu tym na początku każdego bloku pojawia się impuls High świadczący o dostępności nowych danych. Podczas gdy mikroprocesor odczytuje bufor RAM dane sterujące kolejnego bloku są wczytywane do bufora pośredniczącego; nowe dane zastępują stare dopiero wtedy gdy zakończy się blok. Dzięki takiej organizacji unika się utraty danych lub zmieszania nowych danych ze starymi.

W drugim wypadku wyzerowanie bitu SBF w rejestrze CMD1 zmusza mikroprocesor do zaprzestania ciągłego czytania danych sterujących. TDA1373H kompletuje dane dla aktualnie rozpoczętego bloku, zatrzymuje się i zeruje bit BCV w rejestrze STS1. Dane sterujące przetwarzane są w buforze dopóki bit SBF nie zostanie ponownie ustawiony.

Omówimy teraz dokładniej rejestry, na które już wielokrotnie powoływaliśmy się. Rejestry te są dostępne poprzez trójprzewo-



Rys. 48. Rozmieszczenie wyprowadzeń układu TDA1373H

dową magistralę, na którą składają się: linia danych DA, linia taktu CL i linia „załadowania” LD. Protokół komunikacji dla tej magistrali pokazano na **rysunku 45**. Dane są przejmowane przy narastającym zboczku na linii CL. Sygnał LD spełnia dwie funkcje: po pierwsze określa czy mamy do czynienia z czytaniem (L) czy z zapisem (H) a po drugie impuls Low na tej linii oddziela przy zapisie poszczególne bajty. Dostęp do poszczególnych rejestrów związany jest z wpisem odpowiadającego adresu (MSB najpierw). Bajty danych mogą być czytane lub zapisywane. Zapis może dotyczyć tylko jednego bajtu, przy czytaniu adres jest automatycznie inkrementowany dzięki czemu przy chęci czytania kolejnych bajtów wystarczy tylko jednokrotne podanie adresu. Przy przedłużającym się czytaniu powtarzają się adresy w obrębie danego obszaru adresowego - patrz **tabela 15**.

Nazwy i adresy poszczególnych rejestrów, ich zawartość i znaczenie podają **rysunki 46 i 47**. Rejestry poleceń (rozkazów) CMD1...CMD6 sterują globalnie przepływem danych, zachowaniem się PLL, filtrami i formowaniem szumów, określają formaty danych audio na poszczególnych portach, wyznaczają współczynnik wzmocnienia i typ danych sterujących przechowywanych w buforze RAM.

Dla uzyskania pracy jako przetwornik częstotliwości próbkowania muszą być wyzerowane bity MS0, MS1, LC0, LC1, DSO, DNI i DO2 w rejestrach CMD2 i CMD3. Aby uzyskać omówiony powyżej sposób przepływu danych należy ustawić bit FOS na Low a bit DI2 na High. Stany pozostałych bitów związane są z konkretnym zastosowaniem układu.

Status

Przy pomocy rejestrów stanu STS1 - STS6 daje się wyznaczyć stan PLL, bity ważności danych (Validity Bits), bity odpowiedzialne za wyciszenie sygnału spowodowane błędem; możemy uzyskać informację o częstotliwości próbkowania (z dużą dokładnością) i mamy dostęp do danych zawartych w pierwszych 30 CSB. Interpretacja tych ostatnich jest zależna od formatu danych wejściowych; dla danych w formacie konsumenckim mogą być uzyskane informacje o emfazie, kodzie kategorii i ochronie przed kopiowaniem - dla danych w formacie studyjnym rejestry STS5 i STS6 zawierają pierwsze 16 CSB w niezakodowanej postaci.

Opis podstawowych funkcji układu TDA1373H uznajemy za wyczerpany, przynajmniej w zakresie jego pracy jako przetwornika częstotliwości próbkowania. Podstawowy sposób jego połączeń ilustruje **rysunek 48**. Zewnętrzne elementy to kwarc i elementy bierne, odpowiedzialne przede wszystkim za filtrację kilku napięć zasilających. Dzięki cyfrowemu układowi PLL brak elementów filtrujących, typowych dla klasycznych układów tego typu. TDA1373H jest dostarczany w 64-końcówkowej obudowie QFP, o rozstawie wyprowadzeń 1mm. Układ wyprowadzeń można znaleźć w [2].

W kolejnym artykule omówimy układy do przetwarzania sygnałów audio.

Steffen Schmid

Literatura

- [1] Dane katalogowe CS8425 w: *Audio Databook 1994*, Crystal Semiconductor
- [2] *Data Sheet TDA1373H Objective specification*, Oct 1994, Philips Semiconductor

Artykuł publikujemy na podstawie umowy z redakcją niemieckiego miesięcznika ELRAD