

Magiczne kości

Część 5. Chipy dla cyfrowej techniki audio - zaawansowane układy odbiorcze

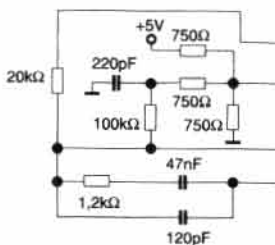
Praktycznie w każdym odtwarzaczu CD, magnetofonie DAT lub odbiorniku DSR stosuje się specjalne układy scalone do przetwarzania cyfrowych danych audio (format S/P-DIF lub AES/EBU). W niniejszym cyklu artykułów omawiamy ważniejsze osiągnięcia w tym zakresie różnych producentów i podajemy podstawowe dane umożliwiające zastosowanie tych układów. W tej części serii „Magicznych kości” omówimy układy odbiorcze nowej generacji.

TC9245

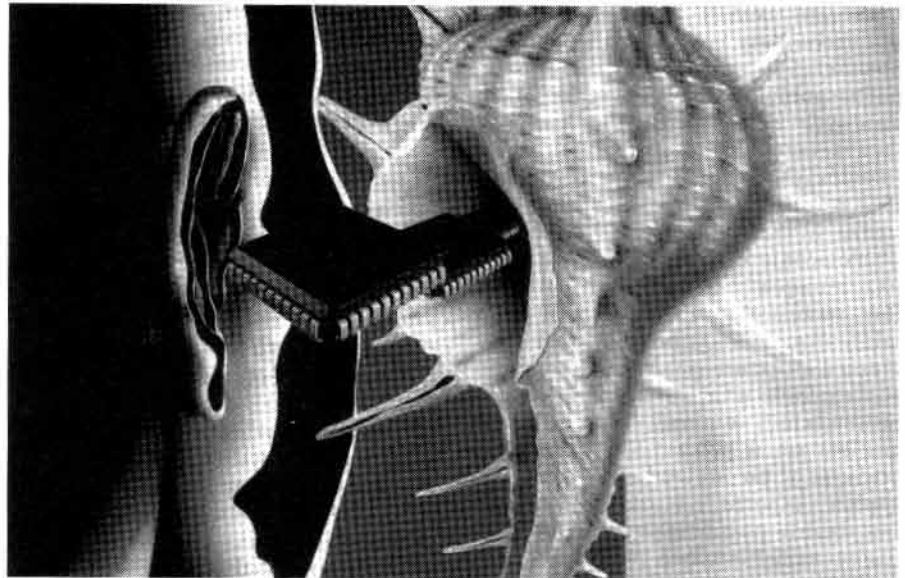
Układ TC9245 jest dostarczany w wąskiej obudowie 28-pinowej lub obudowie SO (szerokość 0,45 cala). Rozmieszczenie wyprowadzeń przedstawia rys. 30. Układ ten posiada cztery wejścia IN0 do IN3 dla sygnałów zgodnych z normą IEC958 i może akceptować sygnały o amplitudzie ponad 0,4V_{ss} co upraszcza stosowanie do połączeń kabli koncentrycznych. Sygnał z każdego wejścia może być wybrany do dalszej obróbki przy pomocy wewnętrznego multiplexera. Oprócz sygnału z wejścia IN3 sygnały z pozostałych wybranych wejść są w niezmięnionej postaci doprowadzone do pinu DOUT. Jeśli zostanie wybrane wejście IN3 to wyprowadzenie DOUT przyjmuje stan „Low”. Procedura wyboru wejścia jest zależna od trybu pracy układu - zostanie to objaśnione w dalszej części opisu.

Wybrany sygnał wejściowy zostaje doprowadzony do układu PLL zawartego w TC9245. Filtr tego układu tworzą elementy pokazane po lewej stronie rys. 30. Duża ilość elementów tego filtru uzasadniona jest faktem zastosowania w tym układzie PLL metody dwukrotnego porównania faz. W tym celu układ posiada dwa komparatory działające na różnych zasadach: komparator czuły na częstotliwość (wyjście FCONT) - i komparator czuły na fazę, do precyzyjnego dostrojenia częstotliwości (wyjście PD). Rozwiązanie takie w dużym stopniu eliminuje niewłaściwy zaskok układu PLL. Przy okazji należy zauważyć, że inni producenci uzyskują podobny wynik przy użyciu znacznie mniejszej ilości zewnętrznych elementów. Układ PLL posiada wydzielone piny zasilania: VDDA i VSSA.

Jeśli sygnał wejściowy zaniknie na czas dłuższy od jednej sekundy to wewnętrzny



Rys. 30. Typowe połączenia układu TC9245



układ VCO zostanie wyłączony i układ przestaje dostarczać sygnały wyjściowe - informując o tym stanie. Układ można też świadomie „unieruchomić” przykładając na pin /VCOINH poziom Low (normalnie powinien być doprowadzony poziom High).

Zdemodulowane dane audio wychodzą z układu przez pin DATA synchronicznie z taktowaniem o częstotliwości będącej 32-krotnością częstotliwości próbkowania

(pin BCK) i taktów słów (pin LRCK), którego polaryzacja może być opcjonalnie odwracana. Zależności czasowe (timing) tych sygnałów odpowiadają analogicznemu sygnałom układu nadawczego TC9231N omówionego w pierwszym artykule cyklu (rys. 7). Dostępny jest też takt bitowy o częstotliwości będącej 384-krotnością częstotliwości próbkowania (pin FS384) i takt bitowy (pin CKOUT) o częstotliwości zależnej od trybu pracy układu (192- lub 128-krotność częstotliwości próbkowania). TC9245 może pracować w dwu różnych trybach, które dotyczą także portu danych sterujących. Rozróżniamy tryb równoległy i tryb szeregowy - przełączanie przy pomocy pinu SEL. Jeśli jest on w stanie High lub pozostaje nigdzie nie podłączony to mamy do czynienia z trybem równoległym - przewidzianym do pracy Stand-alone (bez udziału mikroprocesora), kiedy to wszystkie funkcje są programowane (i czytane) przez statyczne poziomy napięcie na odpowiednich

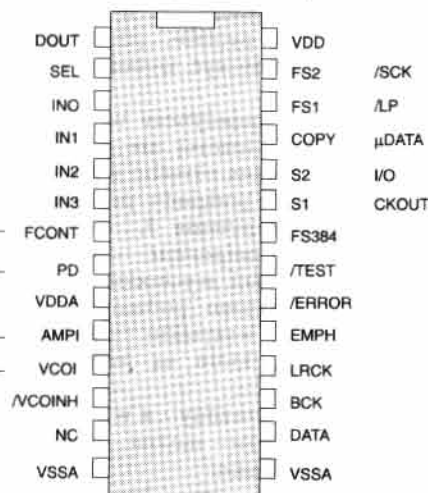
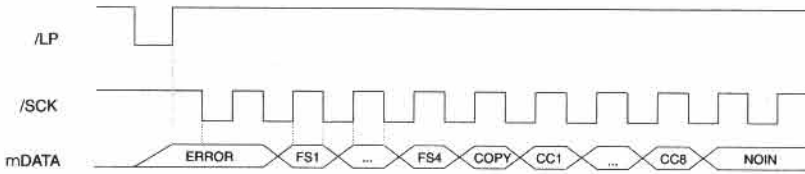
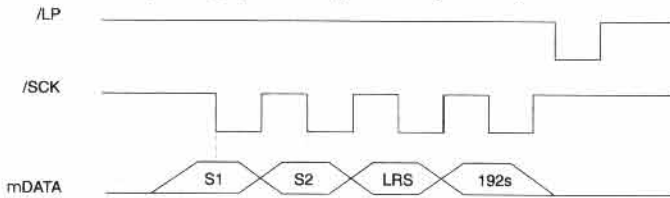


Tabela 10. Wybór wejścia dla TC9245

S2	S1	Wybrane wejście
L	L	IN0
L	H	IN1
H	L	IN2
H	H	IN3 (DOUT nieakt.)



Rys. 31. Czytanie portu danych sterujących TC9245. Znaczenie danych: ERROR: stan niski, gdy błąd; COPY: bit ochrony przed kopiowaniem (CSB2); CC1..7: kod kategorii (CSB8..14); CC8: oznaczenie generacji (CSB15); FS1..4: kod częstotliwości próbkowania (CSB24..27); NOIN: stan wysoki, gdy brak sygnału wejściowego



Rys. 32. Zapis portu danych sterujących TC9245. Znaczenie danych: S1, S2: wybór wejścia; LRS: stan wysoki powoduje inwersję sygnału LRCK; 192s: stan wysoki - takt bitów (CKOUT) wynosi 192-częstotliwość próbkowania; stan niski - takt bitów (CKOUT) wynosi 128-częstotliwość próbkowania

pinach. W trybie tym wybór kanału określają wejścia multiplexera (piny S1 i S2) zgodnie z tabelą 10. Ponieważ pin S1 dzieli się swą funkcją z wyjściem CKOUT, w tym trybie pracy takty bitowe o krotnościach częstotliwości próbkowania 192 lub 128 są niedostępne.

Port danych sterujących, który może obsługiwać wyłącznie format konsumencki, w tym trybie pracy odpowiada typowi 2. Dostarcza on na piny FS1 i FS2 kod dla częstotliwości próbkowania, który dokładnie odpowiada bitowi 24 i 25 statusu kanału. Z piny COPY można pobierać bit CSB2 wskazujący na uwzględnienie praw autorskich. W trybie równoległym korzystanie z zabezpieczenia przed kopiowaniem (SCMS) nie jest możliwe. Wszystkie trzy wejścia są typu otwarty dren i posiadają wewnętrzne rezystory pull-up. Przykładając do piny SEL poziom Low zmuszamy TC9245 do pracy w trybie szeregowym, który umożliwia sterowanie przy pomocy mikroprocesora. Możliwe jest czytanie i zapis - poziom High na pinie I/O oznacza czytanie a Low zapis. Maksymalna szybkość odczytu tego portu wynosi kilkaset kHz.

Operacja czytania chipu umożliwia dostęp do portu danych sterujących typu 3, który dostarcza informacji o: częstotliwości próbkowania, obu bitach CSB określających zabezpieczenie przed kopiowaniem, bitach sygnalizujących wystąpienie błędu parzystości i o braku sygnału wejściowego. Protokół dostępu pokazano na rys. 31. Należy zwrócić uwagę na konieczność podania poziomu Low na pin /LP na początku sekwencji. Podanie impulsów taktujących na pin /SCK umożliwia zczytywanie danych z piny μ Data. Dane są aktualne gdy /SCK jest w stanie High. Pokazane na rys. 32 przebiegi odpowiadają zapisowi do chipu. Wpis do TC9245 dopuszcza wybór sygnału wejściowego, inwersję takty LRCK jak i wybór częstotliwości takty CKOUT. Proces zapisu musi kończyć impuls Low na lini /LP.

CS8412

Kolejnym układem jest CS8412 f-my Crystal. Jest to chip współpracujący z opisanym w pierwszej części cyklu nadajnikiem inter-

fajesowym CS8402 i jest dostarczany w 28 pinowej obudowie DIL lub SO. Wyprowadzenia tego układu i podstawowe połączenia ilustruje rys. 33.

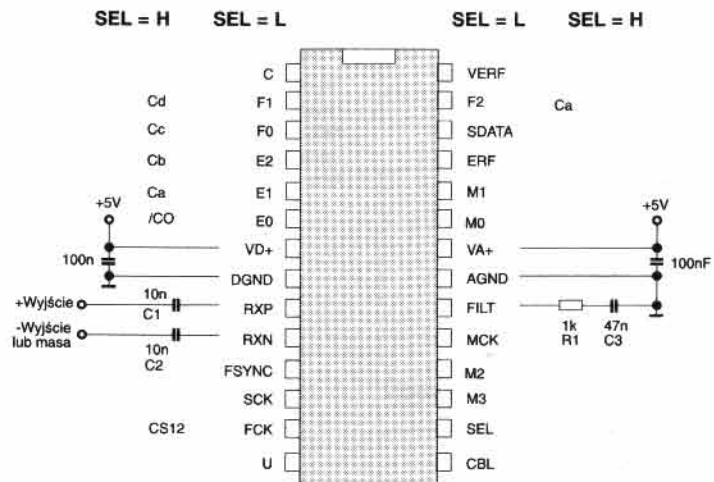
Cechą charakterystyczną tego układu jest możliwość bezpośredniego połączenia z kablami koncentrycznymi. W tym celu jest on wyposażony w wejścia spełniające wymagania łącza RS-422, które umożliwiają akceptację zarówno sygnałów różnicowych jak i podawanych względem masy. Podłączenie jest realizowane przy pomocy kondensatorów C1 i C2 na wejściach RXP(niedwracające) i RXN(odwracające). To ostatnie, w wypadku sygnału na wejściu RXP odniesionego względem masy, zwarte jest na masę poprzez C2. Wejścia te mogą akceptować również sygnały o poziomach TTL, co umożliwia wygodne podłączenie modułu transmisji optycznej. Sygnał wejściowy doprowadzony zostaje do wewnętrznego układu PLL, który zawiera kilka detektorów częstotliwości wspomagających detektor fazy. Detektory te wykrywają zaskok pętli PLL na niewłaściwej częstotliwości i ułatwiają reakcję na zmieniającą się częstotliwość próbkowania. Filtr PLL wymaga tylko dwóch zewnętrznych elementów: R1 i C3. Firma Crystal specyfikuje

tłumienie efektu „jitter” pętli PLL co umożliwia ilościową ocenę pracy tej części układu.

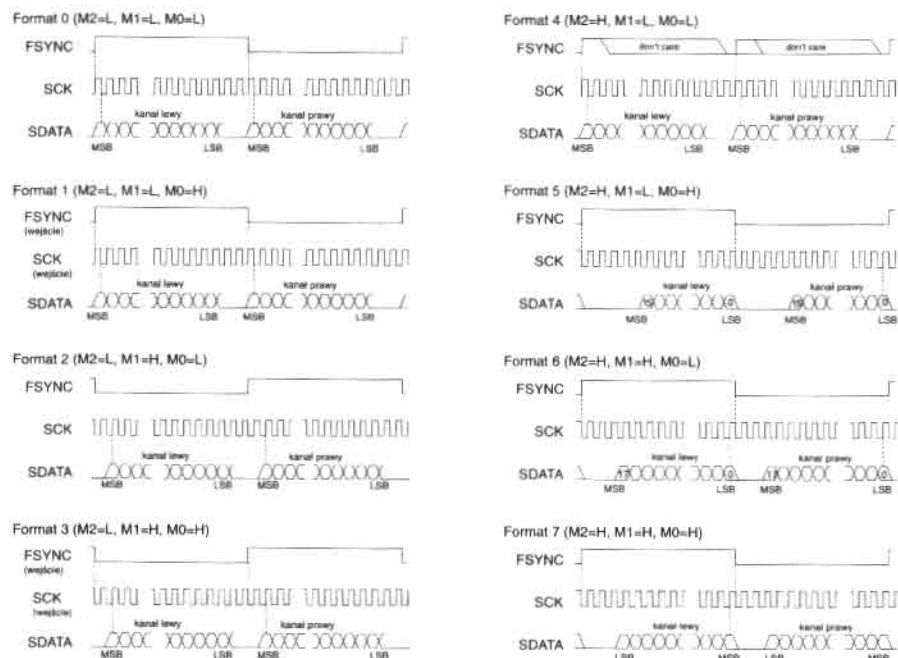
Podobnie jak niemal wszystkie dotychczas omówione układy odbiorcze tak i ten posiada odrębne doprowadzenia zasilania układu PLL (VA+ i AGND). Jako jedyny producent Crystal oferuje możliwość, przy korzystaniu z połączenia kablami koncentrycznymi, sprawdzenia jakości sygnału wejściowego znacznie wcześniej niż „wyskoczy” PLL i zawiędzie przetwarzanie. W zastosowaniach profesjonalnych umożliwia to skrócenie przewodów i sprawdzenie złącz we właściwym momencie, zanim sygnał całkowicie zniknie. To ostrzeżenie wykorzystuje diagram „oczkowy” i wyzwala alarm gdy horyzontalne „otwarcie” oczka przekracza połowę okresu bitowego.

W wypadku braku sygnału nadającego się do przetwarzania VCO zawarty w układzie PLL generuje najniższą częstotliwość a piny ERF i VERF znajdują się w stanie High. Częstotliwość regenerowana przez układ PLL jest 256 razy większa od częstotliwości próbkowania i jest dostępna na pinie MCK. Generator takty systemowego dostarcza takt bitowy SCK o częstotliwości będącej 64-krotnością częstotliwości próbkowania oraz takt słów FSYNC o częstotliwości próbkowania lub dwa razy większej. Łącznie z danymi audio SDATA oba poprzednio wymienione sygnały umożliwiają utworzenie 8 różnych formatów danych - wybór określonego formatu realizowany jest pinami M0..M2 (rys. 34). Dla większości formatów CS8412 pracuje jako Master i dostarcza oprócz danych audio takt bitów i takt słów. Format 1 i 3 określają CS8412 jako Slave, który produkuje dane audio synchronicznie z przyłożonym z zewnątrz taktem bitów lub słów - umożliwia to czytanie danych audio pod kontrolą innych układów. W tym wypadku należy dążyć do tego aby takt słów miał częstotliwość dokładnie odpowiadającą częstotliwości próbkowania sygnału wejściowego - w przeciwnym wypadku niektóre próbki mogą zostać zgubione.

Do ośmiu standardowych formatów dochodzi sześć formatów specjalnych przewidzianych do zastosowań specjalnych. Do takich zaliczyć można np. możliwość ominięcia przez strumień danych audio i sterujących demultiplexera i wysłanie na pin SDATA oryginalnych danych zdemodulowanych



Rys. 33. Typowe połączenia układu CS 8412



Rys. 34. Formaty danych audio i wykresy czasowe dla układu CS8412

bifazowo. Bliższe informacje na ten temat można znaleźć w danych katalogowych.

CS8412 dysponuje wieloma możliwościami

Tabela. 11. Kodowanie błędów w CS8412

E2	E1	E0	Rodzaj błędu
L	L	L	brak błędu
L	L	H	ustawia flagę 'ważności'
L	H	L	zła jakość sygnału wejściowego
L	H	H	stracona próbka przy zewnętrznej synchronizacji (tylko tryb Slave)
H	L	L	błąd CRC (tylko dla formatu studyjnego)
H	L	H	błąd parzystości (*)
H	H	L	błąd kodowania bifazowego (*)
H	H	H	brak zaskoku układu PLL (*)

Tabela 12. Kodowanie częstotliwości próbkowania dla układu CS8412

F2	F1	F0	Częstotliwość próbkowania
L	L	L	poza wszystkimi zakresami
L	L	H	48kHz ±4%
L	H	L	44,1kHz ±4%
L	H	H	32kHz ±4%
H	L	L	48kHz ±400ppm
H	L	H	44,1kHz ±400ppm
H	H	L	44,056kHz ±400ppm
H	H	H	32kHz ±400ppm

Tabela 13. Bity stanu dla CS8412

Końcówka	Format konsumencki	Format studyjny
C0	zawsze H	zawsze L
Ca		C1
Cb		EM0
Cc		EM1
Cd	ORIG	C9
Ce	IGCAT	CRCE

Tabela 14. Kodowanie emfazy w CS8412

EM1	EM0	Emfaza
L	L	CCITT J. 17
L	H	50/15µs
H	L	wyłączona
H	H	nastawianie ręczne

mi diagnozowania błędów w sygnale wejściowym. W tym celu wyposażony jest w 3-bitowy port błędów uaktywniany przyłożeniem poziomu Low do pinu SEL. Port ten tworzą piny E0...E2 przy pomocy których można sygnalizować siedem różnych sytuacji związanych z błędami - patrz tabela 11. Błędem oznaczonym (*) towarzyszy pojawienie się poziomu High na pinie ERF. Gdy pin ERF jest w stanie High to także pin VEF jest w stanie High; pin VEF jest aktywny również wtedy gdy ustawiona jest flaga „ważności” danych (Validity Flag) dla sygnału wejściowego. Do diagnozowania błędów dochodzi także możliwość pomiaru częstotliwości próbkowania sygnału wejściowego, uaktywniana również poziomem Low na pinie SEL. Wymaga to podania na pin FCK sygnału referencyjnego o częstotliwości 6,144MHz. Nie należy tego mylić z oceną CSB (Channel Status Bits), które także zawierają informacje o częstotliwości próbkowania. Wynik pomiaru podawany jest na piny F0... F2 i reprezentuje jedną z ośmiu kategorii (tabela 12). Należy zwrócić uwagę że tylko ostatnie cztery kategorie, a więc podające wynik z dokładnością 400-ppm, mogą zapewnić poprawne przetwarzanie danych.

Piny portu błędów i piny podające częstotliwość zmieniają się w piny danych sterujących typu 2 w momencie podania na pin SEL poziomu High - odpowiada temu zmiana oznaczeń: piny E i F zmieniają oznaczenia na /C0 i Ca...Ce i pojawia się na nich wartość

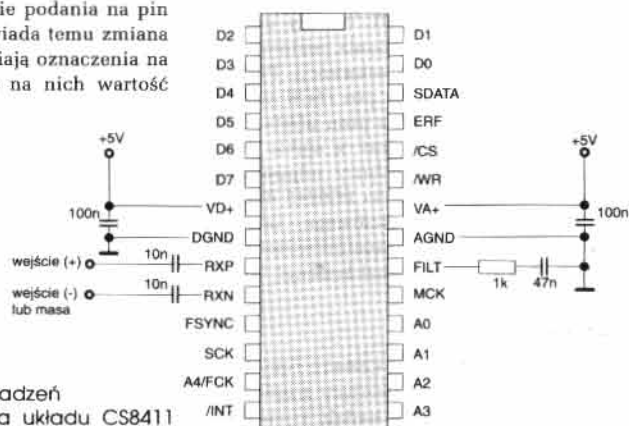
określonych Channel Status Bits. Które CSB są pokazane i jakie mają znaczenie zależy od formatu danych wejściowych (konsumencki czy studyjny - tabela 13). Gdy zostanie wykryty sygnał o formacie konsumenckim pin /C0 sygnalizuje to poziomem High - dają się wtedy czytać wartości CSB 1, 2 i 3 jak i flaga /ORIG która informuje o zabezpieczeniu przed kopiowaniem i uwzględnia wszystkie reguły związane z SMCS. Flaga IGCAT (Ignore CATegory) wskazuje na rozpoznanie sygnału wejściowego jako konsumencki lub na to że przetwornik A/C pracuje bez zabezpieczenia przed kopiowaniem - w tym wypadku nie działa SMCS.

Gdy omawiany chip rozpozna format studyjny to zmieniają się znaczenia pinów. Ocena dostarczanej przez nie informacji jest bardziej skomplikowana ponieważ informacja niesiona przez CSB 2 i 3 o emfazie (4 możliwe stany) powinna być interpretowana zgodnie z tabelą 14. Bit CSB 9 pozwala na określenie trybu kanału a flaga /CRCE wskazuje na błąd w bajcie CRC.

Niezależnie od formatu danych można określić która z obu „sub-ramek” (Subframes) powinna być wzięta pod uwagę przy ocenie danych sterujących. Umożliwia to pin CS12 - gdy jest on w stanie Low to uwzględniana jest pierwsza (lewa) sub-ramka. Na zakończenie należy wspomnieć że CS8412 dostarcza na pin CBL sygnału który przyjmuje poziom High podczas pierwszych 32 bitów CSB.

CS8411

Układ CS8411 jest starszym bratem CS8412 i jest oferowany w takich samych obudowach (28 DIL lub SO). Rozkład jego końcówek i sposób połączeń pokazano na rys. 35. Od swego młodszego brata różni się równoległą magistralą danych, dzięki której mikroprocesor uzyskuje dostęp do portu danych sterujących typu 3 oraz możliwość diagnozowania błędów i częstotliwości. Struktura tej magistrali i hardware związane z jej obsługą odpowiadają nadajnikowi interfejsowemu CS8401A opisanemu w pierwszej części cyklu. Wnętrze tego chipu odpowiada CS8412. Pomijając wspomnianą magistralę danych, rozmieszczenie końcówek obu układów jest identyczne. CS8412 posiada 32-bajtową pamięć (rys. 36), która zawiera m.in. 28-bajtowy bufor dla bieżących danych sterujących. Jak wynika z rys. 36, pamięć danych sterujących jest wykorzystywana na trzy sposoby, różniące się ilością danych i metodą ich zapamiętywania. CS8411 zachowuje się



Rys. 35. Rozkład wyprowadzeń i podstawowe połączenia układu CS8411

ADRES		
0	Pierwszy rejestr stanu/pierwszy rejestr zgody na przerwanie	
1	Drugi rejestr stanu/drugi rejestr zgody na przerwanie	
2	Pierwszy rejestr sterujący	
3	Drugi rejestr sterujący	
4		
5	bity danych użytkownika	
6	lewy i prawy kanał (bity 0..191) zapisywane cyklicznie	
7		
8	Bity statusu kanału 0..31	Bity statusu kanału lewy kanał 0..31
9		
A		
B		
C	Bity statusu kanału 32..191 zapisywane cyklicznie	Bity statusu kanału lewy kanał 32..191 zapisywane cyklicznie
D		
E		
F		
10	Bity statusu kanału 0..191	Bity statusu kanału prawy kanał 0..31
11		
12		
13		
14	Bity danych pomocniczych z 32 sub-ramek	Bity statusu kanału prawy kanał 32..191 zapisywane cyklicznie
15		
16		
17		
18		
19		
1A		
1B		
1C		
1D		
1E		
1F		

Tryb 0 (B1=L, B0=L) Tryb 1 (B1=L, B0=H) Tryb 2 (B1=H, B0=L)

Rys. 36. Tryby pracy pamięci danych sterujących w CS8411

dokładnie tak samo jak CS8401A, z tą jednak różnicą, że dane sterujące są odbierane, a nie wysyłane. Oznacza to w szczególności, że chip w trybie 0 i 1 zapamiętuje dane sterujące tylko jednej sub-ramki, zaś dane drugiej są ignorowane. Użytkownik może określić która sub-ramka zostanie zapamiętana. Ponieważ wszystkie funkcje układu są określone zawartością jego sześciu rejestrów, zostaną one omówione bardziej szczegółowo w oparciu o rys. 37.

Zacznijmy od rejestru stanu (statusu) i rejestru zgody na przerwanie. Pozycje poszczególnych bitów w obu parach tych rejestrów wzajemnie sobie odpowiadają: każdemu bitowi w rejestrze stanu odpowiada bit, znajdujący się na tej samej pozycji w rejestrze przerwań. Jest on odpowiedzialny za wywołanie przerwania (poprzez linię /INT) w momencie, gdy zostanie przez układy logiczne chipu ustawiony bit rejestru stanu. Rozwiązanie takie umożliwia przesłanie informacji do procesora o tym, że skompletowany został nowy zestaw danych sterujących, po drugie - że przerwanie może zostać zrealizowane tylko wtedy, gdy zmieniły się dane sterujące w ich źródle.

Pierwszy rejestr stanu zawiera m.in. trzy flagi, które informują do jakiego obszaru pamięci danych sterujących wpisywane są w danym momencie nowe dane. Na tej podstawie daje się określić jakie to są dane; znacznie ważniejszą funkcją tych flag jest sterowanie dostępem mikroprocesora do pamięci. Co prawda, pamięć ta jest zrealizowana jako Dual-Port-RAM, dzięki czemu mikroprocesor i wewnętrzne układy sterujące odbiornika mają do niej niemal całkowicie niezależny dostęp. Sytuacja konfliktowa podczas dostępu do pamięci może pojawić się wówczas, gdy obaj „klienci” jednocześnie

chcą skorzystać z tego samego adresu. Ocena stanu wspomnianych flag pozwala na wyeliminowanie takiej konfliktowej sytuacji.

Flagi 0 i 1 mają szczególną własność: wywołują przerwanie zarówno przy ich ustawianiu, jak i zerowaniu, zaś wszystkie pozostałe flagi tylko przy ich ustawianiu. Spośród pozostałych bitów pierwszego rejestru stanu bit CCHG jest szczególnie użyteczny. Zostaje on ustawiony gdy CSB aktualnie czytany blok danych różni się choćby na jednej pozycji od poprzedniego bloku. Jeśli chip zarządzi przerwanie w mikroprocesorze, gdy bit ten jest ustawiony, wtedy to żądanie zostaje uwzględnione jedynie pod warunkiem, że zmiany w stanie (statusie) kanału wymagają nowego ustawienia danych sterujących.

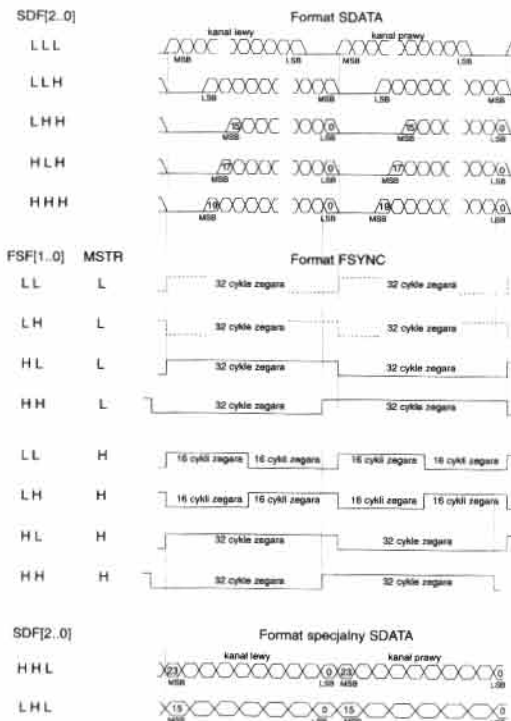
W wypadku sygnałów wejściowych w formacie konsumenckim najbardziej znaczący bit pierwszego rejestru stanu (CFDIF) spełnia również bardzo pożyteczne funkcje: służy on jako wskaźnik, że stan kanału obu sub-ramek jest różny. Choć CS8411 tylko w trybie 2 zapamiętuje dane sterujące obu sub-ramek, to nadzoruje on we wszystkich trybach także stan kanału dla nie zapamiętywanych sub-ramek. Jest to również praktyczne jak zapamiętywanie obu sub-ramek, ale wymaga dwukrotnie większego RAMu.

Pierwszy rejestr stanu / pierwszy rejestr zgody na przerwanie								B1D
CSDIF/ CRC2	CRCE/ CRC1	CCHG	SLIP	ERF	FLAG2	FLAG1	FLAG0	
<p>FLAG0: stan wysoki podczas przenoszenia ostatnich 16 CSB</p> <p>FLAG1: w trybie 0 stan wysoki podczas przenoszenia ostatnich 64 CSB w trybie 1 stan wysoki podczas przenoszenia CSB 16..31, 48..63 itd.</p> <p>FLAG2: stan wysoki podczas przenoszenia pierwszych 32 CSB</p> <p>ERF: flaga błędów (suma logiczna wszystkich flag błędów z drugiego rejestru stanu)</p> <p>SLIP: błąd synchronizacji: próbka stracona (tylko w trybie Slave portu audio)</p> <p>CRC1: błąd CRC w sub-ramce 1 (tylko w trybie 2, format studyjny)</p> <p>CRCE: błąd CRC w zapamiętanej sub-ramce (tylko w trybie 1 i 2, format studyjny)</p> <p>CRC2: błąd CRC w sub-ramce 2 (tylko w trybie 2, format studyjny)</p> <p>CSDIF: różne statusy kanału dla obu sub-ramek (tylko w formacie ogólnym)</p>								
Drugi rejestr stanu / drugi rejestr zgody na przerwanie								B1D
FREQ2	FREQ1	FREQ0	CONF	LOCK	CODE	PARITY	V	
<p>V: flaga "ważności" danych</p> <p>PARITY: błąd parzystości</p> <p>CODE: błąd kodowania</p> <p>LOCK: brak zaskoku petli PLL</p> <p>CONF: niewystarczająca jakość sygnału</p> <p>FREQ0..2: kategoria częstotliwości (patrz tab. 12)</p>								
Pierwszy rejestr sterujący								B1D
FPLL	FCEN	IER/SR	CS2/CS1	B1	B0		RST	
<p>RSTV: stan niski zeruje wszystkie wewnętrzne liczniki i blokuje wszystkie wyjścia z wyjątkiem MCK</p> <p>B0, B1: określają tryb pracy pamięci</p> <p>CS2/CS1: stan niski powoduje zapamiętywanie danych sub-ramki 1 stan wysoki powoduje zapamiętywanie danych sub-ramki 2</p> <p>IER/SR: stan niski udostępnia rejestr stanu stan wysoki udostępnia rejestr zgody na przerwanie</p> <p>FCEN: stan wysoki uaktywnia komparator częstotliwości</p> <p>FPLL: stan niski - pobieranie FSYNZ z sygnału wejściowego stan wysoki - pobieranie FSYNZ z PLL</p>								
Drugi rejestr sterujący								B1D
ROER	SDF2	SDF1	SDF0	FSF1	FSF0	MSTR	SCED	
<p>SCED: odwraca zbrocze SCK, któremu towarzyszy emisja danych audio</p> <p>MSTR: stan wysoki - tryb Master (k. SCK i FSYNZ stają się wejściami)</p> <p>FSF0..1: wybór formatu FSYNZ</p> <p>SDF0..2: wybór formatu SDATA</p> <p>ROER: stan wysoki - w przypadku błędu powtarzanie ostatniej próbki stan niski - w przypadku błędu wyciszenie</p>								

Rys. 37. Rejestry układu CS8411

Drugi rejestr stanu dzieli się na dwa obszary: młodsze 5 bitów dostarcza informacji o wystąpieniu błędów i ich przyczynach, przy czym te ostatnie odpowiadają sytuacji dla CS8412. Jeśli wystąpi błąd, to odpowiedni bit pozostanie tak długo ustawiony, aż zostanie przeczytany pierwszy rejestr stanu. Operacja logiczna „lub” (OR) na wszystkich flagach błędów, które posiadają zgodę na przerwanie, określa stan flagi globalnej ERF w pierwszym rejestrze stanu. Oprócz tej flagi istnieje także końcówka o tej samej nazwie i reprezentuje tę samą sytuację, jednak z pewną różnicą: końcówka przechodzi w stan wysoki przy każdym pojedynczym błędzie niezależnie od tego czy w międzyczasie pierwszy rejestr stanu zostanie przeczytany. Jeśli wystąpi błąd i odpowiadające mu przerwanie ma zgodę na realizację, wtedy końcówka /INT (wyjście typu „Open Collector”, zalecany rezystor podciągający 5kΩ) przechodzi w stan niski na czas czterech taktów zegarowych SCK. Dalsze warunki określające przerwanie prowadzą do kolejnego impulsu /INT dopiero wtedy, gdy pierwszy rejestr stanu zostanie przeczytany.

Trzy starsze bity drugiego rejestru stanu kodują częstotliwość próbkowania sygnału wejściowego; sposób kodowania jest taki



Rys. 38. Formaty danych audio dla CS8411

sam, jak w CS8412 (tabela 12). Ta część drugiego rejestru stanu nie ma żadnych przyporządkowanych flag przerwań w rejestrze zgody na przerwanie; na ich miejscu znajduje się szereg flag związanych z testowaniem - w warunkach normalnych muszą być wyzerowane.

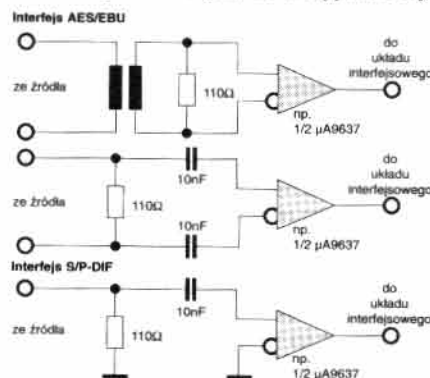
Jak wynika z rys. 36, rejestry stanu i odpowiadające im rejestry zgody na przerwanie występują pod tym samym adresem. O tym, który z rejestrów jest dostępny dla mikroprocesora, decyduje stan bitu /IER/SR w pierwszym rejestrze sterującym. W tym rejestrze znajduje się także bit /RST, który musi znajdować się w stanie wysokim, aby chip podjął pracę. Bity B0, B1 określają sposób pracy pamięci danych sterujących, bit CS2/CS1 określa która sub-ramka będzie zapamiętana. Bit FPLL wyznacza, co będzie źródłem sygnału FSYNC - gdy jest on w stanie niskim, to FSYNC pochodzi bezpośrednio ze strumienia danych wejściowych. Jest to zalecane wtedy, gdy dane przenoszone są na drodze optycznej lub przez niezbyt długi kabel koncentryczny. Przy długim kablu może wystąpić „jitter” - wtedy należy pobrać FSYNC z układu PLL (FPLL=High). Bit FCEN uaktywnia komparatory częstotliwości. Ponieważ wejście sygnału referencyjnego FCK musi zadowolić się tym samym pinem, który określa najstarszy adres (A4), to przy aktywnym komparatorze częstotliwości dostępna jest tylko połowa pamięci danych sterujących.

W tym przeglądzie brakuje jeszcze omówienia drugiego rejestru danych sterujących. Służy on do konfiguracji portu audio. CS8411 może obsługiwać 5 formatów danych audio, które dają się kojarzyć z 16 formatami taktującymi. Mamy ponadto do dyspozycji 5 formatów specjalnych audio, z których co najmniej dwa mają istotne znaczenie. Zestawienie tych możliwości ilustruje rys. 38. Przy wyborze formatu należy przede wszystkim

zdecydować bitem MSTR, czy CS8411 będzie pracował jako Master czy jako Slave. Jako Master układ generuje sygnał danych SDATA, takt bitów SCK o częstotliwości będącej 64-krotnością częstotliwości próbkowania oraz takt słów FSYNC o częstotliwości równej częstotliwości próbkowania lub dwa razy większej. W trybie Slave końcówki SCK i FSYNC służą jako wejścia przy zachowaniu powyższych częstotliwości. Przy pomocy bitu SCED można określić polaryzację taktu bitów, zaś grupa SDF wyznacza format danych audio. Bit FSF określa format taktu słów FSYNC.

Oba formaty specjalne wyróżniają się tym, że dane audio wypełniają całkowicie czas przenoszenia jednej sub-ramki. Ponieważ generowany jest wtedy jeden takt bitów na każdy bit danych audio, to częstotliwość SCK obniża się do krotności 48 lub 32 częstotliwości próbkowania. Obydwa formaty specjalne dostępne są wyłącznie w trybie Slave. Dalsze szczegóły podane są w danych katalogowych.

Oprócz wyboru formatu, przez ustawienie bitu ROER w drugim rejestrze sterującym można zdecydować o tym, że w wypadku wy-



Rys. 39. Sposoby połączeń z kablem koncentrycznym

stąpienia błędu ostatnia poprawna próbka danych audio będzie powtarzana przez czas jego trwania. Jeśli przy ustawionym bicie ROER układ PLL wyjdzie ze stanu zaskoku, to układ generuje dane nieokreślone. Jeśli bit ROER nie jest ustawiony, to w wypadku zaistnienia błędu i po utracie synchronizacji z pętlą PLL CS8411 natychmiast wycisza sygnał.

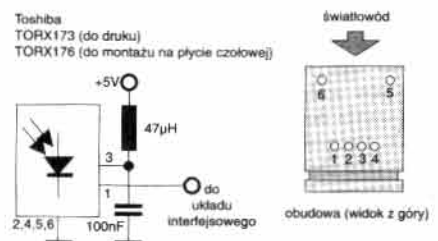
Nadszedł teraz moment, aby uzupełnić informacje podane w pierwszej części cyklu na temat trybu „przezroczystego” w CS8401A. Jak wiadomo, tryb ten, polegający na bezpośrednim przepływie danych pomiędzy nadajnikiem interfejsowym (CS8401A) a odbiornikiem interfejsowym (CS8411), jest stosowany w celu modyfikowania danych audio przy zachowaniu oryginalnych danych sterujących. Dla kombinacji układów CS8401A/CS8411 nie ma sprzętowej drogi dla danych sterujących; co więcej - transport danych odbywa się poprzez pamięć danych sterujących pod nadzorem mikroprocesora. Musi się on troszczyć ponadto o synchronizację bloków oczekując na to, aż CS8411 przez skasowanie flagi 2 w pierwszym rejestrze stanu zamelduje kompletność odbioru bloku danych. Wówczas mikroprocesor przenosi dane sterujące do pamięci CS8401A i ustawia bit BKST w pierwszym rejestrze stanu, dzięki czemu CS8401A zostaje zmuszony do rozpoczęcia transmisji nowego bloku.

Połączenia obwodów wejściowych

Jeśli zastosowane układy nie mają specjalnych odbiorników RS422, połączenia pokazane na rys. 39 dobrze spełniają swe zadanie. Układami pomocniczymi mogą być np. SN75ALS193, AM26LS32 lub μA9637. Należy uwzględnić różnice pomiędzy interfejsami AES/EBU a S/P-DIF, ponieważ charakteryzują je różne poziomy napięć i różne oporności falowe. W ostateczności, ze względu na oszczędność materiałów, możemy zrezygnować z separacji galwanicznej, a więc transformatora - po stronie nadajnika separacja galwaniczna jest wymuszona przepisami. W wypadku łącza w standardzie S/P-DIF nie można tego uwzględnić, jak również konwencji dotyczących uzziemienia symetrycznego kabla AES/EBU. Separacja galwaniczna przewodów sygnałowych eliminuje możliwość pojawienia się dodatkowych pętli (związanych z różnicami w potencjałach mas); mogą się one pojawić przez niewłaściwe połączenia ekranów.

W wypadku transmisji optycznej sprawa wygląda znacznie prościej: wystarczy specjalny układ scalony pokazany na rys. 40. Oprócz filtracji napięcia zasilania przy pomocy filtra LC zbędne są jakiegokolwiek inne elementy.

Steffen Schmid



Rys. 40. Sposoby połączeń ze światłowodem