

Wiele cyfrowych urządzeń audio może działać zarówno jako źródło danych, jak i ich odbiornik. Możemy zapisywać na taśmie DAT lub z niej odtwarzać, możemy także do danych audio wprowadzać efekty w czasie rzeczywistym. Opracowano w związku z tym rodzinę scalonych układów nadawczo-odbiorczych (transceiverów) dla standardu IEC958.

# Magiczne kości

## Część 4. Chipy dla cyfrowej techniki audio - nadawczo-odbiorcze układy interfejsowe

Wymieniane jednym tchem przykłady zastosowań nie są sobie równoważne; takie urządzenie, jak np. DAT-Recorder, może działać w danym momencie tylko jako nadajnik lub jako odbiornik - wystarczy zatem, aby zawarty w nim transceiver mógł przesyłać dane w jednym kierunku (transceiver półduplexowy). Inaczej urządzenie do manipulowania efektami dźwiękowymi - jest ono jednocześnie nadajnikiem i odbiornikiem, jego transceiver musi jednocześnie obsługiwać oba kierunki przepływu danych (transceiver pełnoduplexowy).

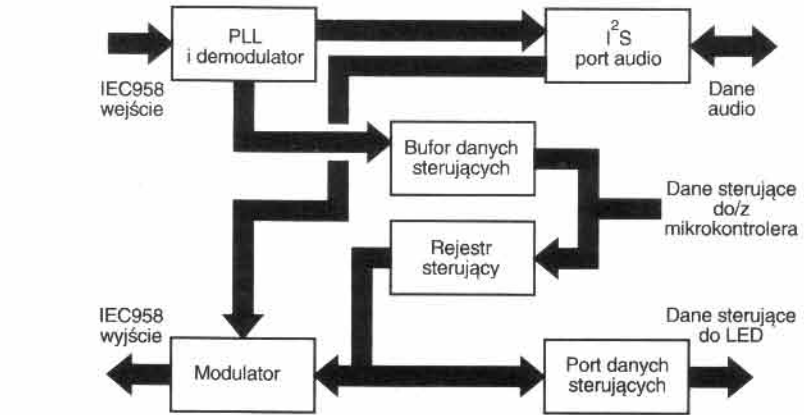
### TDA1315

Listę otwiera układ scalony Philipsa TDA1315. Jest to transceiver półduplexowy, którego strukturę ilustruje rysunek 24. Oprócz obu kierunków przepływu danych (tryb nadawania i tryb odbioru) różni się dwa rodzaje pracy: w trybie „Stand-alone” funkcje obwodu są uaktywniane poprzez końcówki sterujące, natomiast w trybie „Host” układ jest sterowany przez mikroprocesor, jednak z pozostawieniem możliwości oddziaływania przez końcówki sterujące. Typowy sposób włączenia układu w obwód, umożliwiający pracę w obu trybach, pokazano na rysunku 25.

Przedstawiając sposób pracy tego układu najpierw omówimy zagadnienia niezależne od trybu pracy, potem zajmiemy się różnicami od nich zależnymi.

TDA1315 posiada dwa wejścia dla sygnałów IEC958: IECIN0 i IECIN1. Podczas gdy IECIN0 akceptuje wyłącznie poziomy TTL, co predestynuje je do współpracy z odbiornikiem optoelektronicznym, to IECIN1 może przyjmować sygnały, doprowadzane przez kondensatory sprzęgające, o amplitudzie od 0,2V<sub>ss</sub>, a więc przenoszone przez kabel koncentryczny. Wybór wejścia określa poziom napięcia na końcówce IECSEL (poziom niski: IECIN0, poziom wysoki: IECIN1). Końcówka IECO jest wyjściem, które w trybie nadawania wyprowadza dane audio i dane sterujące jako sygnał w standardzie IEC958. Gdy układ pracuje jako odbiornik, na końcówce IECO występuje sygnał wybranego wejścia w zmienionej postaci. Końcówka IECO może być uaktywniona lub znajdować się w stanie wysokiej impedancji - określa to stan końcówki IECOEN (gdy IECOEN jest w stanie niskim, IECO jest aktywny).

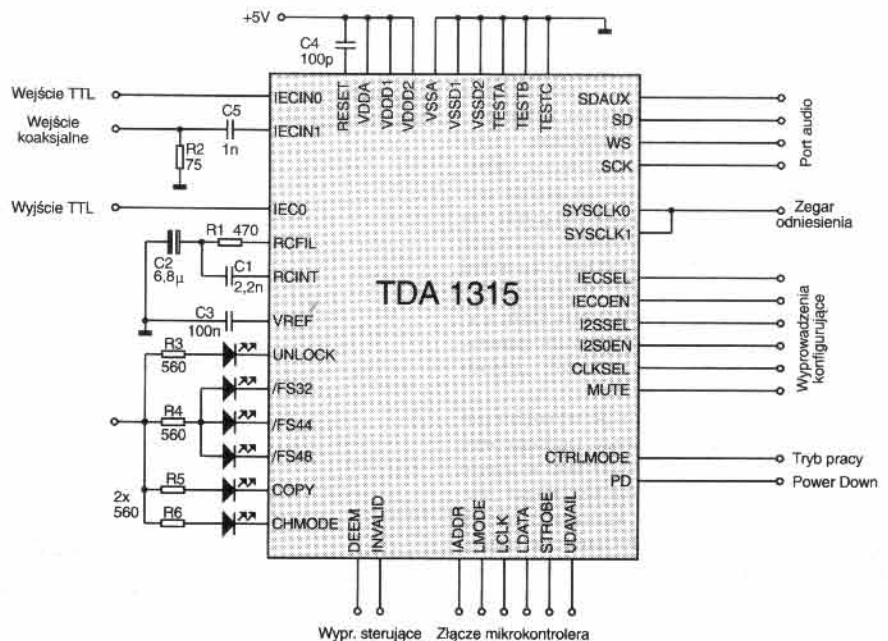
Układ PLL zawarty w TDA1315 posiada komparatory częstotliwości oraz fazy i wy-



Rys. 24. Schemat blokowy układu TDA1315

maga filtru złożonego z C1, C2 i R1. Napięcie referencyjne, podane na końcówkę 2, musi być blokowane kondensatorem C3. Gdy zaniknie sygnał wejściowy, częstotliwość PLL-VCO dryfuje dość wolno, dzięki czemu zaskok pętli po krótkotrwałym zaniku zasilania jest bardzo ułatwiony. Przy pracy wyłącznej w trybie nadawania można, od biedy, zrezygnować z tego filtru; wskazówki na

ten temat zawiera karta katalogowa [1]. Elementy analogowe układu posiadają odrębne doprowadzenia zasilania: VDDA i VSSA. W trybie odbioru układ PLL generuje systemowy sygnał taktujący (zegarowy), wyprowadzony na końcówkę SYSCCLK0, który synchronizuje przebiegi wszystkich sygnałów. Częstotliwość tego sygnału może być programowana poprzez końcówkę CLKSEL. Przy



Rys. 25. Typowe połączenia układu TDA1315

CLKSEL w stanie niskim systemowy sygnał taktujący posiada częstotliwość będącą 384-krotnością częstotliwości próbkowania, zaś przy CLKSEL w stanie wysokim jej 256-krotnością. W trybie nadawania na wejściu SYSCLK1 konieczny jest systemowy sygnał taktujący, synchroniczny ze strumieniem danych i o częstotliwości takiej jak w wypadku odbioru.

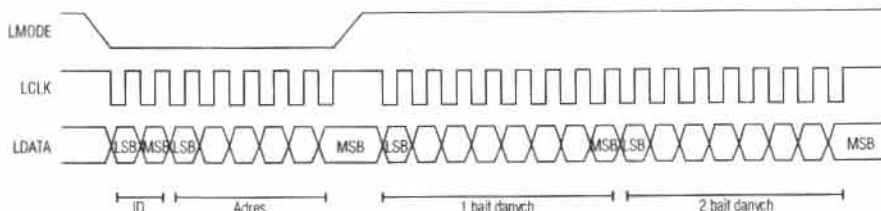
Zwróćmy z kolei uwagę na port Audio, w którym - ze względu na półdupleksowe możliwości TDA1315 - kierunek przepływu danych musi być przełączany w zależności od tego, czy mamy do czynienia z odbiorem czy nadawaniem. Na port ten składają się: linia danych SD, takt bitów SCK i takt słów WS. Port ten uwzględnia format I<sup>S</sup> zdefiniowany przez firmę Philips i opisany w pierwszej części niniejszego cyklu.

W trybie odbioru TDA1315 pracuje jako Master magistrali I<sup>S</sup>, a więc generuje sygnały SCK, WS i SD. Musi być przy tym spełniony warunek niskiego poziomu logicznego na końcówce I<sup>2</sup>SON - w przeciwnym wypadku magistrala zostaje zwolniona (wszystkie wymienione końcówki są w stanie wysokiej impedancji).

W trybie nadawania TDA1315 pracuje jako I<sup>S</sup>-Slave, a więc końcówki SCK, WS i SD pracują jako wejścia - w tym wypadku I<sup>2</sup>SOEN musi być trwale na wysokim poziomie logicznym. Do wymienionych końcówek portu Audio należy jeszcze druga końcówka danych SDAUX, która, zamiast końcówki SD, służy do wytworzenia sygnału zgodnego ze standardem IEC958; końcówka I<sup>2</sup>SSEL musi mieć poziom wysoki. Tryb pracy nadawania dopuszcza doprowadzenie do końcówki SDAUX strumienia danych i pobieranie go z końcówki SD. Tak zrealizowana funkcja wewnętrznego monitorowania układu zmniejsza konieczność stosowania specjalnego układu w wypadku, gdy sygnał nadawany ma być jeszcze dodatkowo wykorzystywany wewnątrz urządzenia. Ten tryb pracy wymaga spełnienia warunku: I<sup>2</sup>SSEL i I<sup>2</sup>SOEN w stanie niskim.

Przejdźmy do omówienia danych sterujących. TDA1315 może przetwarzać dane tylko w formacie konsumenckim. Obwód dekoduje bity częstotliwości próbkowania w kanale statusu iysterowuje wyjścia FS32, FS44 i FS48, do których są podłączone LEDy. Podobnie końcówki COPY, CHMODE i UNLOCKysterowują niskim poziomem LEDy, które wskazują odpowiednio, że sygnał wejściowy ma zastrzeżone prawa autorskie, że posiada on format studyjny (a więc nie może zostać poddany dekodowaniu) oraz, że układ PLL nie jest w stanie zaskoku. Wyjście COPY określa jednocześnie wartość 2 bitu CSB; wyznaczenie kodu kategorii i symbolu generacji (zgodnie z SCMS) jest w trybie „Stand-alone” niemożliwe.

Końcówka DEEM sygnalizuje wysokim poziomem, że sygnał wejściowy podlega emfazie, zaś końcówka INVALID jest w stanie wysokim, gdy ustawiony jest bit (flaga) „dane ważne”. Przy pomocy końcówki MUTE można określić, czy i kiedy dane na końcówce SD będą wyciszane. Poziom wysoki na wejściu MUTE powoduje, że wyciszenie następuje tylko przy wystąpieniu błędu odbioru, natomiast poziom niski na tym wejściu powoduje wyciszenie ciągłe.



Rys. 26. Protokół łącza szeregowego dla TDA1315 w trybie Host

W trybie nadawania końcówki FS32, FS44, FS48, COPY, CHMODE, UNLOCK i DEEM nie odgrywają żadnej roli; końcówka INVALID staje się wejściem dla określania Validity Flag (bitu „ważności” danych). Przez podanie niskiego poziomu na wejście MUTE dane audio zostają wyciszone i jednocześnie bit ważności danych zostaje wyzerowany. Układ TDA1315 po załączeniu zasilania i przy zmianie trybu „Stand-alone” na „Host” (i odwrotnie) wymaga podania sygnału Reset. Sygnał taki po podaniu zasilania jest generowany automatycznie przy pomocy kondensatora C4.

Zajmijmy się teraz obydwojema trybami pracy TDA1315 - określa je stan na końcówce CTRLMODE. Poziom wysoki tej końcówki oznacza pracę w trybie „Stand-alone”. Ponieważ ta końcówka posiada wewnętrzny rezystor podciągający, to ten tryb jest trybem domyślnym. W tym trybie pracy TDA1315 może być użyty wyłącznie jako odbiornik - ponieważ nie jest wyposażony w końcówki sterujące umożliwiające podczas nadawania określenia wartości bitów związanych ze statusem kanału (Channel-Status-Bits). Konfigurowanie trybów pracy układu odbywa się przy pomocy omówionych już końcówek IE-CSEL, IE-COEN, I<sup>2</sup>SSEL, I<sup>2</sup>SOEN i CLKSEL - wszystkie one posiadają wewnętrzne rezystory podciągające.

Bardziej skomplikowanym, ale też i bardziej wszechstronnym, jest tryb „Host” uaktywniany niskim poziomem na końcówce CTRLMODE. Różni się on od trybu „Stand-alone” pod dwoma względami: po pierwsze - funkcję układu określa zewnętrzny mikroprocesor, który przez łącze szeregowe ma dostęp do wewnętrznych rejestrów TDA1315, po drugie - port danych sterujących ma znacznie większe możliwości. Łącze szeregowe pomiędzy mikroprocesorem a TDA1315 jest realizowane przez końcówki: wejścia/wyjścia

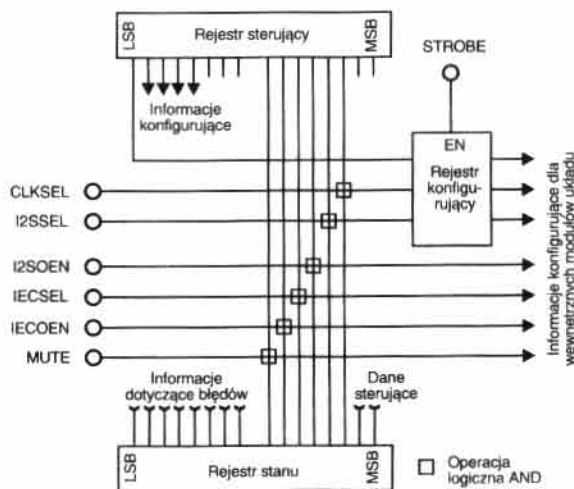
Tab. 8. Przenoszenie danych w TDA1315

| MSB | LSB | Źródło/cel                     |
|-----|-----|--------------------------------|
| L   | L   | Channel Status Bits            |
| L   | H   | User Data Bits                 |
| H   | L   | Rejest sterujący (tylko zapis) |
| H   | H   | Rejest stanu (tylko odczyt)    |

danych LDATA, wejście taktujące LCLK, wejście określające tryb pracy LMODE i wejście wyboru adresu LADDR. Łączę to stanowi uniwersalną magistralę, do której stosuje się protokół przedstawiony na rysunku 26 i która dopuszcza podłączenie wielu niekoniecznie jednakowych układów, ale posiadających własne adresy. Adres jest 6-bitowy i na stałe zaimplementowany w chipie. Podawanie adresu zaczyna się od najmniej znaczącego bitu (LSB). W przypadku TDA1315 poziomem na końcówce LADDR można wybrać jeden z dwóch adresów: 000001 (LADDR w stanie niskim) lub 000010 (LADDR w stanie wysokim). Stan końcówki LMODE pozwala na rozróżnianie pomiędzy przenoszeniem adresu (LMODE - stan niski) i danych (LMODE - stan wysoki).

Każdy dostęp do układu rozpoczyna się transmisją dwóch bitów ID poprzedzających adres. Bity te determinują rodzaj i kierunek danych, które będą transmitowane. W wypadku TDA1315 znaczenie tych bitów podaje tabela 8. O tym, czy dane będą czytane czy zapisane, decyduje aktualny kierunek transmisji i cel. Dostęp do rejestrów sterujących jest zawsze zapisem, a dostęp do rejestru stanu (statusu) czytaniem. Transmisja może dotyczyć jednego lub wielu bajtów - zawsze rozpoczyna się od bitu LSB. Przenoszeniu każdego bitu, zarówno adresu jak i danych, towarzyszy narastające zbocze na linii LCLK. Dany układ pozostaje wybranym aż do momentu zaadresowania innego.

Z tabeli 8 niewiele można wywnioskować



Rys. 27. Rejestry TDA1315: sterujący, konfiguracyjny i stanu.

o wewnętrznej organizacji TDA1315. Układ ten posiada cztery rejestry - sterujący, konfiguracyjny, rejestr stanu i rejestr stanu kanału (Channel-Status) - oraz 128-bajtową pamięć typu FIFO (First Input First Output) przewidzianą dla User-Data-Bits.

Rozpatrzmy najpierw funkcje trzech pierwszych rejestrów: ich strukturę i wzajemne połączenia ilustrujemy **rysunek 27**. Rejestr sterujący ma szerokość 16 bitów - ich znaczenie podano w **tabeli 9**. Niektóre z tych bitów realizują funkcje odpowiadające funkcjom końcówek sterujących w trybie „Stand-alone”. Konfiguracja chipu w trybie „Host” jest związana z operacją logiczną AND przeprowadzaną na odpowiednich bitach i stanach końcówek sterujących. Zawartość rejestru sterującego określa też kierunek transmisji oraz ilość bitów przepływających przez port danych audio. Odpowiednie bity rejestru sterującego umożliwiają zerowanie pamięci FIFO (dla UDB) i uaktywnienie dekodowania kanału Q dla User Data Bits (UDB).

Dla zrozumienia tej terminologii konieczne jest krótkie przypomnienie dotyczące UDB. Jak już wspomniano w pierwszej części cyklu, User Data Bits tworzą drugi strumień danych asynchroniczny w stosunku do głównego strumienia. Ten drugi strumień może być, upraszczając opis, rozłożony na siedem kanałów: Q, R, S, T, U, V i W. Każde 96 bitów danego kanału tworzy blok. Zawartości poszczególnych kanałów w wypadku CD i DAT są jednoznacznie ustalone. W wypadku CD jest użyty tylko kanał Q.

TDA1315 realizuje protokół User Data Bits (w rzeczywistości jest on znacznie bardziej skomplikowany niż to naszkicowano powyżej) i może w trybie odbioru wybierać odpowiednie dane i przekazywać do swego FIFO. W zależności od stanu pierwszego bitu w rejestrze sterującym, FIFO zawiera dane wszystkich siedmiu kanałów (**rysunek 28a**) lub wyłącznie dane kanału Q (**rysunek 28b**). W trybie nadawania nie ma możliwości kodowania kanału Q, więc do FIFO muszą być wpisane dane wszystkich siedmiu kanałów.

Trzy bity rejestru sterującego: bit kierunku transmisji, I2SSEL i CLKSEL nie wpływają bezpośrednio na funkcję spełnianą przez układ, ale są wstępnie skierowane do rejestru konfiguracyjnego. Dane te zostają przejęte dopiero wtedy, gdy na końcówce STROBE pojawi się poziom wysoki. Przy pomocy tej końcówki, wyposażonej nawiasem mówiąc w wewnętrzny rezystor podciągający, można realizować synchronicznie do zewnętrznych wydarzeń zmiany konfiguracji - co więcej, konfigurację wszystkich układów systemu można przeprowadzać jednocześnie. Wejście

Tab. 9. Zawartość rejestrów sterujących TDA1315

| Bit   | Znaczenie                              | Stan   |
|-------|--|--|
| 0     | Kierunek transmisji                    | L: odbiór<br>H: nadawanie  |
| 1     | Dekodowanie kanału Q                   | L: aktywne<br>H: nie uaktywnione   |
| 2-3   | Ilość bitów audio                      | LL: 16 bitów<br>HL: 18 bitów<br>LH: 20 bitów<br>HH: 24 bity  |
| 4     | Zerowanie pamięci FIFO                 | L: zerować<br>H: nie zerować   |
| 5-7   | zarezerwowane                          | zawsze H   |
| 8     | wyciszanie danych audio                | L: zawsze<br>H: tylko gdy błąd   |
| 9     | wyjście IEC958                         | L: aktywne<br>H: stan wysokiej impedancji  |
| 10    | wybór wejścia IEC958                   | L: pin IEC0<br>H: pin IEC1   |
| 11    | wyjście magistrali I <sup>2</sup> S    | L: aktywne<br>H: stan wysokiej impedancji  |
| 12    | wybór wyjścia sygnału I <sup>2</sup> S | L: pin SDAUX<br>H: pin SD  |
| 13    | wybór częstotliwości systemowej        | L: wielokrotność częstotliwości próbkowania = 384<br>H: wielokrotność częstotliwości próbkowania = 256 |
| 14-15 | zarezerwowane                          | zawsze H   |

Tab. 10. Zawartość rejestru sterującego TDA1315

| Bit  | Znaczenie                    | Stan                                    |
|------|------------------------------|---|
| 0    | format danych sterujących    | L: konsumencki<br>H: studyjny           |
| 1    | stan PLL                     | L: zaskok prawidłowy<br>H: brak zaskoku |
| 2    | flaga ważności danych        | L: dane nieważne<br>H: dane ważne       |
| 3    | parzystość                   | L: błąd<br>H: brak błędu                |
| 4    | stan demodulacji             | L: błąd<br>H: brak błędu                |
| 5    | przepelnienie FIFO           | L: tak<br>H: nie                        |
| 6    | zmiana stanu kanału          | L: tak<br>H: nie                        |
| 7    | kierunek transmisji          | L: odbiór<br>H: nadawanie               |
| 8-13 | jak dla rejestru sterującego |   |
| 14   | Channel Status Bit 7         | L: CSB 7 = 1<br>H: CSB 7 = 0            |
| 15   | Channel Status Bit 6         | L: CSB 6 = 1<br>H: CSB 6 = 0            |

STROBE reaguje nie na zbocze, ale na poziom - przy stałym poziomie wysokim rejestr konfiguracyjny jest więc „przezroczysty”.

Przejdźmy teraz do rejestru stanu. Rejestr ten, podobnie jak rejestr sterujący, ma szerokość 16 bitów i zawiera również bity odpowiadające bitom rejestru sterującego. Dzięki takiej koncepcji można nie tylko odczytywać aktualną konfigurację układu, ale także poziomy na końcówkach sterujących. Pewne bity rejestru stanu pozwalają na stwierdzenie wystąpienia błędów, które w trybie odbioru mogą wystąpić w układzie PLL lub

demodulatora. Istnieje możliwość odczytania stanu Channel-Status-Bits 0, 6 i 7. Znaczenie poszczególnych bitów rejestru stanu ilustruje **tabela 10**. Rejestr ten może być w trybie odbioru tylko czytany, zaś w trybie nadawania tylko zapisywany.

Ograniczenie mówiące, że TDA1315 może obsługiwać tylko format konsumencki, dotyczy także trybu „Host”. W trybie odbioru rejestr stanu pozwala na określenie formatu sygnału; w wypadku sygnałów o formacie studyjnym zawartość rejestru Channel-Status nie daje się określić. W trybie nadawania

a) Dekodowanie kanału Q nie aktywne

| Bajt nr | MSB |     |     |     |     |     |     | LSB |                                  |
|---------|-----|-----|-----|-----|-----|-----|-----|-----|----------------------------------|
| n       | 1   | Q1  | R1  | S1  | T1  | U1  | V1  | W1  | Początek bloku danych            |
| n+1     | 0   | Q2  | R2  | S2  | T2  | U2  | V2  | W2  |                                  |
| n+2     | 0   | Q3  | R3  | S3  | T3  | U3  | V3  | W3  |                                  |
| ...     | 0   | ... | ... | ... | ... | ... | ... | ... |                                  |
| n+95    | 0   | Q96 | R96 | S96 | T96 | U96 | V96 | W96 |                                  |
| n+96    | 1   | Q1  | R1  | S1  | T1  | U1  | V1  | W1  | Początek następnego bloku danych |
| n+97    | 0   | Q2  | R2  | S2  | T2  | U2  | V2  | W2  |                                  |

b) Dekodowanie kanału Q uaktywnione

| Bajt nr | MSB |     |     |     |     |     |     |     |     | LSB                              |  |
|---------|-----|-----|-----|-----|-----|-----|-----|-----|-----|----------------------------------|--|
| n       |     | Q1  | Q2  | Q3  | Q4  | Q5  | Q6  | Q7  | Q8  | Początek bloku danych            |  |
| n+1     |     | Q9  | Q10 | Q11 | Q12 | Q13 | Q14 | Q15 | Q16 |                                  |  |
| n+2     |     | Q17 | Q18 | Q19 | Q20 | Q21 | Q22 | Q23 | Q24 |                                  |  |
| ...     |     | ... | ... | ... | ... | ... | ... | ... | ... |                                  |  |
| n+11    |     | Q89 | Q90 | Q91 | Q92 | Q93 | Q94 | Q95 | Q96 |                                  |  |
| n+12    |     | Q1  | Q2  | Q3  | Q4  | Q5  | Q6  | Q7  | Q8  | Początek następnego bloku danych |  |
| n+13    |     | Q9  | Q10 | Q11 | Q12 | Q13 | Q14 | Q15 | Q16 |                                  |  |

Rys. 28. Sposób transmisji danych w zależności od stanu rejestru sterującego (zapis w pamięci FIFO).

układ nie generuje sumy kontrolnej CRC i adresów Local Sample.

Jeśli chodzi o FIFO, kierunek przepływu danych odpowiada kierunkowi danych audio. Przy pomocy poziomu pinu UDAVAIL mikrokontroler może określić, czy FIFO jest przepelnione i dzięki temu może zsynchronizować dostęp do niego. Wykres czasowy UDAVAIL zależy od kierunku przepływu danych i dekodowania kanału Q. Zachodzą tu trzy możliwości:

- tryb odbioru, nieaktywne dekodowanie kanału Q: UDAVAIL jest w stanie niskim tak długo, jak długo pozostaje do odczytania co najmniej jeden bajt danych;
- tryb odbioru, aktywne dekodowanie kanału Q: UDAVAIL jest w stanie niskim tak długo, jak długo pozostaje do odczytania 12 lub więcej bajtów danych;
- tryb nadawania: UDAVAIL jest w stanie wysokim jak tylko stan FIFO przekroczy 112 bajtów i przechodzi w stan niski, gdy ilość wpisanych do FIFO bajtów spadnie poniżej 16;

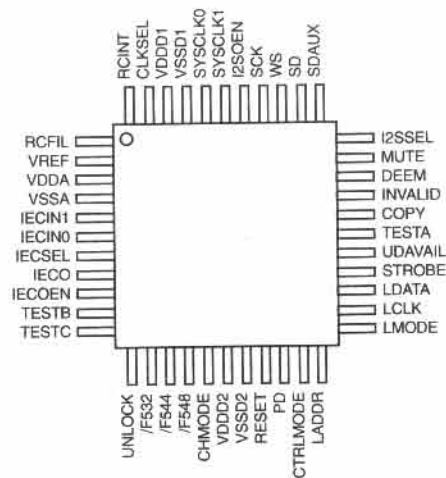
Jeśli w trybie odbioru UDAVAIL jest w stanie wysokim, nie należy czytać FIFO, gdyż może to spowodować konflikt dostępu. Aby uniknąć przepelnienia FIFO, możliwość zapisu istnieje tak długo, dopóki co najmniej jeden bajt tej pamięci jest wolny. Udaremniony ze względu na możliwość przepelnienia zapis FIFO w trybie nadawania jak i przepelnienie związane z przeoczeniem odczytania w trybie odczytu są wskazywane przez ustawienie odpowiedniego bitu błędu w rejestrze stanu.

**Steffen Schmid**

**Bibliografia**

- [1] Data Sheet TDA1315 Objective specification, maj 1994, Philips Semiconductors
- [2] H.J.E. Barten, R.H. de Nie: Application Note TDA1315, Report No. NBA/AN9309, Philips Semiconductors.

Artykuł opublikowano na podstawie umowy z niemieckim miesięcznikiem ELRAD.



Rys. 29. Wyprowadzenia TDA1315.