

W pierwszych dwóch częściach cyklu zaprezentowano nadawcze układy interfejsowe dla standardu SP/DIF-AES/EBU (IEC-958).

W kolejnej, trzeciej części przechodzimy do omówienia interfejsowych układów odbiorczych. Jest to bezpośredni przekład cyklu artykułów z niemieckiego miesięcznika ELRAD.

Zadaniem układu odbiorczego w kanale przenoszenia sygnałów audio jest m.in. wydzielenie impulsów zegarowych (taktujących) i danych sterujących z sygnału IEC-958. Układ wylicza sumę kontrolną, parzystość, ocenia ważność informacji i w wypadku zakłóceń wycisza sygnał audio. Schemat blokowy takiego układu pokazano na rysunku 17. W lewym rogu na górze znajduje się układ PLL (Phase Locked Loop), który wydziela z sygnału wejściowego impulsy zegarowe. Układ ten spełnia kluczową rolę w interfejsowych obwodach odbiorczych, ponieważ odzyskane przez niego impulsy zegarowe bezpośrednio lub pośrednio sterują przetwarzaniem danych w tym obwodzie i w dalszych.

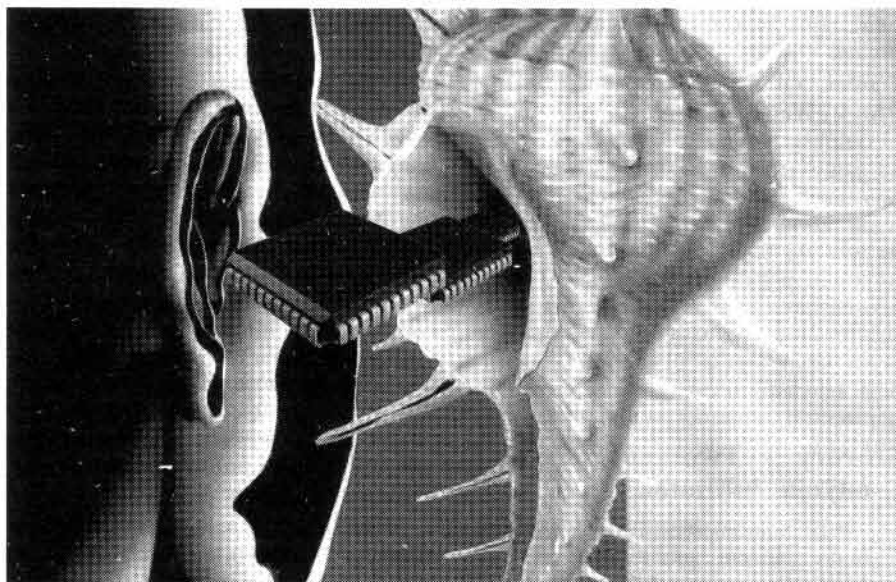
Powszechnie stosowane analogowe układy PLL wymagają zastosowania zewnętrznego filtra. Filtr taki, podobnie jak i pozostałe elementy układu PLL, muszą być starannie chronione przed oddziaływaniem części cyfrowej, co m.in. wymaga zastosowania odrębnego zasilania. W starszych układach scalonych zawierających PLL mogą wystąpić problemy z zaskokiem pętli lub jitterem sygnału zegarowego, nawet przy bardzo starannym doborze elementów. Problemów tych można uniknąć przez zastosowanie w pełni cyfrowego układu PLL - układy tego typu są właśnie w fazie wkraczania do konkretnych zastosowań. Sygnał wyjściowy z układu PLL jest doprowadzony do generatora zegara systemowego, który służy do wydzielania danych. Dane te są rozdzielane przy pomocy demultiplexera na dane audio i dane sterujące.

Ponieważ wspomniany demodulator rozpoznaje nagłówki strumienia danych i synchronizuje się z nimi, dlatego jest wykorzystany także w sterowaniu generatora sygnału zegara systemowego. Bufor danych audio umożliwia, przez powtórzenie ostatnio przenoszonych wartości, wypełnienie luki powstałej w wypadku zaniku sygnału wejściowego na okres jednej próbki lub krótszy - jest to proces tak krótki, że nie dający się usłyszeć. W wypadku zaniku danych na dłuższy okres zachodzi wyciszenie sygnału audio. Wyciszenie takie nastąpi również wtedy, gdy ocena bitu parzystości i/lub bitu ważności, realizowana przez dekodery danych sterujących, zostanie zaopatrzona w sygnał wystąpienia błędu.

Typy „portu” danych sterujących różnych interfejsowych układów odbiorczych można

Magiczne kości

Cz. 3. Chipy dla cyfrowej techniki audio - odbiorcze układy interfejsowe

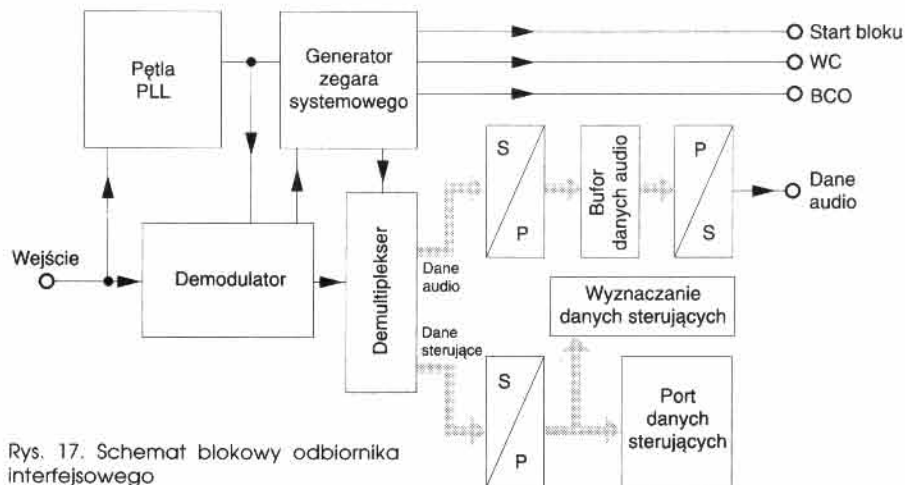


podzielić, podobnie jak w wypadku interfejsowych obwodów nadawczych, na trzy rodzaje (patrz tekst w ramce).

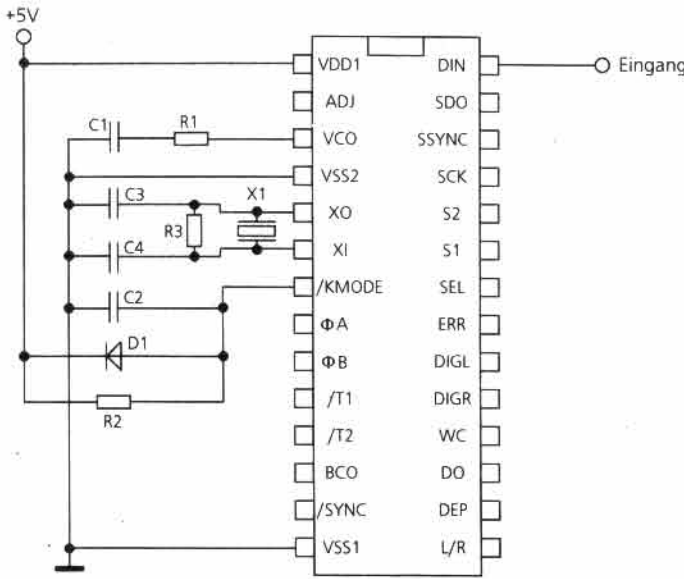
Sterowanie procesami zachodzącymi w interfejsowych obwodach odbiorczych najczęściej wymaga wykorzystania sygnału z generatora kwarcowego. Konieczność taka zachodzi wówczas, gdy nie udaje się rozpoznać ważnego sygnału wejściowego, w okresach dłuższego jego zaniku lub w fazie zaskoku pętli PLL bezpośrednio po jej załączeniu. Wiele interfejsowych układów odbiorczych generuje sygnał Master Clock dla całego systemu. Ponieważ w tym wypadku musi być

zagwarantowana stała obecność sygnałów zegarowych, układy takie w wypadku zaniku sygnału wejściowego zapewniają, dzięki oscylatorowi kwarcowemu, nieprzerwane działanie generatora zegara systemowego. Należy jednak pamiętać że oscylator kwarcowy, w przeciwieństwie do układu PLL, nie może się dostroić do różnych częstotliwości próbkowania; zanik sygnału wejściowego prowadzi więc do tego, że obwód przełącza się na częstotliwość próbkowania określaną przez kwarc.

W większości wypadków interfejsowe obwody odbiorcze wymagają zastosowania sze-



Rys. 17. Schemat blokowy odbiornika interfejsowego



Rys. 18. Rozmieszczenie wyprowadzeń i podstawowy układ aplikacyjny YM3623B.

regu elementów dodatkowych, czy to ze względu na układ PLL, czy też oscylator kwarcowy. Elementy te zostaną uwzględnione przy omawianiu konkretnych układów.

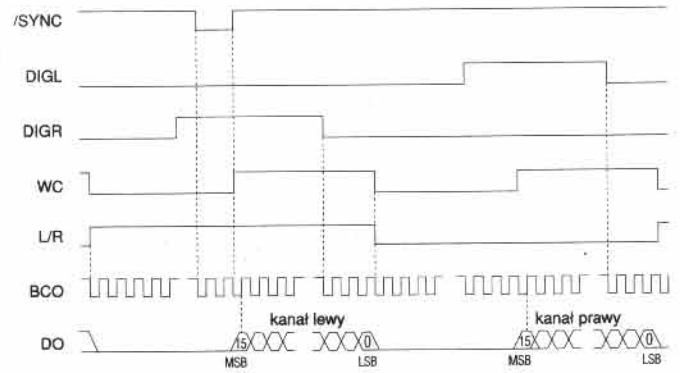
YM3623B

Interfejsowym układem odbiorczym pierwszej generacji jest układ scalony YM3623B f-my Yamaha. Nie reprezentuje on najnowszego stanu techniki ale jest jeszcze dość często stosowany i względnie łatwo dostępny. Rozmieszczenie wyprowadzeń i sposób podłączania elementów zewnętrznych tego 28-końcówkowego układu (DIL) ilustrujemy rysunek 18. Obwody PLL zawarte w tym układzie scalonym posiadają tylko jeden komparator fazy, co nie zabezpiecza przed zaskokiem na niewłaściwej częstotliwości. Filtr zewnętrzny tworzą R1 i C1. Yamaha zaleca dla R1 zakres wartości 100...270Ω, zaś dla C1 zakres 2...8nF. Dane katalogowe [2] wyraźnie wskazują na konieczność eksperymentalnego doboru tych elementów.

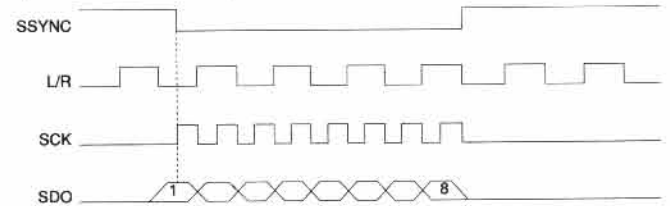
Układ PLL jest aktywny tylko wtedy, gdy końcówka KMODE jest na niskim poziomie logicznym i prawidłowy sygnał wejściowy jest doprowadzony do końcówki DIN. Jeśli warunek ten nie jest spełniony, układ pobiera sygnał taktujący z wewnętrznego oscylatora kwarcowego, który powinien być wyposażony w kwarc 16,9344MHz. C3, C4 (5...20pF) i R3 (1MΩ) są połączone w klasyczny sposób. Gdy nie chcemy korzystać z wewnętrznego oscylatora, to sygnały z zegara zewnętrznego należy doprowadzić do końcówki XI. Wejście KMODE służy także jako Power-On-Reset i powinno tak długo znajdować się w stanie niskim, aż naładuje się kondensator pętli PLL. Jest to zapewnione przez układ złożony z elementów R2, C2 i D1(1N4148). R2 i C2 powinny być tak dobrane, aby spełniać warunek:

$$R2 \cdot C2 \geq 5(R1 + 5k\Omega) \cdot C1$$

Gdy zakończy się procedura zaskoku PLL, generator sygnału zegara systemowego zaczyna dostarczać takt bitów z 64-krotną częstotliwością próbkowania (BCO), jak również



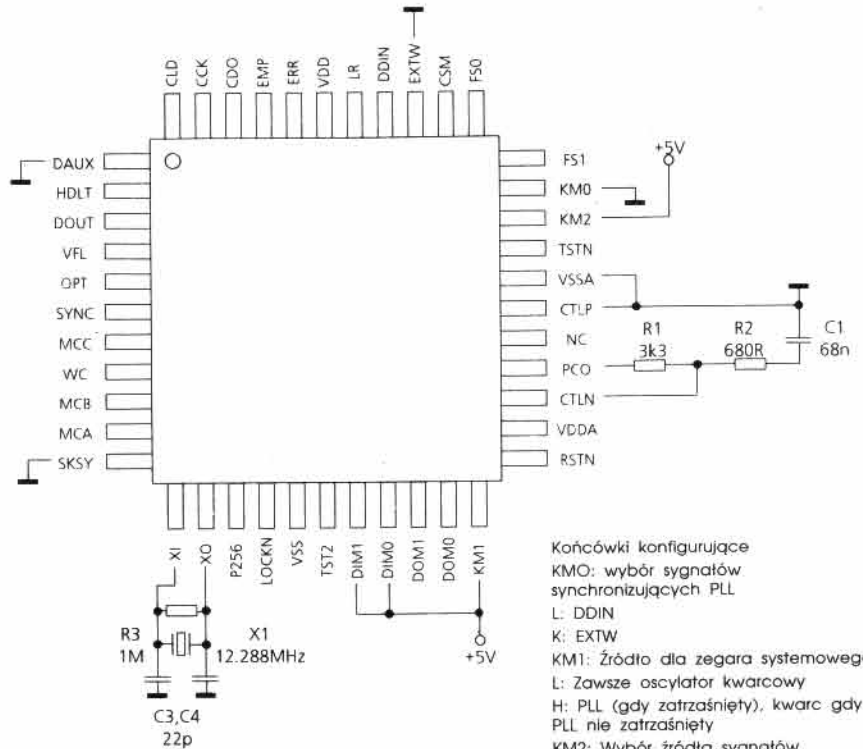
Rys. 19. Format danych audio dla YM3623B



Rys. 20. Wykres czasowy sygnałów portu UDB

kilka sygnałów (WC, LR, SYNC) z różnymi fazami (rysunek 19). Do sygnałów tych można także zaliczyć sygnały „Deglitch” DIGL i DIGR wymagane przez przetworniki A/C starszego typu. Właściwe dane audio pojawiają się jako słowa 16-bitowe (MSB pierwszy) na wyjściu DO. Gdy zaniknie sygnał wejściowy lub zajdzie błąd parzystości, pojawia się sygnał ERR (High). Układ nie ma możliwości buforowania danych audio ani ich wyciszania; o to muszą się troszczyć inne obwody. Bit (flaga) ważności danych nie jest przez YM3623B oceniany.

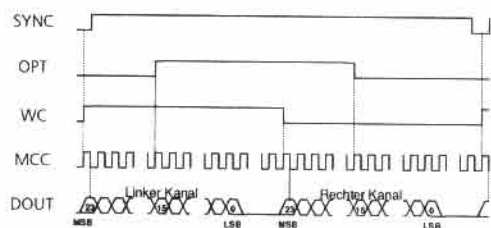
Port danych sterujących jest podzielony na port SCB typu 2 i port UDB typu 1. YM3623B akceptuje dane tylko w formacie konsumenckim i nie uwzględnia zmian wprowadzonych normą IEC958 [1]. Oznacza to, że nie zaimplementowano ani zabezpieczenia przed kopiowaniem (SCMS), ani szeregu kodów kategorii. Port CSB dostarcza, w zależności od poziomu na końcówce SEL, dwóch różnych ciągów impulsów. Przy SEL=L na k.S1 jest sygnalizowana obecność bitu związanego z prawami autorskimi, zaś na k.S2 kategoria kodu; S2=H oznacza DAT,



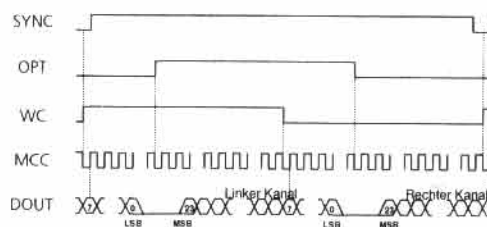
- Końcówki konfiguracyjne
- KMO: wybór sygnałów synchronizujących PLL
- L: DDIN
- K: EXTW
- KM1: Źródło dla zegara systemowego
- L: Zawsze oscylator kwarcowy
- H: PLL (gdy zatrzaśnięty), kwarc gdy PLL nie zatrzaśnięty
- KM2: Wybór źródła sygnałów synchronizujących dla wejścia danych pomocniczych DAUX
- L: Oscylator kwarcowy
- H: PLL

Rys. 21. Rozmieszczenie wyprowadzeń i podstawowy układ aplikacyjny YM3436D.

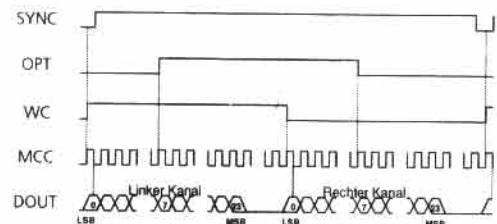
Format 0 (DOM1 = L, DOM0 = L)



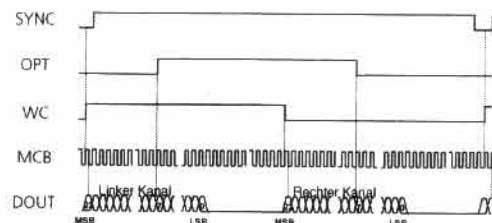
Format 2 (DOM1 = H, DOM0 = L)



Format 1 (DOM1 = L, DOM0 = H)



Format 3 (DOM1 = H, DOM0 = H)



Rys. 22. Formaty danych audio i przebiegi czasowe dla YM3436D.

DCC i te wszystkie kategorie, dla których oba pierwsze bity są ustawione. Przy SEL=H na wyjściach S1 i S2 pojawia się kod dla częstotliwości próbkowania w postaci CSB 24 i 25. Niezależnie od poziomu SEL, końcówka DEP wysokim poziomem logicznym sygnalizuje obecność emfazy w sygnale wejściowym. Port UDB tworzą końcówki SDO, SCK i SSYNC. Jak tylko układ odbierze odpowiedni kod sterujący, dane są pakowane w 8-bitowe pakiety i doprowadzone do końcówki SDO (patrz wykres na rysunku 20).

YM3436D

Przejdźmy teraz do omówienia nowoczesnego układu: nosi on oznaczenie YM3436D, produkuje go również Yamaha i jest zamknięty w 44-końcówkowej obudowie typu QFP (raster 0,8mm). Rozmieszczenie wyprowa-

żeń i typową aplikację pokazano na rysunku 21. Bogate możliwości konfigurowania tej kostki dopuszczają także tworzenie skomplikowanych układów, które zostaną pokrótce omówione w dalszej części artykułu.

Sygnał spełniający wymagania normy IEC958 zostaje doprowadzony do wejścia DDIN. Do tego sygnału synchronizuje się układ PLL. Układ posiada filtr zrealizowany na elementach R1, R2 i C1. Pętla PLL tego układu jest bardziej rozbudowana niż w YM3623B, lepiej radzi sobie z różnymi częstotliwościami próbkowania i może powtarzać próby zaskakiwania tak często, aż zakończy się to sukcesem.

Z chwilą, gdy PLL zaskoczy, na wyjściu LOCKN pojawia się poziom niski, na końcówce LR takt słów, zaś na k.P256 takt będący 256-wielokrotnością częstotliwości

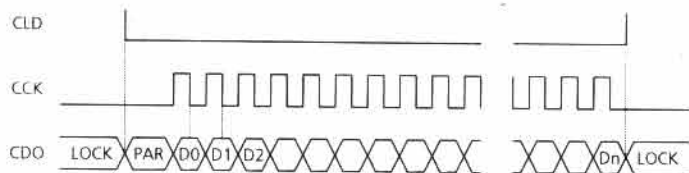
próbkowania. Układ PLL posiada oddzielne zasilanie (nóżki VDDA i VSSA).

Dużą zaletą YM3436D jest rozbudowany układ generatora sygnału zegara systemowego, który wytwarza aż sześć różnych sygnałów dostępnych równocześnie. Sygnałami tymi są 3 sygnały taktu bitowego z 256-(MCA), 128-(MCB) i 64-(MCC) krotnością częstotliwości próbkowania, jak również 3 sygnały taktu słów (WC, SYNC i OPT) o różnych zależnościach fazowych, których kształt zależy od formatu danych audio. Format ten może mieć cztery postacie, zależne od stanów logicznych na końcówkach DOM0 i DOM1 (rysunek 22) i w dużym stopniu pokrywa się z formatem interfejsowego układu nadawczego YM3437C. Układ YM3436D posiada oscylator kwarcowy (X1, R3, C2 i C3), na który przełącza się w przypadku braku zegarowego sygnału wejściowego lub błędnej jego postaci. Zamiast korzystać z oscylatora kwarcowego, można na wejście XI podać zewnętrzny sygnał taktujący.

YM3436D wyposażono w dużą ilość końcówek konfiguracyjnych, przy pomocy których można go dopasować do złożonych zadań - np. współpracy z wieloma innymi układami tego samego typu. W ten sposób można wzajemnie zsynchronizować wiele źródeł sygnału, co jest pożądane np. w wypadku konsoli cyfrowej. Szczegółowy opis możliwości tego typu wykracza poza ramy niniejszego artykułu - ograniczymy się jedynie do podania zarysu związanych z tym problemów. Końcówki konfiguracyjne można podzielić na kilka grup. Do jednej z nich należą nóżki KM (Clock Mode Select), przy pomocy których można oddziaływać na sygnały związane z wytwarzaniem przebiegów taktujących system. W "normalnej" sytuacji generator zegara systemowego jest zasilany z wyjścia układu PLL - dopóki nie ma potrzeby jednoczesnego synchronizowania wielu układów YM3436D. Przy pomocy końcówki SKSY (Clock Synchronous Control) można manipulować wewnętrznym licznikiem generatora zegara systemowego. Jeśli takt systemowy pochodzi od oscylatora kwarcowego lub z zewnętrznego źródła (KM1=L), opada-

Tab. 7. Kodowanie częstotliwości próbkowania dla YM3436

FS1	FS2	częstotliwość próbkowania w trybie konsumenckim	częstotliwość próbkowania w trybie studyjnym
L	L	44,1kHz	-
L	H	48kHz	48 kHz
H	L	-	44,1kHz
H	H	32kHz	32kHz



Rys. 23. Protokół danych sterujących realizowany przez Port 2 YM3436D5

Znaczenie danych:

Lock: L- PLL zatrzaśnięty

PAR: H - Błąd parzystości

D0...Dn: Sposób emitowania danych sterujących:

Tryb konsumencki: D0...D31: bity CSB od 0 do 31

D32..D63: bity UDB od 0 do 31

Tryb studyjny: D0...D31: bity CSB od 0 do 31

D32..D63: Adres lokalnej próbki

D64..D67: Bity niezawodności

D68: Bit CRC (H=Błąd CRC)

D69...D100: bity UDB od 0 do 31

jące zboczne na wejściu SKSY zeruje wewnętrzne liczniki, co w konsekwencji powoduje zsynchronizowanie sygnałów MCC, MCB, MCA, WC, OPT i SYNC. Jeśli takt systemowy pochodzi od PLL (KM1=H), wysoki poziom na nóżce SKSY uniemożliwia taką synchronizację, zaś niski poziom wymusza ją w regularnych odstępach (nastawa standardowa).

Jeśli różne źródła sygnałów są wzajemnie zsynchronizowane, wtedy niezależnie od sposobu zastosowania YM3436D może się zdarzyć, że ze względu na wzajemne odchylenia częstotliwości próbek okresowo poszczególne próbki zostaną stracone. YM3436D melduje taki stan poprzez wystąpienie wysokiego poziomu na końcówce HDLT (Async Buffer Operation Flag) przez cały czas trwania takiej sytuacji. Oprócz wzajemnej synchronizacji wielu układów każdy YM3436D może zostać zsynchronizowany sygnałem zewnętrznym przyłożonym do k.EXTW. Układ YM3436D jest wyposażony w wejście danych pomocniczych DAUX, które synchronicznie z sygnałami MCC i WC może akceptować dane audio w trzech formatach, zależnych od stanu końcówek DIM (Data Input Mode Select)[3]. W ramach niniejszego opisu można jedynie wspomnieć, że przy DIM0=H i DIM1=H układ przetwarza sygnał podany na wejście DDIN.

Przyjrzyjmy się teraz portowi danych sterujących. YM3436D posiada dwa takie porty, które można wykorzystywać jednocześnie. Port 1 składa się z nóżek EMP, FS0, FS1, i VFL. Port ten może działać w trybie typu 1 lub 2, o czym decyduje poziom na k.CSM (Channel Status/User Data Select). Gdy poziom ten jest wysoki, kostka pracuje jako Synchronous Output Mode (Typ 1) i wtedy na wyjściu FS1 pojawia się (indywidualnie dla każdej próbki) Channel-Status-Bit, zaś na wyjściu FS0 User-Data-Bit. Końcówka EMP sygnalizuje początek bloku danych i przez okres pierwszej ramki jest w stanie wysokim. Gdy na k.CSM jest stan niski, układ pracuje w trybie Latch Mode (Typ 2) i na końcówkach FS pojawiają się sygnały zgodnie z **tabelą 7**.

Należy tu rozróżniać tryb konsumencki od trybu studyjnego. W tym drugim trybie pracy (Typ 2) na końcówce EMP występuje stan wysoki, gdy sygnał wejściowy poddany był emfazie. Niezależnie od trybu pracy i poziomu na k.CMS, na końcówkę wyjściową VFL jest podawana w sposób ciągły informacja o stanie Validity Flag (bitu ważności) dla aktualnie obrabianej próbki.

Port 2 stanowią nóżki CDO, CCK i CLD. Jest to port typu 3 i dopuszcza szeregowo czytanie przez zewnętrzny mikroprocesor

pierwszych 32 (dla każdego bloku) bitów Channel-Status-Bits i User-Data-Bits oraz, zależnie od formatu, innych informacji (rysunek 23). Końcówka CDO jest wyjściem danych, CCK - wejściem taktującym, zaś k.CLD jest wejściem selekcyjnym.

Ten ostatni spełnia dwie funkcje. Po pierwsze, opadające zboczne powoduje takie przepisanie stanu wewnętrznych rejestrów zawierających aktualne dane sterujące, aby mogły być odczytane przy pomocy końcówek CCK i CDO. Po drugie, poziom CLD określa jakie informacje będą odczytywane. Gdy CLD ma wysoki poziom logiczny, końcówka CDO podaje informację o tym, czy PLL jest w stanie zaskoku (gdy końcówka ma ten sam stan jak nóżka LOCKN). Gdy k.CLD jest w stanie niskim, będą odczytywane dane sterujące. Pozostaje jeszcze nadmienić, że YM3436D posiada wejście Power-On-Reset uaktywniane niskim poziomem, który musi trwać minimum przez 256 okresów oscylatora kwarcowego. Końcówki TSTN i TST2 są zarezerwowane do testowania układu scalonego i normalnie nie są z niczym połączone.

Steffen Schmid

Artykuł opublikowany na podstawie umowy z niemieckim miesięcznikiem ELRAD.