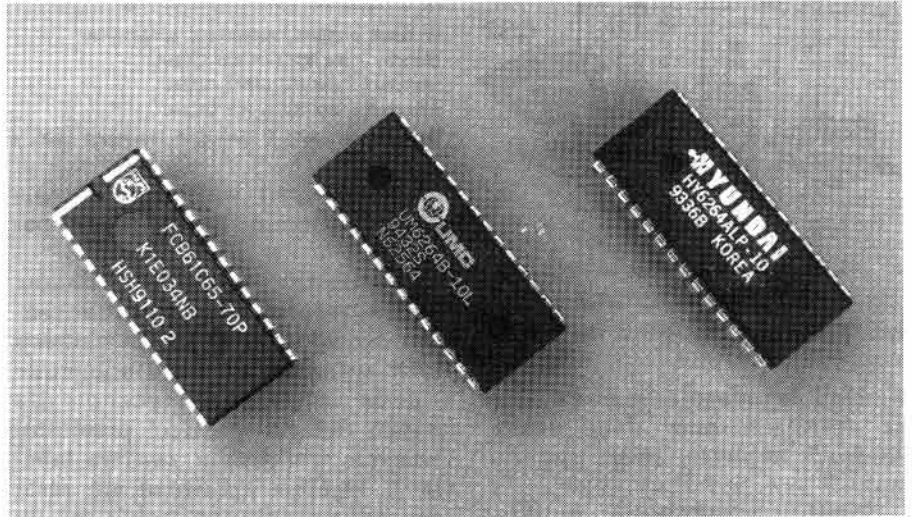


Symulator pamięci EPROM 2764 z pamięcią SRAM, część 1

AVT-260

Proponowany symulator pamięci EPROM opracowano na podstawie oryginalnego pomysłu zaczerpniętego z książki „Układy elektroniczne” U. Tietza i C. Schenka. W rozdziale poświęconym pamięciom EPROM autorzy książki zwrócili uwagę na fakt, że w czasie uruchamiania np. systemu mikroprocesorowego lub innego urządzenia wykorzystującego EPROMy, weryfikacja kolejnych wersji programu jest bardzo żmudna, głównie ze względu na długi czas (rzędu 15..25 min.) trwania procesu kasowania pamięci. Jest możliwe, oczywiście, zastosowanie sprzętowego symulatora pamięci stałej programowanego z komputera nadrzędnego, ale jest to z reguły rozwiązanie dość kosztowne.



Pewnego rodzaju kompromisem pomiędzy wykorzystywaniem zwykłych EPROMów a zakupem profesjonalnego symulatora jest proponowany przez nas układ - specjalnie „obudowana” statyczna pamięć RAM z podtrzymywaniem zapisanej informacji przy pomocy akumulatora NiCd. Tak więc w dalszym ciągu do zaprogramowania pamięci niezbędny będzie programator, ale jej kasowanie będzie możliwe poprzez np. ponowny zapis lub odłączenie zasilania baterijnego. Uzyskamy więc znaczne oszczędności czasu, a dodatkowo jest możliwe pominięcie zakupu standardowego ultrafioletowego kasownika EPROMów, którego koszt kilkakrotnie przewyższa cenę podzespołów niezbędnych do wykonania emulatora. Prostota pomysłu jest, jak widać, niemal oszałamiająca, a uzyskiwane efekty naprawdę dobre, zwłaszcza jeżeli weźmiemy pod uwagę niewielki koszt urządzenia. Można uzyskać dodatkowe obniżenie kosztów, jeżeli w miejsce klasycznego akumulatora zostanie zastosowany kondensator o pojemności rzędu 0,1F (100.000µF!) przeznaczony specjalnie do podtrzymywania zawartości pamięci RAM w systemach konfigurowalnych lub do zasilania

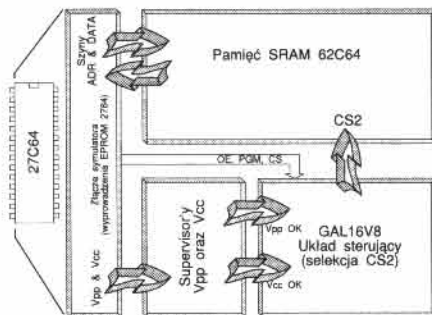
np. zegarów w magnetowidach.

Pewnego komentarza wymaga jeszcze rozmiar emulowanego EPROMu - wybór padł na pamięć o organizacji 8 bitów x 8192 (odpowiednik 2764 i pochodnych - 27C64). Pamięć o takim rozmiarze spełnia doskonale większość typowych wymagań; stosunkowo rzadko w aplikacjach 8-bitowych procesorów lub mikrokontrolerów jest wymagana większa pamięć programu, a rozszerzenie możliwości emulacyjnych na pozostałe układy typoszeregu 27XXX podniosłoby dość znacznie cenę rozwiązania.

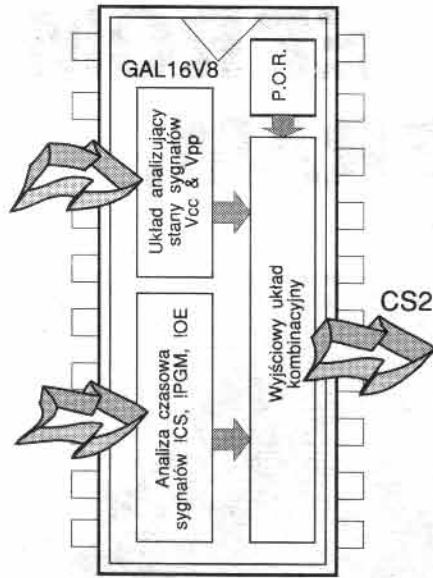
Układ jest wyposażony w trójpunktowy system nadzorujący napięcie zasilania pamięci oraz dołączenia do układu napięcia programującego. Zadaniem tego systemu jest zabezpieczenie zawartości pamięci podczas operacji przenoszenia pamięci z programatora do urządzenia, w którym ma być ona eksploatowana.

Opis układu

Na rysunku 1 przedstawiono schemat blokowy emulatora. koncepcja rozwiązania jest, jak widać, bardzo prosta. Elementem bezpośrednio emulującym EPROM jest pamięć SRAM. Oprócz niej,



Rys. 1. Schemat blokowy emulatora.



Rys. 2. Struktura wpisana do GALa.

w skład urządzenia wchodzi logika sterująca oraz dwa układy kontroli napięcia (ang. supervisors).

Logika wbudowana w układ GAL spełnia dwie funkcje - steruje dostępem do pamięci, dopuszczając operacje na jej zawartości tylko w przypadku programowania lub odczytywania i jednocześnie kontroluje za pomocą dwóch prostych komparatorów napięcie zasilania i napięcie programujące. Jeżeli napięcie programujące ma zbyt małą wartość (poniżej 12V), a przebiegi sygnałów sterujących pracą pamięci odpowiadają procedurom programowania, to jest blokowany zapis do pamięci. Podobnie w przypadku zbyt niskiej wartości napięcia zasilającego modyfikowanie i odczyt zawartości pamięci są niemożliwe. Dodatkowym zabezpieczeniem zawartości pamięci przed przypadkowym zapisem jest wbudowany w GALa wewnętrzny supervisor linii zasilającej, który blokuje pracę układu przy zbyt niskim napięciu zasilania. Na **rysunku 2** znajduje się uproszczony schemat logiczny struktury wpisanej do GALa.

Schemat elektryczny symulatora przedstawiono na **rys. 3**. Pamięć RAM US1 jest standardową kostką serii CMOS o organizacji 8b (szerokość słowa) x 8192 (komórki). Układy tego typu wyposażone są w dwa wejścia selekcyjne - !CS1 (z polaryzacją aktywną ujemną) oraz CS2 (z polaryzacją aktywną dodatnią). Oprócz funk-

Tab.1. Parametry prądowe dla stanów pracy i oczekiwania dla pamięci typu 6264 stosowanych w prototypach.

Parametr	UM6264	HY6264	FC861C65	Jedn.
Statyczny pobór prądu Icc	15	10	25	[mA]
Dynamiczny pobór prądu Icc1	45	55	70	[mA]
Dynamiczny pobór prądu Icc2	15	45	50	[mA]
Pobór prądu w stanie Standby Isb	3	2	3	[mA]
Pobór prądu w stanie Standby Isb1	100	70	100	[µA]
Pobór prądu w stanie Standby Isb2	100	70	100	[µA]

W tabeli przyjęto następujące oznaczenia:

Standby - dla ICE1=H lub CE2=L

Standby1 - dla ICE1=H i CE2=L

Standby2 - dla ICE1=H i CE2=L

Dane zaczerpnięto z katalogów firmowych UMC, Hyundai oraz Philips.

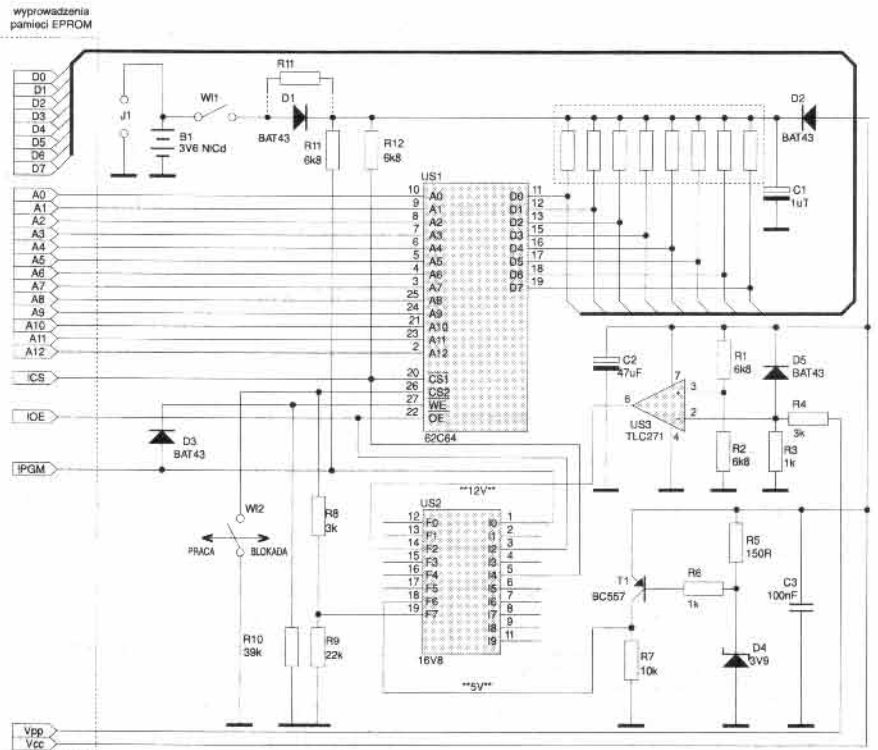
cji selekcyjnej wejścia te sterują także poborem mocy przez pamięć.

Parametry prądowe układów pochodzące od różnych producentów w zależności od kombinacji tych sygnałów są nieco odmienne - dane charakterystyczne dla trzech różnych pamięci przetestowanych w układzie zawiera **tabela 1**. Ogólnie sprawdza się zasada, że najmniejszy pobór prądu w stanie Standby osiąga się wtedy, gdy obydwa wejścia selekcyjne są w stanie nieaktywnym (tzn. !CS1=H i CS2=L).

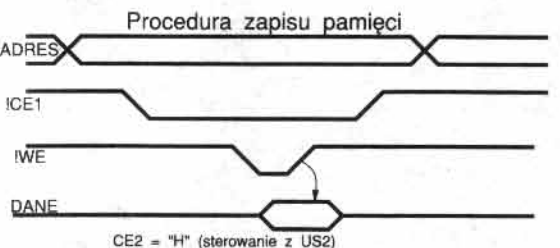
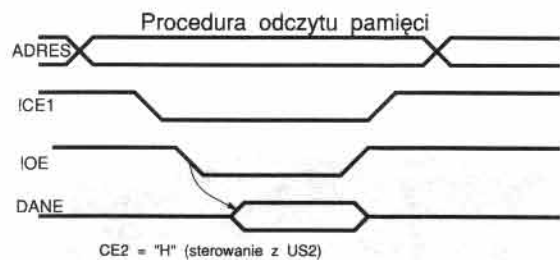
Charakterystyczne dla pamięci SRAM wykresy czasowe przedstawia **rysunek 4**. **Tabela 2** stanowi tabelę prawdy dla wszystkich sygnałów sterujących pracą pamięci

- kolumna oznaczona Izas odnosi się do danych zawartych w tab. 1.

W układzie symulatora wejście !CS1 spełnia rolę standardowego sygnału selekcyjnego, zastępując wejście !CS standardowego EPROMu. Wejście CS2 jest wykorzystane przez układ nadzorczy do blokowania dostępu do pamięci; wbudowano go w układ PLD typu GAL16V8, oznaczony jako US2. Jednocześnie jest możliwe wyłączenie pamięci na stałe za pomocą przełącznika W12. Równoległe połączenie wyjścia sterującego US2 z przełącznikiem W12 mogłoby doprowadzić do uszkodzenia tego wyjścia w przypadku włączenia napięcia zasilania. Zapobiegają temu dwa rezystory (R8 oraz R9), które odseparowują prądowo



Rys. 3. Schemat elektryczny symulatora.



Tab. 2. Tabela prawdy dla wejść sterujących pracą pamięci typu 6264.

Tryb pracy	ICE1	CE2	IOE	IWE	Szyna danych	Izas
Standby	H	X	X	X	Z	Isb,Isb1
Standby	X	L	X	X	Z	Isb,Isb1
Blokada	L	H	H	H	Z	Icc,Icc1,Icc2
Odczyt	L	H	L	H	Dane WY	Icc,Icc1,Icc2
Zapis	L	H	X	L	Dane WE	Icc,Icc1,Icc2

Z - oznacza stan wysokiej impedancji wyjścia pamięci

L - oznacza stan niski (TTL)

H - oznacza stan wysoki (TTL)

X - oznacza stan dowolny (L lub H)

! - oznacza negację

Rys. 4. Przebiegi czasowe charakterystyczne dla pamięci SRAM.

końcówkę 19 US1 i przełącznik W12. Separacja taka daje dobre efekty, ponieważ wejście CS2 pamięci US1 jest sterowane napięciowo (prąd wpływający do tego wejścia jest bliski wartości zero).

Sygnalami wejściowymi dla układu nadzorczego w układzie US2 są sygnały z dwóch prostych komparatorów - detektor napięcia programującego wykonano w oparciu o wzmacniacz operacyjny US3. Zastosowano wzmacniacz CMOS z rodziny TLC (lub TS), ponieważ może on bezproblemowo pracować ze stosunkowo niskimi napięciami zasilającymi; co więcej, jego stopień wyjściowy ma niewielkie marginesy napięcia wyjściowego (zakres nasycania) w stosunku do napięcia zasilania. Dzięki temu jest możliwa bezpośrednia współpraca wyjścia układu US3 z wejściem cyfrowym TTL, a do takiego standardu są dostosowane bufor wejściowe układu US2.

Rezystory R1 i R2 stanowią dzielnik napięcia zasilający wejście (+) US3. Napięcie ustalone na tym wejściu jest napięciem odniesienia dla komparatora. Wejście pomiarowe komparatora (jest to wejście (-) US3) jest także zasilane z dzielnika napięciowego,

wykonanego z rezystorami R3 i R4. Dioda D5 spełnia rolę zabezpieczenia wejścia (-) przed pojawieniem się na nim napięcia większego od napięcia zasilania, co mogłoby spowodować uszkodzenie układu US3. Ponieważ wzmacniacz pracuje z otwartą pętlą ujemnego sprzężenia zwrotnego i nie posiada histerezy, detekcja poziomu napięcia programującego jest dość szybka i jednoznaczna. Sygnał z wyjścia komparatora (k.6 US3) jest podawany na wejście US2 oznaczone Vpp. Jeżeli napięcie na wejściu Vpp pamięci EPROM wzrośnie do wartości większej niż ok. 12V, na wyjściu komparatora pojawi się „0” logiczne, co jest odpowiednio interpretowane przez układ nadzorczy w US2: dokonanie wpisu danych do pamięci jest możliwe.

Nieco prostszy jest detektor poziomu napięcia zasilającego. Wykonano go na tranzystorze T1, a rolę źródła napięcia odniesienia pełni dioda Zenera D4. Jeżeli napięcie zasilające osiągnie wartość ok. 4,4..4,7V, dioda D4 z włączonym szeregowo złączem baza-emiter tranzystora T1 zacznie przewodzić, w wyniku czego na rezystorze R7 (włączonym w obwód kolektorowy T1) pojawi się logiczna „1”. Stan taki sygnalizuje układowi nadzorczemu US2 (na wejściu Vcc, k.18) fakt pojawienia się napięcia zasilającego.

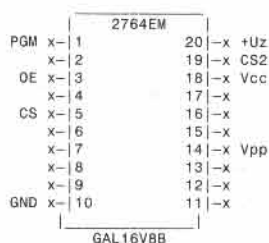
Diody D1 i D2 separują od siebie napięcia zasilające doprowadzone z akumulatora podtrzymującego (D1) oraz podstawki pamięci EPROM (D2). Są to diody Schottky'ego małej mocy, co

znacznie obniża straty napięcia zasilającego. Na złączu p-n standardowej diody spadek napięcia wynosi 0,6..0,75V, natomiast na złączach diod zastosowanych w układzie nie przekracza on wartości 0,35..0,4V. Jeżeli w miejsce akumulatora zastosujemy kondensator o dużej pojemności, zamiast diody D1 należy zamontować zworę.

Rysunek 5 przedstawia wyprowadzenia układu US2 wraz z przyjętymi oznaczeniami.

Piotr Zbysiński, AVT

Cd. w EP 6/95



Rys. 5. Wyprowadzenia układu US2.