

Emulator sprzętowy mikroprocesora 8031/51 część 1

kit AVT-282

PROJEKT
Z OKŁADKI

Emulator układowy jest podstawowym narzędziem do uruchamiania systemów mikroprocesorowych. Opisany poniżej emulator umożliwia uruchamianie programów napisanych dla procesorów rodziny MCS-51, pracujących w trybie z zewnętrzną pamięcią programu. Na przykład, jak to przedstawia zdjęcie na okładce, można ten emulator wykorzystać do uruchamiania minimodułu 8051 (kit AVT-222), opisanego w EP 11/94. Emulator współpracuje z komputerem PC przez port szeregowy RS-232C.



Schemat elektryczny

Schemat elektryczny emulatora jest przedstawiony na rys. 1. Odcinki sieci o tej samej nazwie są fizycznie połączone.

Opis układu

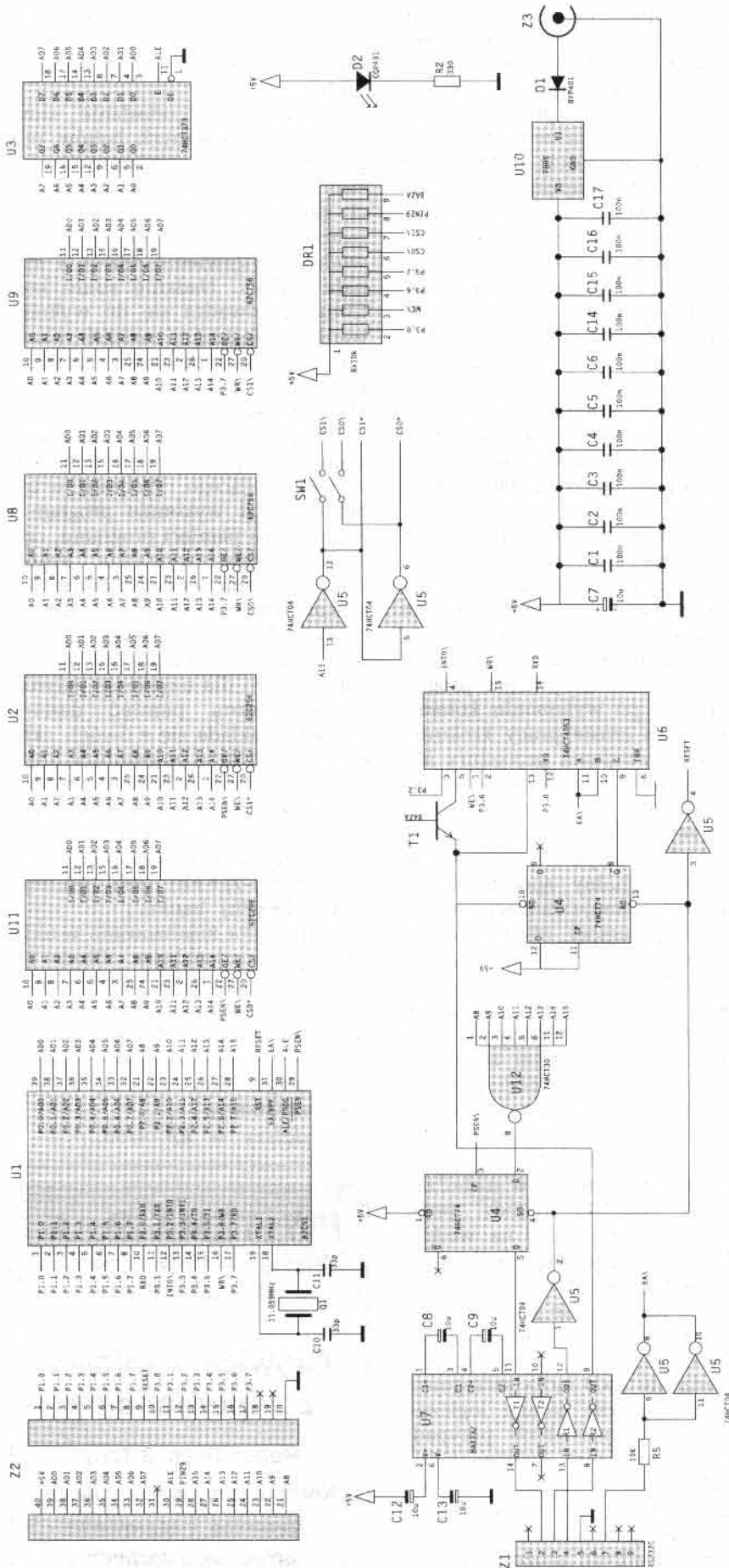
Sercem emulatora jest procesor typu 87C51 z programem komunikacyjnym zapisanym w wewnętrznej EPROMie. Procesor ten odbiera bajty uruchamianego programu, zapisuje je w pamięci RAM, a następnie wykonuje program pod nadzorem komputera klasy IBMPC. W czasie wykonywania uruchamianego programu przesyła - jeśli to konieczne - zawartość rejestrów i wewnętrznej pamięci danych procesora.

Do sterowania emulatora wykorzystano sygnały TxD, DTR i RTS portu szeregowego komputera. Dane z emulatora wchodzi na wyprowadzenie RxD.

Napięcie sygnału RTS (nóżka 7 Z1) jest ograniczane przez wewnętrzne diody zabezpieczające wejścia 9,11 układu U5 (74HCT04). Rezystor R5 ogranicza prąd płynący przez diody do bezpiecznej wartości. Na wyjściu połączonych rów-

Podstawowe dane techniczne

- ✓ procesor wykonany w technologii CHMOS
- ✓ 64KB zewnętrznej pamięci programu
- ✓ 64KB zewnętrznej pamięci danych
- ✓ rezonator kwarcowy o częstotliwości 11,0592MHz
- ✓ komunikacja z komputerem przez port szeregowy z szybkością 19200 bodów
- ✓ program zarządzający, który umożliwia:
 - załadowanie pamięci programu,
 - wykonywanie programu krok po kroku,
 - pracę z pełną szybkością,
 - obsługę pułapek programowych,
 - uruchamianie edytora i asemblera.
- ✓ minimalne wymagania sprzętowe komputera IBMPC:
 - pamięć operacyjna 256KB (zalecane 640KB),
 - system operacyjny MS-DOS 3.0 lub nowszy,
 - stacja dyskietek 360KB (zalecany dysk twardy),
 - karta graficzna HGC, CGA, EGA, VGA lub SVGA,
 - port szeregowy RS-232C.



Rys. 1. Schemat elektryczny emulatora

noległe negacji (8,10 U5) powstaje sygnał EA\.

Wysoki poziom logiczny sygnału EA\, podany m.in. na wejście EA\VPP procesora (31 U1), powoduje, że procesor pobiera rozkazy z wewnętrznej pamięci programu, gdzie znajduje się program ładujący pamięć RAM. Z kolei niski poziom sygnału EA\ powoduje pobieranie rozkazów z zewnętrznej pamięci programu i w tym trybie odbywa się emulacja uruchamianego programu.

Wejście EA\ ma bardzo ostre wymagania na napięcia stanów logicznych. Równocześnie obciążenie wprowadzane przez to wejście jest znaczne i w stanie niskim (<0.7V) może wynosić ok. 30mA. Dlatego konieczne jest sterowanie tego wejścia z dwóch połączonych równoległe inwerterów. Zgodnie z zaleceniami producenta, sygnał na wejściu EA\ procesora można zmieniać tylko przy wysokim stanie logicznym na wejściu zerującym RST.

Wejście RST procesora jest sterowane sygnałem DTR (4 Z1). Sygnał zerowania w emulatorze jest potrzebny w postaci prostej i zanegowanej. Dlatego po konwersji napięcia w układzie MAX232 (13,12 U7), sygnał jest podany na inwerter (1 U5). Wyjście inwertera ustawia odpowiednio dwa przerzutniki typu D (U4 74HC74) oraz po nowym zaniegowaniu (3,4 U5) steruje zerowaniem mikroprocesora.

Sygnał TxD (3 Z1), po konwersji poziomów napięć w układzie MAX232 (8,9 U9), jest podany na dwa przełączniki wchodzące w skład układu U6 (74HC4053).

Przy wysokim stanie logicznym na wejściu adresowym pierwszego przełącznika (11 U6), sygnał TxD z komputera przechodzi przez „połączone” wyprowadzenia (13-14 U6) do wejścia RXD procesora (10 U1). Tą drogą bajty uruchamianego programu są przesyłane do emulatora. Przy niskim stanie logicznym na wejściu adresowym, wyprowadzenie RXD procesora (10 U1), przez zwarte „styki” (14-12 U6), jest połączone z wyprowadzeniem 10 wtyku emulacyjnego (Z2). Dzięki temu w trybie emulacji wyprowadzenie P3.0/RXD jest dostępne dla użytkownika.

Sygnałem adresującym ten przełącznik jest sygnał EA\ pochodzący

cy z wyjść bramek U5D, U5E.

Sygnal ten steruje też drugim przełącznikiem (1,2-15 U6). Gdy EA\=1 sygnał zezwolenia zapisu do zewnętrznej pamięci programu WE\ (1 U6, 27U11, 27 U2) jest dołączony do wyjścia WR\ procesora (15 U6, 16 U1).

Przy niskim stanie logicznym na wejściu sterującym, wyprowadzenie P3.6/WR\ procesora jest połączone z wyprowadzeniem 16 wtyku emulacyjnego (Z2).

Takie rozwiązanie umożliwia wpisanie programu do pamięci RAM przy EA\=1. W przeciwnym wypadku zawartość pamięci programu jest chroniona przed zapisem, a wyprowadzenie P3.6/WR\ udostępniono użytkownikowi.

Na trzeci przełącznik (12,13-14 U6) sygnał TxD wchodzi przez tranzystor separujący (E T1).

Przełącznik ten jest wykorzystywany tylko podczas emulacji. W czasie pracy z pełną szybkością (po sygnale RESET=1) na wyjściu Q\ przerzutnika U4B panuje wysoki stan logiczny. Powoduje to połączenie wyprowadzenia P3.2/INT0\ procesora (12 U1) z wyprowadzeniem 12 wtyku emulacyjnego (Z2). Dzięki temu wyprowadzenie P3.2/INT0\ jest dostępne na wtyku emulacyjnym.

Pojawienie się niskiego stanu na wyjściu TxD (9 U7) powoduje ustawienie przerzutnika U4B i niski poziom logiczny na wyjściu Q\. Od tego momentu na wejście INT0\ procesora podawany jest sygnał TxD (E-C T1, 5 4U6). Ponieważ mikroprocesor wykonuje jeden rozkaz po przyjęciu przerwania, krótkie impulsy dodatnie na tym wejściu powodują wykonywanie programu krok po kroku. Procedura obsługi przerwania powoduje przesłanie stanu mikroprocesora do komputera.

Tranzystor separujący T1 uniemożliwia wystąpienie konfliktu, gdy program wykonywany krokowo ustawi niski stan logiczny na P3.2 (12 U1) połączonym z wyjściem sygnału TxD (9 U7).

W stanie spoczynkowym procesor jest w stanie RESET wymuszonym przez wysoki stan na RST (9 U1).

Transmisja uruchamianego programu (klawisz F5) do emulatora rozpoczyna się od ustawienia wysokiego stanu na wejściu EA\ (31

U1), następnie na wyprowadzeniu RST wymuszony jest stan niski. Powoduje to rozpoczęcie wykonywania programu zapisanego w wewnętrznej pamięci programu. Program ten wypełnia zewnętrzną pamięć RAM wartością 0FFh, a od adresu 0FD00h zapisuje procedurę komunikacyjną. Procedura ta umożliwia później przesyłanie do komputera zarządzającego zawartości wszystkich rejestrów i całej wewnętrznej pamięci procesora. Następnie procesor oczekuje na dwa bajty długości i kolejne bajty uruchamianego programu w postaci binarnej. Po odebraniu i zapisaniu do pamięci RAM ostatniego bajtu programu procesor odsyła sumę kontrolną i przechodzi w stan oczekiwania.

Wykonywanie zapisanego programu rozpoczyna się od wymuszenia przez komputer zarządzający niskiego stanu logicznego kolejno na wejściach EA\ i RST.

Wyświetlenie stanu procesora po zatrzymaniu na pułapce programowej lub po wykonaniu kolejnej instrukcji w czasie pracy krokowej wymaga wywołania procedury komunikacyjnej umieszczonej od adresu 0FD00h.

Sprzętowa realizacja komunikacji w kierunku komputera jest rozwiązana w oryginalny sposób, dzięki czemu nie zajmuje żadnego wyprowadzenia procesora. Mianowicie do linii adresowych A8-A15 (21..28 U1) jest dołączony ośmiowejściowy NAND. Stan wyjścia tej bramki (8 U12) jest zapamiętywany w przerzutniku U4A. Sygnałem zatrzymującym jest sygnał PSEN\ z procesora, w czasie którego zawartość szyny adresowej jest ustalona. Wyjście Q tego przerzutnika (5 U4) po konwersji napięć w układzie MAX232 (11 U7) wchodzi przez wyprowadzenie (2 Z1) na wejście RxD portu szeregowego w komputerze zarządzającym.

Takie rozwiązanie powoduje, że gdy procesor pobiera bajty z obszaru powyżej adresu FF00h na wyprowadzeniu RxD łączy szeregowo w komputerze panuje logiczne 0 (+12V). W pozostałych przypadkach panuje tam spoczynkowa 1 (-12V). Poprzez „udawanie“ pobierania informacji z zewnętrznej pamięci programu zależnie od wystawianego adresu możemy dostać dowolny ciąg zero jedynkowy, któ-

ry jest wysłany do komputera PC.

Transmisja do komputera odbywa się bowiem w dwóch przypadkach.

Pierwszy, to odesłanie sumy kontrolnej odebranych bajtów programu. Procesor wykonuje wówczas program z wewnętrznej pamięci instrukcją MOVC A,@A+DPTR powoduje wystawienie adresu i sygnału PSEN\. Nadanie sumy kontrolnej sprowadza się do wykonywania tej instrukcji w ściśle określonych odstępach czasu przy odpowiednio zmienianych zawartościach rejestrów A i DPTR.

Drugi przypadek to przesłanie stanu mikroprocesora do komputera zarządzającego. Procesor w trybie emulacji wykonuje program z zewnętrznej pamięci programu, czyli regularnie wystawia sygnał PSEN\. Zatem wystarczającym jest wykonywanie instrukcji z obszaru powyżej FF00h dla uzyskania zera na wyjściu przerzutnika i spoza tego obszaru dla uzyskania jedynki.

Zewnętrzna pamięć danych emulatora składa się z dwóch układów (U8, U9) o pojemności 32KB każdy. Przełącznik SW1 w połączeniu z dwoma inwerterami (U5) tworzą dekodery adresowy z możliwością niezależnego blokowania dolnego (0000h-7FFFh) lub górnego (8000h-FFFFh) banku.

Stabilizator zrealizowano w układzie konwencjonalnym. Dioda D1 zabezpiecza emulator przed skutkami włączenia zewnętrznego zasilacza oodwróconej biegunowości. Dioda D2 sygnalizuje obecność napięcia zasilającego +5V.

Tomasz Gumny

Ciąg dalszy w EP 4/95.