

W dziedzinie cyfrowej techniki audio producenci układów scalonych dokonali w ostatnich czasach dużego postępu. Na rynku pojawiło się szereg interesujących i bardzo sprawnych elementów do przenoszenia i przetwarzania cyfrowych sygnałów audio. Przedstawimy je w serii kilku artykułów.

Magiczne kości

Cz. 1 Chipy dla cyfrowej techniki audio - układy nadawcze i interfejsowe

Układy, które będziemy tu omawiać spełniają następujące warunki:

- posiadają zarówno od strony wejścia jak i wyjścia łącze cyfrowe dla sygnałów audio
- charakteryzują się tym, że ich funkcje nie są programowane; programowane procesory audio, z ich złożonością, wykraczają poza ramy niniejszego cyklu.

Przy tych ograniczeniach przegląd poniższy będzie dotyczył chipów spełniających następujące funkcje:

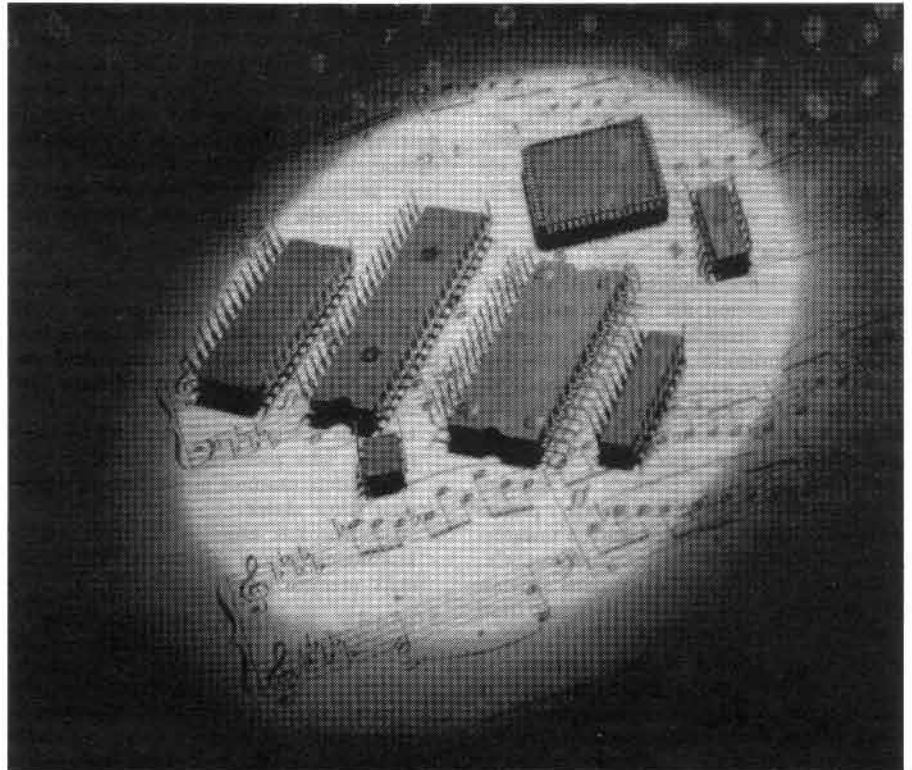
- interfejsy dla łącz S/P-DIF i AES/EBU
- przetworniki częstotliwości próbkowania
- nastawniki poziomu i balansu
- nastawniki barwy tonu i equalizery
- analizatory widma (audio)
- procesory przetwarzające pole dźwiękowe

Przenoszenie danych

Przenoszenie danych cyfrowych audio pomiędzy elementami systemu następuje najczęściej przy wykorzystaniu interfejsu IEC958 [1,2]. Format danych dla tego łącza i związana z tym terminologia tworzą podstawę opisu omawianych dalej układów interfejsowych.

Ze względu na kompletność i zrozumiałość opisu podamy zestawienie najważniejszych pojęć związanych z interfejsem IEC958. Łącze to istnieje w dwóch wariantach: profesjonalnym AES/EBU i konsumenckim S/P-DIF, przy czym to ostatnie jest w ograniczonym stopniu kompatybilne z AES/EBU. Przenoszone dane audio posiadają długość od 16 do 20 bitów na próbkę, najmniej znaczący bit (LSB) przenoszony jest jako pierwszy a dane są kodowane jako uzupełnienie do dwóch. Długość słowa może być zwiększona do 24 bitów przez dodanie czterech bitów „zewnętrznych“.

Wraz z danymi audio przenoszone są dodatkowo dane sterujące reprezentowane przez: Channel Status Bits (CSB - bity stanu kanału) i User Data Bits (UDB - bity danych użytkownika). Przy kodowaniu CSB różni się format konsumencki (S/P-DIF) i profesjonalny (studyjny) - AES/EBU. Strumień danych jest podzielony na „ramki“ po 64 bity. Ramka składa się z dwóch „sub-ramek“, z których każda przypisana jest jednemu kanałowi audio. Subramka zaczyna się tzw. nagłówkiem - niezmiennym ciągiem zmian poziomu - który wykorzystywany jest do synchronizacji. 192 ramki tworzą blok, którego początek określa specjalny nagłówek. Zawartość Channel Status Bits powtarza się w każdym bloku - dzięki temu na każdy kanał audio przypadają 192 różne CSB. Pier-



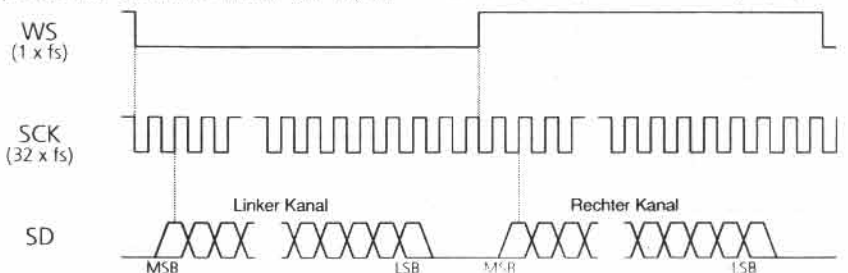
wsze 30 CSB przenosi tak ważne informacje jak częstotliwość próbkowania i emfaza, a przy formacie konsumenckim - typ urządzenia wysyłającego (kod kategorii) i zabezpieczenie przed kopiowaniem. Pozostałe CSB są zarezerwowane (wg. dziś obowiązującej normy). CSB obu kanałów audio są w dużym stopniu identyczne. UDB są, w wypadku CD użyte do przenoszenia subkodów, a w wypadku DAT zawierają informacje o początkach tytułów i znaczniki skoków. UDB nie są zorientowane na bloki danych ale tworzą własny asynchroniczny strumień danych, wewnątrz którego określona informacja przekazywana jest dokładnie wtedy gdy wyste-

puje związane z nią wydarzenie (np. początek nowego tytułu). Oprócz CSB i UDB każda subramka posiada bit parzystości i tzw. Validity Flag (bit upoważnienia), który w stanie wysokim blokuje przetwarzanie D/A danej próbki.

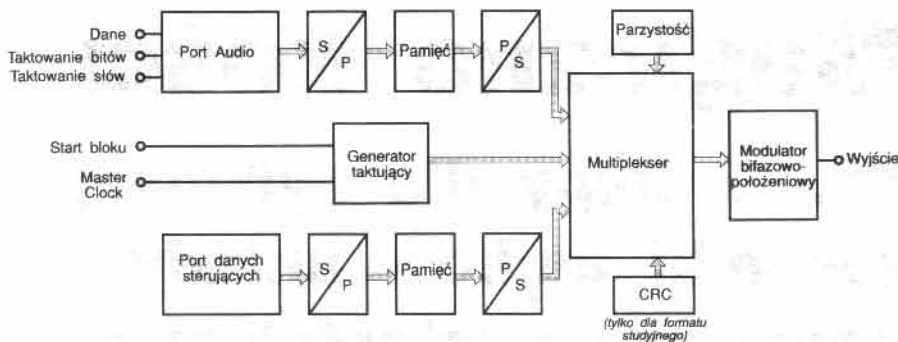
Pozostaje nadmienić, że strumień danych, dzięki bifazowej modulacji położeniowej, „splęciony“ jest z jednocześnie przenoszonymi (przez siebie) impulsami taktującymi.

Magistrale danych audio

Przenoszenie cyfrowych danych audio pomiędzy urządzeniami realizuje się nie wg. wyżej opisanego formatu ale przy pomocy



Rys. 1. Format danych i zależności czasowe na magistrali I²S.



Rys. 2. Struktura scalonego nadajnika Interfejsowego.

trójprzewodowego łącza szeregowego. Przewody te to linia danych, linia taktowania bitów i linia taktowania słów. Format danych i timing na tej magistrali podlegają quasi-standardom opracowanym przez poszczególnych producentów. Ze standardów tych korzystają także producenci, którzy nie wytwarzają pełnego asortymentu układów do przetwarzania sygnałów.

Magistrala I²S

Jedną z najlepiej zdefiniowanych trójprzewodowych magistral dla danych audio jest magistrala I²S (Inter-IC-Sound) opracowana przez firmę Philips [5]. Z tego właśnie względu i aby wyjaśnić zasadę funkcjonowania takich magistral, opiszemy ją nieco dokładniej. Przebiegi czasowe (timing) na tej magistrali pokazano na rys.1.

Po linii danych SD przesyła się szeregowo, naprzemiennie, próbkę dla lewego i prawego kanału. Każdemu bitowi danych towarzyszy narastające zbocze na linii zegarowej SCK. Informacje, dla którego kanału dane są właśnie przesyłane określa stan linii WS (linii „słowa”); stan Low oznacza lewy a High prawy kanał. Zmiana poziomu na linii WS powoduje zignorowanie pierwszego impulsu zegarowego przed początkiem transmisji kolejnej próbki. Dane audio są przesyłane poczynając od MSB - dzięki czemu położenie MSB względem taktu słowa (zmiany poziomu na linii WS) jest stałe i nie zależy od długości próbki. Koncepcja ta umożliwia przesyłanie próbek o różnej długości bez wpływu na „wagę” poszczególnych bitów. Jest więc nawet możliwe, że nadajnik i odbiornik charakteryzują różne długości „słowa”. W tym wypadku ostatnie, najmniej znaczące bity (LSB) zostaną albo wypełnione zerami albo zostaną zignorowane.

Dołączone do magistrali I²S układy (może ich być więcej niż dwa) stanowią system Master-Slave. Tylko jeden układ pracuje jako Master, pozostałe jako Slave. Master generuje sygnały SCK i WS ale nie konieczne musi być nadajnikiem danych. W rozgałęzionych systemach może wystąpić osobny kontroler generujący tylko impulsy taktujące nie biorąc udziału w przepływie danych.

Inne magistrale

Nie wszyscy producenci są orędownikami powszechnej standaryzacji stosowanych przez siebie magistral. Istnieje szereg bezimiennych trójprzewodowych magistral różniących się pod wieloma względami:

- długością słowa danych audio
- kolejnością bitów (MSB czy LSB transmitowany jako pierwszy)
- zależnością czasową bitów danych względem taktu słowa
- częstotliwością bitów zegarowych i słów
- kierunkiem zbocza zegarowego, którym zostają przejęte bity danych

Układy scalone interfejsów Nadajniki

Zadaniem układów interfejsowych jest utworzenie sygnału w formacie IEC958 z oddzielnie podanych sygnałów audio i sterujących. Zadanie to stoi przed wszystkimi cyfrowymi źródłami sygnałów audio, od odtwarzaczy CD poczynając a kończąc na pulpitych miksujących. W wielu urządzeniach - np. odtwarzaczach CD - nie można jednak doszukać się osobnych układów interfejsowych; ich funkcja, w okrojonym zakresie, zostaje przejęta przez jeden z układów LSI przetwarzających sygnał. Samodzielne układy interfejsowe znajdują zastosowanie wszędzie tam gdzie nie stosuje się rozwią-

zania w postaci pojedynczego układu lub tam gdzie musi być realizowane zróżnicowane oddziaływanie na dane sterujące.

Idea struktury takiego nadajnika jest pokazana na rys.2. W górnej lewej części można stwierdzić obecność „portu audio” szeregowego z omówionymi liniami danych, zegarową i taktu słowa. Dane sterujące, które mają być skojarzone z danymi audio są podawane na „port” sterujący (na lewo, u dołu). Można, z grubsza biorąc, rozróżnić trzy sposoby oddziaływania danych sterujących.

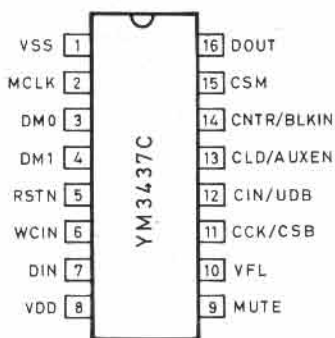
Typ 1. Dane sterujące (Channel Status Bits i User Data Bits) podawane są synchronicznie z danymi audio, indywidualnie dla każdej próbki.

Typ 2. Wartości poszczególnych bitów sterujących dają się programować poprzez piny. Układ cyklicznie odczytuje stan pinów i samodzielnie steruje obsadzaniem bitów sterujących.

Typ 3. Kompletny zestaw danych sterujących zostaje wpisany, pod kontrolą mikroprocesora, do obwodu scalonego, który zajmuje się wprowadzeniem bitów sterujących do strumienia danych.

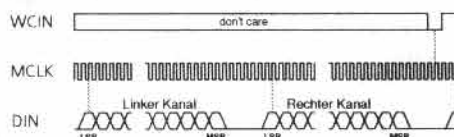
Dane audio i dane sterujące na pierwszym etapie przetwarzania, wewnątrz układu są zamieniane z postaci szeregowej na równoległą i w tej postaci są zapamiętywane. Krok ten jest potrzebny po to aby odseparować timing wejściowego portu audio od sygnału wyjściowego i aby umożliwić obróbkę wielu różnych formatów danych audio. Centralny generator przebiegów zegarowych wytwarza, w oparciu o impulsy zegarowe „Master Clock”, o częstotliwości od 128 do 384 razy większej od częstotliwości próbkowania, przebiegi potrzebne do uformowania sygnału wyjściowego - a więc przebiegi związane z położeniem czasowym sub-ramek, ramek i bloków. Ponieważ Master Clock zazwyczaj obsługuje również inne elementy systemu, które dokonują coraz to bardziej złożonych operacji rachunkowych, zarysowuje się tendencja korzystania z coraz to większych częstotliwości. Niektóre chipy dopuszczają zewnętrzną synchronizację generatora zegarowego przy pomocy sygnału początku bloku.

Aby zapewnić ciągłość strumienia danych, przez port audio musi wchodzić do układu,

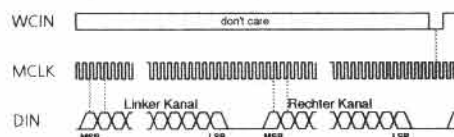


Rys. 3. Wprowadzenia danych z układów YMC3437C

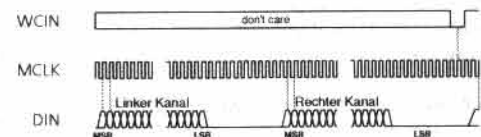
Format 0 (DM1 = L, DM0 = L)



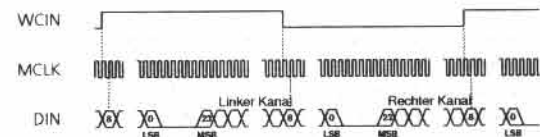
Format 1 (DM1 = L, DM0 = H)



Format 2 (DM1 = H, DM0 = L)



Format 3 (DM1 = H, DM0 = H)



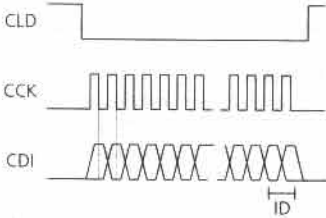
Rys. 4. Formaty danych audio i timing dla YMC3437C.

Tab.1. Kodowanie znaczenia bitów danych sterujących

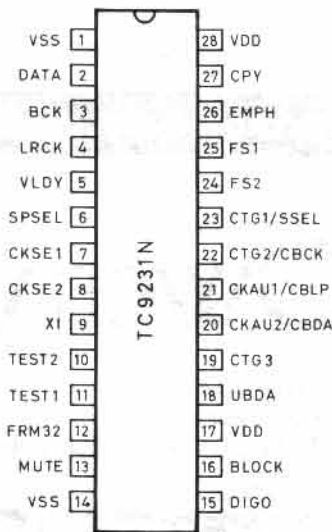
ID	Ilość bitów	Przeznaczenie bitów
LL	32	Pierwsze 32 CSB w bloku
HL	32	Pierwsze 32 UDB w bloku
LH	4	Słowo sterujące Bit1: uaktywnia wytransmitowanie UDB's Bit2: uaktywnia funkcję MUTE (wyciszanie) Bit3: uaktywnia funkcję AUXEN Bit4: zawsze Low

Tab.2. Częstotliwości taktowania TC9231N

CKSE2	CKSE1	Master Clock
L	L	384 fs
L	H	256 fs
H	L	128 fs
H	H	192 fs



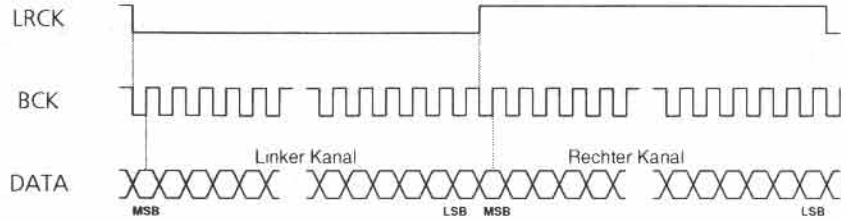
Rys. 5. Zależności czasowe dla danych sterujących (YMC3437C).



Rys. 6. Wyprowadzenia układu TC9231N.

średnio biorąc, tyle samo danych ile go opuszcza. Z tego względu taktowanie słów portu audio jest (pośrednio lub bezpośrednio) związane z zegarem Master Clock.

W kolejnym etapie pracy układu interfejsowego dane audio i dane sterujące zostają zmultipleksowane w jeden wspólny strumień danych. Podczas multipleksowania określone fragmenty informacji sterujących wytwarzane są wewnątrz układu scalonego. Dotyczy to w szczególności formatu studyjnego, dla którego dane sterujące reprezentowane przez Channel Status Bits, zawierają informacje o stanie licznika ramek (Local Sample Address), stanie bitu niezawodności i podają wartość sumy kontrolnej CRC. Bit niezawodności określa „pewność” poszczególnych danych sterujących. Niezależnie od formatu układ generuje bit parzystości dla każdej sub-ramki. Powstały w ten sposób strumień



Rys. 7. Format danych audio dla TC9231N.

danych zawiera wszystkie informacje, które powinny zostać wysłane. Na ostatnim etapie przetwarzania strumień ten poddany zostaje bifazowej modulacji położeniowej, która każdą sub-ramkę zaopatruje jeszcze w nagłówek.

YM3437C

Jest to układ nadajnika-interfejsu f-maj Yamaha, dostępny w obudowach DIL-16 lub SO. Wyprowadzenia pokazano na rys. 3. Kilka pinów obsługuje 2 funkcje co upoważnia aby ten chip zaliczyć do typu 1 lub 3. Audioport tego obwodu odbiega nieco od struktury pokazanej na rys.1 ponieważ impulsy zegarowe bitów mogą być asynchroniczne w stosunku do sygnału wyjściowego. Co więcej, Master Clock (MCKL), z częstotliwością 128 razy większą od częstotliwości próbkowania, służy jako takt bitowy dla danych audio, podawanych na pin DIN. Taktowanie słów podaje się na pin WCIN. Dane audio mogą być podawane w czterech różnych formatach; format determinuje stan pinów DM0 i DM1 (rys.4)

Gdy funkcja AUXEN jest uaktywniona, albo poprzez pin o tej samej nazwie, albo przez dane sterujące, to obwód może przetwarzać 24-ro bitowe dane audio; w przeciwnym wypadku długość słowa wynosi 20 bitów a 4-ry najmniej znaczące bity są ignorowane. Pin MUTE umożliwia „wyciszenie” danych audio. Każdy z trybów pracy, tj. typ 1 (synchroniczny) i typ 3 (asynchroniczny) daje się wybrać przy pomocy pinu CSM. W trybie synchronicznym (CSM = High) każdej próbie musi towarzyszyć podanie wartości Chanel Status-, User Data- i Validity-Flag odpowiednio na wejścia CSB, UDB i VFL. Dla podziału strumienia danych na bloki należy na wejście BLKIN podać impuls High, co 192 ramki.

W wypadku pracy asynchronicznej (CSM = Low) istotną część danych sterujących (32 bity określające Chanel Status i 32 bity User-Data) zostają załadowane „en bloc”, via trójprzewodowe łącze, przez zewnętrzny mikroprocesor. W tej sytuacji pin CLD służy jako wejście Chip-Select, pin CIN jako wejście danych, a pin CCK jako wejście taktujące (rys.5). Pakiet danych składa się z pewnej ilości bitów danych i następującej po nich etykiety (ID), która określa znaczenie tych bitów danych. Jak wynika z Tab. 1 oprócz określenia CSB i UDB można tą drogą uaktywniać funkcje AUXEN i MUTE. CSB i UDB są przekazywane synchronicznie z blokową strukturą danych, co nie jest określone w normie [1,2] a wykorzystanie UDB nie odpowiada temu co powiedziano przy jej opisie.

W trybie asynchronicznym YM3437C dzieli samodzielnie strumień danych na bloki. Validity Flag może być podana synchronicznie do strumienia danych. Gdy pracujemy z formatem studyjnym (pierwszy CSB jest

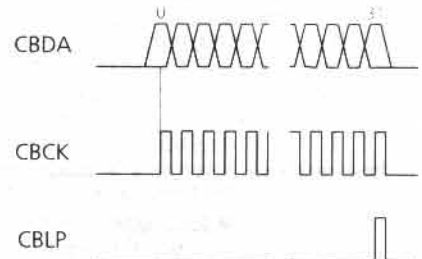
High) chip samodzielnie generuje Validity Flag, sumę kontrolną CRC i Local Sample Address, przy czym te ostatnie dają się wyzerować przez pin CNTR. Wytworzony strumień danych opuszcza chip przez pin DOUT z poziomami CMOS. YM3437C posiada wejście Power-on-Reset (RSTN) uaktywniane poziomem Low.

TC9231N

Układ ten oferuje f-maj Toshiba. Jest on zapakowany w wąską obudowę DIL 28. Położenie wyprowadzeń pokazano na rys.6. Układ posiada jeden port audio z wejściem danych DATA (długość słowa 16 bitów), wejściem taktowania bitów BCK (z 32-krotną częstotliwością próbkowania) i wejściem taktowania słów LRCK.

Zależności czasowe dla tych sygnałów ilustruje rys.7. Na linii BCK może być podanych, na sub-ramkę, więcej niż 16 taktów, ale tylko 16 zostanie wykorzystane do wczytania danych audio. Dane audio mogą być „wyciszane” przez podanie poziomu Low na wejście MUTE, które jest zaopatrzone w wewnętrzny rezystor Pull-up. Sygnał Master Clock podaje się na wejście XI. Częstotliwość akceptowana dla tego sygnału jest określona stanem pinów CKSE1 i CKSE2 (patrz Tab.2) i jest wielokrotnością (od 128 do 384) częstotliwości próbkowania. Przy częstotliwości sygnału Master Clock będącej 192 krotnością częstotliwości próbkowania należy zwrócić uwagę aby współczynnik wypełnienia wynosił dokładnie 50%, gdyż w przeciwnym wypadku na wyjściu danych DIGO może wystąpić jitter, który praktycznie może uniemożliwić wykorzystanie tego sygnału.

Układ TC9231N dostarcza dwa sygnały „ramkujące”: FRM32, z okresem wynoszącym 32 ramki i BLOCK z okresem 192 ramek. Podczas gdy sygnał FRM32 posiada współczynnik wypełnienia 50% to sygnał BLOCK posiada poziom High tylko w czasie trwania pierwszej ramki. Interfejs dla danych sterujących może pracować jako Typ 2 (DC Setting Mode) lub, w wypadku ładowania przez mikroprocesor, jako Typ 3 (Serial Input Mode); wybór pomiędzy tymi ty-



Rys. 8. Zależności czasowe dla danych sterujących w TC9231N.

Tab. 3. Programowanie kanału danych sterujących dla TC9231N w trybie DC Setting Mode

Nazwa pinu	Numer CSB	Przeznaczenie
FS1	24	Częstotliwość próbkowania Bit1
FS2	25	Częstotliwość próbkowania Bit2
CTG1	8	Kod kategorii Bit1
CTG2	9	Kod kategorii Bit2
CTG3	10	Kod kategorii Bit3
CKAU1	28	Dokładność częstotliwości próbkowania Bit1
CKAU2	29	Dokładność częstotliwości próbkowania Bit2
EMPH	3	Emfaza
CPY	2	Bit blokujący możliwość kopiowania

pami określa poziom napięcia na pinie SPSEL. W trybie DC Setting Mode (SPSEL = H) ważniejsze dane dotyczące statusu kanału (częstotliwość próbkowania, emfaza, dokładność częstotliwości próbkowania, kod kategorii i zabezpieczenie przed kopiowaniem) są wprowadzane poprzez określanie poszczególnych CSB (Channel Status Bits). Zależność CSB od stanu odpowiednich pinów ilustruje Tab.3. Wszystkie nie występujące w tym zestawieniu Channel Status

Bits są ustawiane w stan 0, co powoduje że może być realizowany tylko format konsumencki. W tej sytuacji niektóre kody kategorii, np. związane z DCC i MiniDisk nie dają się ustawić.

W trybie Serial Input Mode (SPSEL = L) Channel Status Bits są załadowywane pod kontrolą mikroprocesora. Poziom napięcia na pinie SSEL określa długość danych szeregowych dotyczących statusu kanału. Przy SSEL = L układ zapamiętuje tylko pierwsze

32 CSB a przy SSEL = H wszystkie 192. Dane te wprowadzane są przez pin CBDA a jako wejście taktujące służy CBCK. Po każdym 32 bitach danych musi zostać podany na linię CBLP impuls H. Opisany protokół ilustruje rys.8.

Wspólnym dla obu trybów pracy jest podawanie, synchronicznie z audio-data, User Data Bits (via pin UBDA) jak i Validity Flag (via pin VLDY). Wejścia TEST1 i TEST2 powinny pozostać nigdzie nie podłączone lub w stanie Low.

TC9271

Obwód TC9271, również f-my Toshiba, funkcjonalnie jest podobny do TC9231N ale może przetwarzać dane audio o długości 24 bitów w czterech różnych formatach. Układ ten może obsługiwać cztery kanały audio i posiada do wyboru dwa wyjścia dla zmodulowanego sygnału. Jest dostarczany w wąskiej obudowie DIL28 lub SO.

Steffen Schmid

Na tym kończymy omówienie układów japońskich producentów. W następnej części przedstawimy układy producentów amerykańskich.

Artykuł publikujemy na podstawie umowy z redakcją niemieckiego miesięcznika ELRAD.