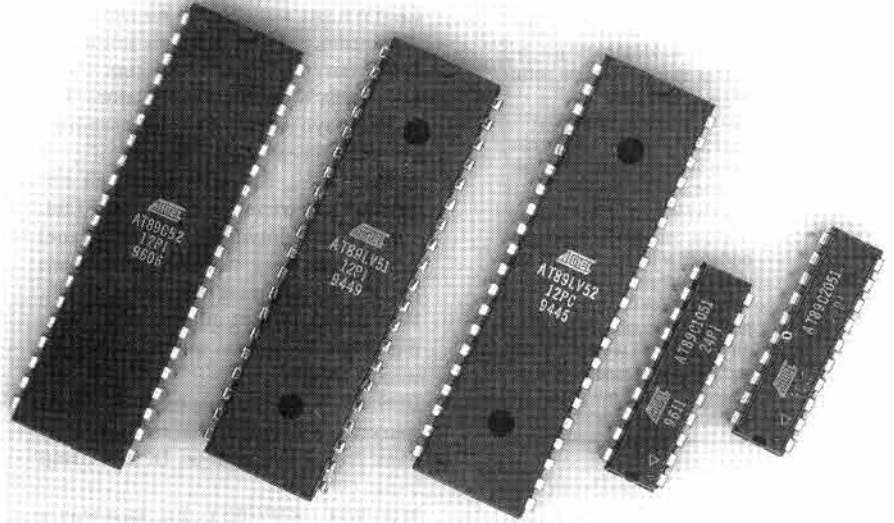


# Mikrokontrolery rodziny '51 firmy **ATMEL**

Procesory ATMEL'a z pamięcią Flash podbijają świat. Ogromnym zainteresowaniem cieszą się także w Polsce. Przyczyny sukcesu są dwie - niska cena układów i możliwość wielokrotnego zapisywania wewnętrznej pamięci programu. Programiści realizujący projekty na procesorach rodziny MCS-51 nie są zmuszeni do zmiany przyzwyczajeń, poznawania nowej architektury i uczenia się kolejnego „narzędzia” asemblera. Czyli wszystko po staremu, ale wielokrotnie lepiej...



W numerze 4/96 Elektroniki Praktycznej przedstawiliśmy pokrótce nowe mikroprocesory serii '51 z pamięcią Flash firmy ATMEL. Ponieważ wszystkie są zgodne programowo i po części hardware'owo z procesorami 8051, to zaimplementowanie ich do nowych konstrukcji nie powinno być trudne dla konstruktorów. Opisywane wcześniej układy, poza technologią umożliwiającą pracę w szerokim zakresie częstotliwości zegara (począwszy od 0Hz) oraz pamięcią programu w postaci reprogramowalnej „Flash”, a nie EPROM, są kompatybilne ze swoimi pierwowzorami 8051/52. Wśród nowości ATMEL'a pojawiły się dwa procesory, które oprócz standardowych funkcji hardware'owych posiadają kilka dodatkowych bloków funkcjonalnych, dzięki którym są bardziej atrakcyjne w pewnych aplikacjach, szczególnie przemysłowych (ze względu na obecność tzw. „watchdog'a”) oraz edukacyjnych (interfejs SPI, programowanie w układzie „in circuit”, rozbudowany licznik/timer T2).

Na szczególną uwagę zasługują dwa najnowsze klony o oznaczeniach AT89S8252 oraz AT89C55. Pierwszy z nich należy do serii układów „S” - specjalnych, których rodzinę producent ma w przyszłości powiększać o układy wyposażane w dodatkowe bloki zwiększające ich funkcjonalność.

Układ AT89S8252 wykonany w technologii CMOS „Low Power”, o dużej gęstości upakowania, jest 8-bitowym mikro-

kontrolerem zawierającym 8 kB reprogramowalnej elektrycznie pamięci programu typu „Flash” i dodatkowo 2 kB typowej pamięci EEPROM. Jest on w pełni kompatybilny ze standardem przemysłowym serii MCS-51. Zawarta w strukturze pamięć programu „Flash”, w odróżnieniu od stosowanej w innych rozwiązaniach pamięci EPROM, która wymaga programowania układu w programatorze i kasowania promieniami ultrafioletowymi, może być także kasowana i programowana bez wyjmowania procesora z układu poprzez specjalny interfejs szeregowy SPI.

#### Cechy charakterystyczne procesora AT89S8252:

- ♦ pełna kompatybilność z serią MCS-51;
- ♦ 8 kB wewnętrznej pamięci programu typu „Flash” (reprogramowalna elektrycznie także w trybie „in circuit” poprzez interfejs SPI);
- ♦ 2 kB wewnętrznej pamięci typu EEPROM;
- ♦ zakres napięć pracy układu: 2,7...6V;
- ♦ struktura w pełni statyczna, zakres pracy zegara 0 Hz ...24 MHz;
- ♦ trzypoziomowe zabezpieczenie kodu programu użytkownika;
- ♦ 256 bajtów wewnętrznej pamięci danych RAM;
- ♦ 32 programowalne linie wejścia/wyjścia;
- ♦ 3 16-bitowe liczniki/timery;
- ♦ 9 źródeł przerwań;
- ♦ programowalny interfejs szeregowy UART;
- ♦ szeregowy interfejs SPI;
- ♦ tryby pracy „low power idle” i „power down”;
- ♦ możliwość powrotu z trybu „power down” przez przerwanie;
- ♦ programowany timer typu „watchdog”;
- ♦ podwójny wskaźnik danych (tzw. „dual data pointer”);
- ♦ obsługa bitu „power OFF”;

Tabela 1.

| Pin portu | Symbol | Funkcje alternatywne  |
|-----------|--------|---|
| P1.0      | T2     | Funkcje alternatywne zewnętrzne wejście zliczania licznika/timera T2, a także wyjście generatora synchronicznego z zegarem procesora  |
| P1.1      | T2EX   | wejście zatraskiwania licznika T2 w trybie "capture" i przeładowania w trybie "reload", a także wejście sterowania kierunkiem zliczania licznika T2 - góra/dół              |
| P1.4      | /SS    | "Slave port Select input" - podanie stanu niskiego na ten pin powoduje skonfigurowanie portu SPI w trybie "slave"   |
| P1.5      | MOSI   | "Master Output Slave Input" - wyjście danych szeregowych portu SPI w trybie "master" lub wejście w trybie "slave"   |
| P1.6      | MISO   | "Master Input Slave Output" - wejście danych szeregowych portu SPI w trybie "master" lub wyjście w trybie "slave"   |
| P1.7      | SCK    | "Master Clock Output, slave input" wyjście sygnału taktującego interfejs SPI w trybie "master" lub wejście zegara z układu nadrzędnego jeżeli procesor wybrano jako "slave" |

Układ nie wymaga wtedy zasilania napięciem programującym 12V, a ponadto pamięć programu nie musi być kasowana przed ponownym zaprogramowaniem (następuje to automatycznie).

Układ może być także programowany za pomocą zewnętrznego programatora. W tym przypadku cała pamięć przed ponownym zaprogramowaniem musi być skasowana, co zresztą odbywa się automatycznie. Operacja kasowania zostaje jedynie zainicjowana przez programator, natomiast przebiega bez jego udziału i jest kontrolowana wewnętrznie przez mikroprocesor.

W dalszej części artykułu skupimy się jedynie na opisie dodatkowych funkcji, jakie posiada AT89S8252 w porównaniu ze swoim pierwowzorem, jakim był układ 87C51/52.

**Porty wejścia-wyjścia**

Port P1 oprócz standardowych funkcji spełnia też rolę szeregowego interfejsu SPI, służącego nie tylko do programowania wsadowego układu ale również do komunikowania się procesora z innymi peryferyjnymi układami wyposażonymi w kompatybilny z SPI port szeregowy (np. pamięci szeregowe „Flash” i EEPROM). Oprócz tego niektóre końcówki portu P1 obsługują wewnętrzny licznik/timer T2. Znaczenie poszczególnych końcówek przedstawia tabela 1.

**Rejestry specjalne**

Oprócz standardowych rejestrów charakterystycznych dla 8051 procesor posiada dodatkowo:

**T2CON** - rejestr kontrolny licznika T2 zgodny z układem 8052,

**WMCON** - rejestr kontrolny „Watchdog’a” i trybu pracy z wewnętrzną pamięcią EEPROM. Rejestr znajduje się pod adresem 96h,

Znaczenie bitów rejestru WMCON:

**PS2 PS1 PS0** Bity preskalera timera „watchdog”. W zależności od ich ustawienia można wstawiać okres przepełnienia timera w zakresie 16...2048 ms.

**EEMWE** Bit zezwolenia na zapis wewnętrznej pamięci danych EEPROM. Ustawiany „1” przed zapisem danej instrukcją MOVX z akumulatora. Powinien być skasowany programowo po zakończeniu operacji.

**EEMEN** Bit zezwolenia na odczyt wewnętrznej pamięci EEPROM. Ustawienie powoduje odczyt danej z pamięci przy użyciu instrukcji MOVX z podaniem adresu w DPTR. Wyzerowanie bitu pozwala na standardowy dostęp do zewnętrznej pamięci danych.

**DPS** Bit wyboru rejestru wskaźnika danych. DPS=0 wybiera pierwszy bank DP0 wskaźników, DPS=1 drugi bank DP1.

**WDTRST, RDY/BSY** Bit kasowania timera „watchdog” oraz bit zakończenia zapisu do pamięci EEPROM. Każdorazowe ustawienie tego bitu powoduje skasowanie „watchdog’a”, natomiast podczas operacji zapisywania pamięci EEPROM jego monitorowanie pozwala zorientować się czy operacja zapisu bajtu do tej pamięci została zakończona (bit przyjmuje wtedy wartość „1”)

**WDTEN** „Watchdog Timer Enable Bit” - Ustawienie tego bitu uruchamia timer „watchdog”, wyzerowanie zatrzymuje go

**SPCR** - rejestr kontrolny interfejsu SPI. Znaczenie bitów rejestru SPCR:

**SPIE** „SPI Interrupt Enable” - bit zezwolenia na przerwanie z portu SPI

**SPE** „SPI Enable” - uaktywienie portu SPI. Ustawienie tego bitu powoduje przyłączenie do końcówek portu P1 (opisanych wcześniej) wewnętrznych sygnałów sterujących /SS, MOSI, MISO i SCK

**DORD** „Data Order” - ustawienie powoduje, że podczas transmisji przez SPI najpierw jest przesyłany bit najmniej znaczący danych (LSB), a na końcu MSB. Wyzerowanie ustala porządek odwrotny.

**MSTR** „Master Slave/Select” MSTR=1 konfiguru-

je port w trybie „master”, MSTR=0 w tryb „slave”

**CPOL** „Clock Polarity” - ustala polaryzację sygnału taktującego port SPI. Gdy jest ustawiony to SCK=1 w trybie jałowym, a przeciwnie, gdy CPOL=0.

**CPHA** „Clock Phase” - ustala fazę sygnałów taktujących i danych **SPR0, SPR1** „SPI Clock Rate Select”. W trybie „master” bity ustalają prędkość transmisji SPI. Ich znaczenie jest następujące

|      |      |                            |
|------|------|----------------------------|
| SPR1 | SPR0 | SCK=Foscyl. dzielone przez |
| 0    | 1    | 4                          |
| 0    | 0    | 16                         |
| 1    | 1    | 64                         |
| 1    | 0    | 128                        |

**SPSR** - rejestr statusu interfejsu SPI. Znaczenie bitów rejestru SPSR:

**SPIF** „SPI Interrupt Flag”. Po zakończeniu transmisji bit zostaje ustawiony i generowane jest przerwanie, jeżeli SPIE=1 i EA=1. Po odczycie rejestru statusu, a następnie rejestru danych SPDR, bit ten jest zerowany.

**WCOL** „Write Collision Flag” - Bit ten jest ustawiany, jeżeli podczas przesyłania danych nastąpi zapis do rejestru danych SPDR. Wówczas odczytywana dana może być błędna. Bit jest kasowany po odczycie rejestru statusu i następnie danych SPDR.

**SPDR**- rejestr danych interfejsu SPI. Rejestr zawiera daną po zakończeniu transmisji, lub służy do zapisania danej do wysłania przez mikroprocesor do urządzenia zewnętrznego

**Wewnętrzna pamięć EEPROM**

O ile dostęp do wewnętrznej pamięci RAM odbywa się tak samo jak w procesorach 8052, to zapis lub odczyt do 2kB przestrzeni pamięci EEPROM odbywa się po odpowiednim ustawieniu bitów EEMEN i EEMWE w rejestrze WMCON. Pro-

Tabela 2. Dodatkowe rejestry specjalne w AT89S8252

|   |      |      |       |       |      |        |       |  |  |
|---|------|------|-------|-------|------|--------|-------|--|--|
| <b>WMCON adres = 96h.</b> Wartość początkowa = 00000000b,   |      |      |       |       |      |        |       |  |  |
| PS2   | PS1  | PS0  | EEMWE | EEMEN | DPS  | WDTRST | WDTEN |  |  |
| bit 7   | 6    | 5    | 4     | 3     | 2    | 1      | 0     |  |  |
| <b>SPCR adres = D5h.</b> Wartość początkowa = 0000 01XXb,   |      |      |       |       |      |        |       |  |  |
| SPIE  | SPE  | DORD | MSTR  | CPOL  | CPHA | SPR1   | SPR0  |  |  |
| bit 7   | 6    | 5    | 4     | 3     | 2    | 1      | 0     |  |  |
| <b>SPSR adres = AAh.</b> Wartość początkowa = 0000 0000b    |      |      |       |       |      |        |       |  |  |
| SPIF  | WCOL |      |       |       |      |        |       |  |  |
| bit 7   | 6    | 5    | 4     | 3     | 2    | 1      | 0     |  |  |
| <b>SPDR adres = 86h.</b> Wartość początkowa = nie zmieniona |      |      |       |       |      |        |       |  |  |
| SPD7  | SPD6 | SPD5 | SPD4  | SPD3  | SPD2 | SPD1   | SPD0  |  |  |
| bit 7   | 6    | 5    | 4     | 3     | 2    | 1      | 0     |  |  |
| <b>T2MOD adres = C9h.</b> Wartość początkowa = XXXX XX00b   |      |      |       |       |      |        |       |  |  |
|   |      |      |       |       |      | T2OE   | DCEN  |  |  |
| bit 7   | 6    | 5    | 4     | 3     | 2    | 1      | 0     |  |  |

gramowo użytkownik Po tej operacji i zapisie adresu w rejestrze DPTR, użytkownik może za pomocą instrukcji MOVX przesłać daną do akumulatora, bądź zapisać ją w pamięci EEPROM. Cykl automatycznego zapisu do tej pamięci jest inicjowany instrukcjami:

```

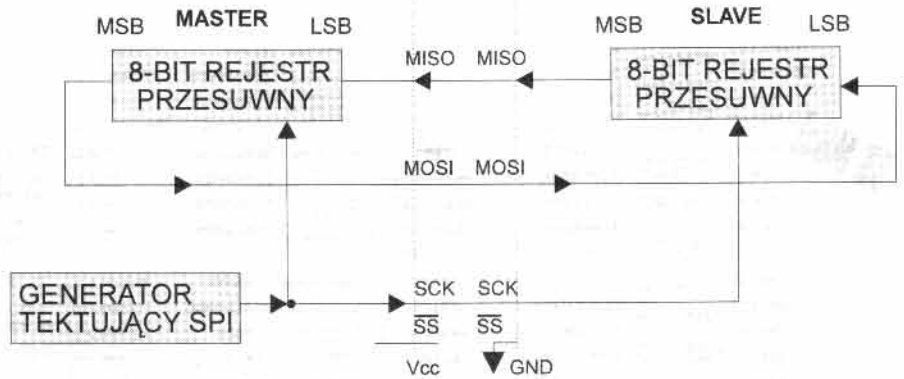
mov DPTR, #adres ;załadowanie adresu
mov ACC, dana ;załadowanie danej
;ustawienie bitu EEMWE
orl WMCON, #00010000b
movx DPTR, A ;zapis danej do EEPROM
i trwa około 2,5 ms, dlatego programista
powinien przewidzieć następnny zapis do
tej pamięci po tym czasie, tak aby nie
powstał konflikt z zapisywaną daną. Naj-
prościej można tego dokonać monitorując
bit (flagę) RDY/BSY w tym samym rejestrze
WMCON. Gdy flaga jest równa 0 zna-
czy to, że cykl zapisu do pamięci EEPROM
jeszcze się nie zakończył. W naszym
przykładzie, jeżeli nie musimy wy-
konywać innych operacji, dalsza część
programu może wyglądać następująco:
wait: mov A, WMCON ;załadowanie rejestru
; do Acc
anl A, #00000010b ;zamaskowanie flagi
;RDY/BSY
jz wait ;jeżeli flaga=0 to czekaj
    
```

**Programowany timer „watchdog”**

Dodatkowy timer zabezpiecza system mikroprocesorowy przed przypadkowym „wypadnięciem” procesora z linii programowej. Mówiąc jaśniej, w nieprzewidywanych sytuacjach, szczególnie w przypadku zakłóceń w zasilaniu, a także błędów programowych (tzw. pluskiew), system zostaje automatycznie zerowany, jeżeli po odpowiednim czasie nie zostanie programowo wyzerowany licznik „watchdog’a”. Przepelnienie tego licznika powoduje wygenerowanie sygnału RE-

**Tabela 3.**

| Bity preskalera |     |     | Okres (nominalny) |
|-----------------|-----|-----|-------------------|
| PS2             | PS1 | PS0 |                   |
| 0               | 0   | 0   | 16 ms             |
| 0               | 0   | 1   | 32 ms             |
| 0               | 1   | 0   | 64 ms             |
| 0               | 1   | 1   | 128 ms            |
| 1               | 0   | 0   | 256 ms            |
| 1               | 0   | 1   | 512 ms            |
| 1               | 1   | 0   | 1024 ms           |
| 1               | 1   | 1   | 2048 ms           |



Rys. 1. Połączenie dwóch µP poprzez interfejs SPI.

SET. W układzie 89S8252 licznik ten pracuje z wykorzystaniem niezależnego, wbudowanego w strukturę układu oscylatora. Dzięki preskalerowi, którego bity PS0...PS2 znajdują się w rejestrze WMCON, możliwe jest ustawienie okresu przeładowywania tego licznika. Poszczególne nastawy preskalera i odpowiadające im okresy przedstawia **tabela 3.**

**Timer T2**

Timery T0 i T1 pracują tak samo, jak układy licznikowe w układach 8051. Ta sama uwaga dotyczy timera T2. W porównaniu z licznikiem zawartym w układzie 8052 ma on kilka dodatkowych użytecznych funkcji.

W przestrzeni adresowej SFR pod adresem C9h, umieszczono dodatkowy rejestr T2MOD (podobnie jak dla liczników T0 i T1 - TMOD) w którym pięć bardziej znaczących bitów nie ma znaczenia, natomiast najmniej znaczący bit ustala kierunek zliczania licznika w trybie 16-bitowym z przeładowaniem zawartości. Po sygnale RESET bit ma wartość początkowa 0 co powoduje, że licznik T2 zlicza w górę. Ustawienie bitu w rejestrze T2MOD powoduje, że licznik zliczać będzie w kierunku zależnym od poziomu logicznego podanego na końcówkę T2EX portu P1. Logiczna jedynka podana na tę końcówkę spowoduje zliczanie w górę, a logiczne zero w dół. Gdy licznik przepelni się osiągając wartość 0FFFFh, to ustawiony zostanie bit TF2. Przepelnienie spowoduje także załadowanie 16-bitowej wartości początkowej z rejestrów RCAP2H i RCAP2L do rejestrów licznika

TH2 i TL2. W przypadku zliczania w dół, w momencie osiągnięcia przez licznik wartości równej wpisanej do RCAP2H:RCAP2L podobnie zostaje ustawiona flaga TF2 lecz do licznika załadowana zostaje wartość 0FFFFh.

**T2MOD** - dodatkowy rejestr licznika/timera T2

Znaczenie bitów rejestru T2MOD:

**T2OE** - Bit aktywizujący wyjście licznika T2

**DCEN** - Gdy DCEN=1 i T2EX=1, to licznik zlicza w górę, gdy zaś DCEN=1 i T2EX=0, to licznik zlicza w dół.

Dodatkowo licznik T2 można wykorzystać do generacji przebiegu zegarowego o wypełnieniu 50%. Wyjście tego sygnału to końcówka P1.0 portu P1. W przypadku zastosowanego rezonatora kwarcowego o częstotliwości 16MHz zakres uzyskiwanych częstotliwości zegara wynosi 61Hz...4MHz. Aby skonfigurować licznik T2 jako generator należy wyzerować bit C/T2 (T2CON.1) i ustawić bit T2OE (T2MOD.1). Ustawienie bitu TR2 (T2CON.2) powoduje start licznika, a wyzerowanie jego zastopowanie.

Zakres uzyskiwanych częstotliwości zależy od dołączonego rezonatora kwarcowego i wartości rejestrów przeładowania licznika (RCAP2H i RCAP2L) według wzoru:

$$F_{wy} = F_{osc} / [4 \times (65536 - (RCAP2H, RCAP2L))]$$

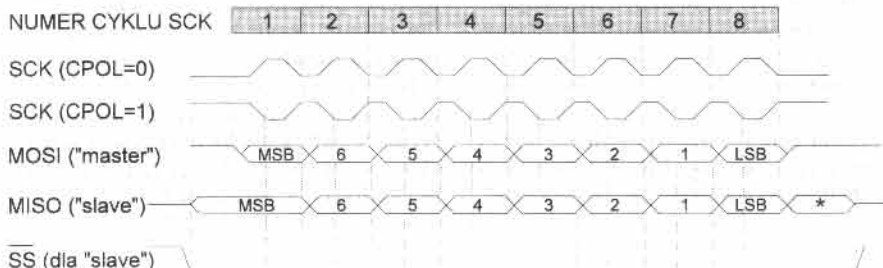
W tym trybie licznik T2 po przepelnieniu nie ustawia flagi TF2 i nie generuje przerwania jeżeli ET2 =1.

**Interfejs szeregowy SPI**

Wbudowany w strukturę układu interfejs szeregowy SPI umożliwia szybką transmisję danych pomiędzy mikroprocesorem, a urządzeniami zewnętrznymi (wyposażonymi także w SPI), lub kilkoma mikroprocesorami 89S8252.

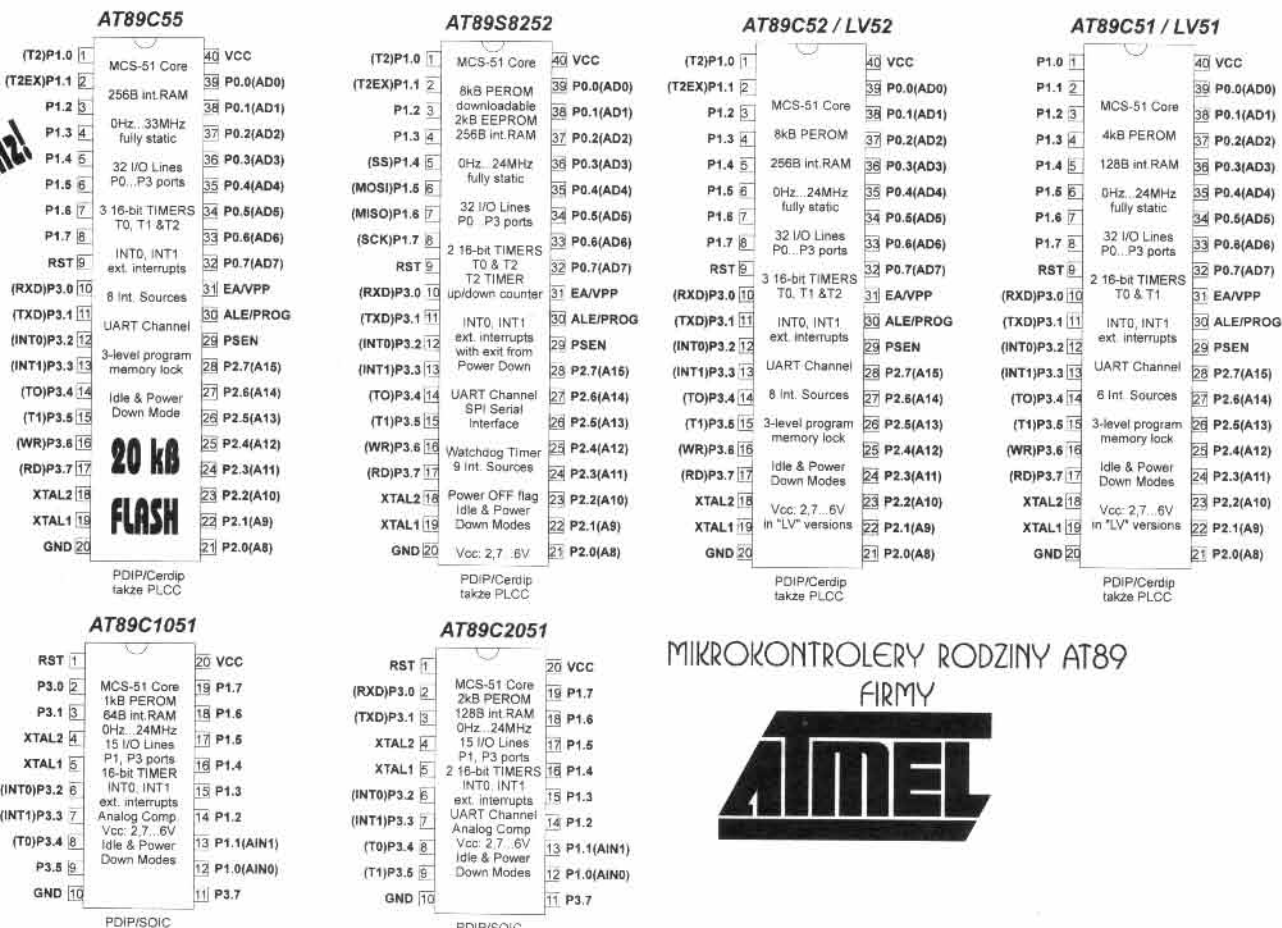
Protokół tego interfejsu umożliwia:

- ♦ w pełni duplexową, 3-przewodową, synchroniczną transmisję danych;
- ♦ tryb pracy „master” lub „slave”;



Rys. 2. Przebiegi czasowe na magistrali SPI podczas przesyłania bajtu danych.

33 MHz!



Rys. 3.

- ♦ maksymalną częstotliwość pracy 6 MHz;
- ♦ wybór kolejności przesyłania bitów danej (pierwszy LSB lub MSB);
- ♦ cztery wybierane programowo szybkości transmisji;
- ♦ generację przerwania po zakończeniu transmisji;
- ♦ sygnalizację „kolizji” w trakcie transmisji przez ustawienie flagi WCOL;
- ♦ przywrócenie transmisji po wyjściu z trybu jałowego („idle mode”);

Na rysunku 1 przedstawiono przykładowe połączenie dla transmisji danych między dwoma mikroprocesorami wyposażonymi w interfejs SPI.

Końcówka SCK jest wyjściem sygnału taktującego dla procesora, który jest w trybie „master”, natomiast wejściem dla procesora będącego w trybie „slave”. Zapis danej do rejestru SPDR („master” CPU) rozpoczyna generację sygnału taktującego na wyjściu SCK, zaś dana zostaje bit po bicie podana na wyjście MOSI i trafia do wejścia MOSI procesora podrzędnego („slave”). Przesłanie całego bajtu kończy generację sygnału zegarowego SCK i ustawia flagę zakończenia transmisji (SPIF). Jeżeli w obu mikroprocesorach flaga SPIE (zezwolenia na przerwanie od SPI) jest ustawiona, to wykonany zostaje skok do odpowiednich pro-

cedur obsługi przerwania w obu mikroprocesorach.

W zależności od ustawienia bitów CPHA i CPOL możliwe są cztery kombinacje fazy i polaryzacji podczas przesyłania danych. Rysunek 2 przedstawia sytuację, gdy podczas transmisji CPHA = 0.

**Tryby: „IDLE” i „POWER DOWN”**

W trybie jałowym mikroprocesor zachowuje się podobnie jak układ 80C52. W trybie „power down” ostatnią instrukcją jest ustawienie bitu w rejestrze PCON (zainicjowanie tego trybu). Oscylator procesora zostaje zatrzymany, a rejestry specjalne oraz zawartość wewnętrznej pamięci RAM nie zmieniają wartości i ich zawartość jest podtrzymywana. Wyjście z tego trybu w odróżnieniu od poprzedników 89S8252, może odbyć się dwójako: przez wyzerowanie systemu, oraz co ważne, przez przerwanie zewnętrzne (!!!). Aby możliwe było wyjście z tego trybu przedtem ustawić ich wyzwolenie poziomem (wyzerowany bit TCON.2 lub TCON.0 w zależności od przerwania). Procedura obsługi przerwania rozpoczyna się po około 16 ms od podania niskiego poziomu na jedno z wejść prze-

rawia INT0 lub INT1.

Nie zapominajmy o jeszcze jednej ważnej ceście, którą posiadają wszystkie procesory ATMEL serii 89, a mianowicie szerokim zakresie napięć pracy: 2, 7V...6V. Dzięki tej serii mikroprocesorów projektant może rozpocząć projektowanie i użytkowanie systemów z napięciem zasilania 3V, które powoli staje się standardem. Dzięki wykorzystaniu tych układów możliwe jest konstruowanie urządzeń przenośnych, zasilanych bateryjnie z małych litowych ogniw.

W następnym numerach EP przedstawimy kilka propozycji układów zasilanych obniżonym napięciem oraz sposoby obniżania napięcia zasilania układów cyfrowych bez utraty zawartych w nich informacji. Przedstawimy także projekt płytki ewaluacyjnej opartej na procesorze AT89S8252 i przy tej okazji opiszemy sposoby programowania układu w trybie „in circuit”, czyli bez wyjmowania procesora z układu.

Na rys.3 przedstawione zostały obudowy i układ wyprowadzeń procesorów AT89CXXXX, które są dostępne w chwili obecnej lub wejdą do produkcji seryjnej w najbliższych miesiącach.

**Sławomir Surowiński, AVT**

MIKROKONTROLERY RODZINY AT89

