

Pamięci wieloportowe i FIFO firmy IDT

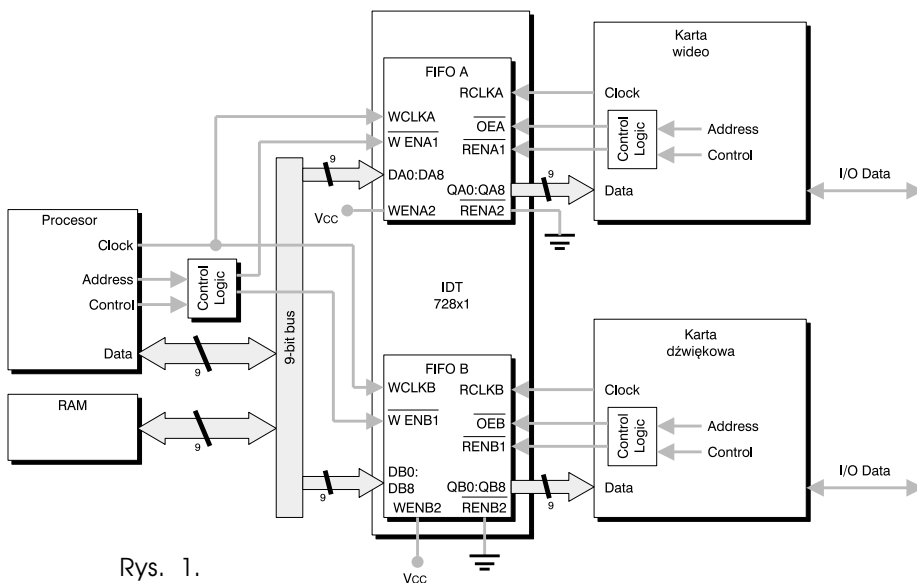
Gwałtowny rozwój sieci i technologii komputerowych nasuwa pytanie w rodzaju: „co było najpierw: kura czy jajko?”.

Czy popyt na usługi teleinformatyczne wymusza rozwój sprzętu, czy też postęp technologii umożliwiający wytwarzanie coraz doskonalszych podzespołów jest zachętą dla rozwijania nowych możliwości i form dostępu do informacji?

Nieograniczony dostęp do informacji wiąże się z przesyłaniem gigantycznych ilości danych, często z bardzo odległych geograficznie miejsc. Ruchem informacji kierują trzy zasady: więcej, szybciej i taniej. Odpowiedzią na zwiększające się potrzeby jest coraz mocniejszy sprzęt. Odpowiedzialne za utrzymanie prawidłowego ruchu w całym informatycznym interesie routery, huby, przełączniki i stacje telefonii komórkowej są coraz szybsze i wydajniejsze, co z kolei sprzyja upowszechnianiu się coraz bardziej wyrafinowanych technik jak wideo konferencje, globalne i automatyczne wyszukiwanie informacji itd. Także komputery użytkowników końcowych „puchnące” od multi-

cierpliwiony użytkownik pyta: czemu to trwa tak długo?

W komputerze za przepływ danych między różnymi częściami magistral odpowiedzialne są mostki wykonywane w postaci statycznych pamięci RAM. Współcześni konstruktorzy starają się nie tylko zwiększyć szybkość tych układów przez podwyższanie częstotliwości impulsów sterujących ich działaniem. W układy wbudowywane są sprzętowe mechanizmy unikania konfliktów zmniejszające ilość cykli potrzebnych na oczekiwanie i przesłanie danych. Ideałem staje się przesłanie porcji danych w czasie jednego cyklu zegarowego. Dokonuje się to przez konstruowanie zintegrowanych pamięci FIFO (ang. First Input First Output) i pamięci wieloportowych. Za przykład mogą posłużyć nowe konstrukcje firmy IDT (Integrated Device Technology).



Rys. 1.

Co w FIFO piszczy?

Sposób wykorzystania pamięci FIFO, pokazano na rys. 1 na przykładzie często spotykanej sytuacji. W systemie procesor ma za zadanie obsłużyć dwie karty działające jednocześnie. W tym przypadku kartę wizji i muzyczną. Obie karty nie działają synchronicznie a zapotrzebowanie na dane które powinny otrzymać za pośrednictwem procesora jest zmienne w czasie i trudne do przewidzenia. Jednocześnie procesor musi wykonywać inne obliczenia i nie powinien blokować magistrali danych oczekując aż obsłużona karta potwierdzi odbiór przesyłanych danych. Dla rozwiązania tego trudnego zadania zastosowano bufor w postaci podwójnej pamięci FIFO. Działanie tej pamięci można porównać do dwóch szuflad z których w określony sposób korzystają trzej uczestnicy wymiany danych. Ze swojej strony procesor zapisuje dane przeznaczone dla obydwu kart we właściwym rejestrze FIFO. Do pamięci A jedna po drugiej wpisywane są po kolei dane dla karty wizyjnej natomiast pamięć B przechowuje dane przeznaczone dla karty muzycznej. Zapis pamięci trwa do momentu, aż oba rejestry zostaną całkowicie zapełnione. W tym samym czasie obie karty zupełnie nie-

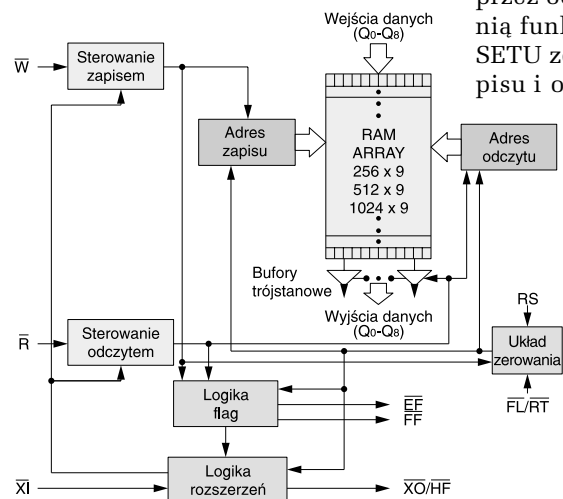
mediów muszą być coraz sprawniejsze. Nie wystarczy już zwiększanie mocy obliczeniowej procesorów i częstotliwości zegarów taktujących. Wąskim gardłem stają się wewnętrzne magistrale rozprowadzające dane między różnymi blokami komputera: procesorem, specjalizowanymi kartami, pamięciami masowymi.

Pojawiające się konflikty wynikające z równoczesnej chęci dostępu do tych samych zasobów np. pamięci przez różne układy wymuszają przeprowadzanie procedur arbitrażu i bezczynnego oczekiwania na swoją kolejność. Te minimalne opóźnienia po zsumowaniu znacząco spowalniają działanie komputera a znie-



zależnie od siebie i od procesora pobierają z odpowiednich pamięci FIFO przeznaczone dla siebie dane w kolejności w jakiej zostały tam zapisane. Jeżeli procesor przekazujący dane jest odpowiednio szybki i co pewien czas będzie uzupełniał zawartość buforów FIFO zanim zostaną w całości odczytane przez obie karty, to współpraca będzie układać się bezkolizyjnie i nie będą wymagane puste cykle oczekiwania. A co za tym idzie szybkość działania systemu będzie duża.

Wykorzystana w przykładzie pamięć to podwójny 9-bitowy układ FIFO o czasie dostępu 15ns. Zależnie od typu pojemność bufora dla pamięci z tej grupy układów może być różna i wynosić od kilkudziesięciu bajtów do kilku kilobajtów. Budowę wewnętrzną pamięci FIFO pokazuje rys. 2, a za przykład posłuży pojedyncza 9-bitowa pamięć asynchroniczna z rodziny IDT720x. Podstawową częścią układu jest matryca komórek statycznej pamięci RAM o rozmiarach zależnych od typu układu. Do matrycy mają jednoczesny dostęp obwody zapisu i odczytu danych. Ponieważ zarówno zapis jak i odczyt danych następuje w takiej samej kolejności chociaż w dowolnym czasie układ posiada dwa niezależne rejestry przechowujące aktualny adres komórki do zapisu i odczytu. Rejestry te to WRITE POINTER i READ POINTER. Po każdym kolejnym zapisie lub odczycie zawartość odpowiedniego rejestru jest powiększana i wskazuje na kolejną komórkę w matrycy RAM. Przewidziano możliwość współpracy wielu równoległych rejestrów czemu sprzyja praca wyjść danych



Rys. 2.

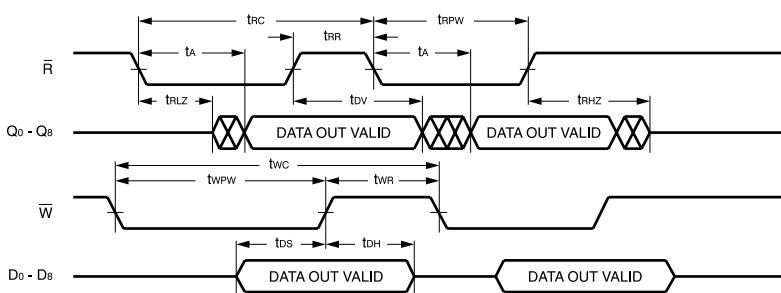
w trybie trzystanowym. Zarówno, gdy układ pozostaje nieaktywny jak i podczas zapisu wyjścia Q0-8 pozostają w trybie wysokiej impedancji nie obciążając magistrali do której są podłączone. Wyjścia są aktywne jedynie podczas odczytu danych. Aktualny stan wypełnienia pamięci może być kontrolowany poprzez specjalne linie informacyjne, których stan procesor może odczytywać na bieżąco. Jeżeli linia FF znajdzie się w stanie niskim, będzie to informacją dla procesora, że FIFO jest już całkowicie zapisane. Dla uniknięcia niebezpieczeństwa nadpisania nowych danych na dane jeszcze nie odczytane zapis jest blokowany. W czasie aktywności flagi FF żadna informacja nie zostanie do FIFO zapisana, a rejestr WRITE POINTER nie zmieni swej zawartości. Kolejna informacja będzie mogła być wpisana dopiero po odczycie danych przez odbiornik i zwolnieniu miejsca. Stan niski linii EE informuje z kolei odbiornik, że wszystkie dane z FIFO zostały odczytane i należy czekać na kolejną porcję danych.

Także w tym przypadku odczyt zostaje zablokowany, wyjścia pozostają w stanie wysokiej impedancji a licznik odczytu nie zmienia swojej zawartości. Z kolei stan niski wyjścia HF informuje, że przynajmniej połowa pamięci jest pusta. Badanie stanu tej linii może dać procesorowi informację o tempie odczytu danych przez odbiornik. Pozostałe bloki pełnią funkcje pomocnicze. Układy RESETU zerują zawartość liczników zapisu i odczytu oraz ustawiają w stan wysokiej impedancji wyjścia danych. Układy EXPANSION LOGIC umożliwiają łą-

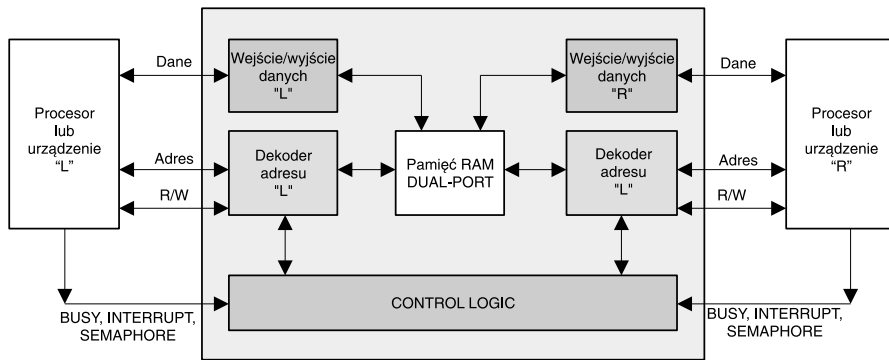
liczby pamięci FIFO. Rys. 3 przedstawia przebieg sygnałów podczas zapisu i odczytu danych z pamięci.

Firma IDT stworzyła wielką rodzinę szybkich pamięci FIFO. Czas cyklu odczyt/zapis niektórych typów wynosi tylko 10ns (czas dostępu np. podczas wielokrotnego zapisu lub odczytu wynosi tylko 8ns). Organizacja pamięci zależnie od typu waha się od 8 bitów do 36 bitów. Podobnie jest z pojemnością matrycy pamięci RAM której rozmiar może dochodzić do 131 tysięcy komórek. Układy FIFO można ze sobą łączyć zwiększając w ten sposób długość słowa danych lub wynikową pojemność pamięci RAM. Dostępne są typy pamięci pracujące przy napięciu zasilania 3,3V. Pamięci te charakteryzuje pobór mocy niższy o 60% w porównaniu z ich odpowiednikami zasilanymi napięciem +5V. Istnieją także układy o mieszanym sposobie zapisu i odczytu danych. Bajt danych może być zapisywany do pamięci FIFO bit po bicie, czyli w formacie szeregowym, a odczytywany w formacie równoległym, czyli bajtowym. Taka sytuacja może wystąpić gdy FIFO ma współpracować z przetwornikiem typu sigma-delta, który dostarcza dane właśnie w postaci szeregowej lub z łączem sieciowym. Układy IDT 72103/4 wyposażono natomiast w obydwa sposoby zarówno wprowadzania jak i wyprowadzania danych.

Niewątpliwą zaletą nowoczesnych pamięci jest zintegrowanie w jednej obudowie zarówno matrycy pamięci jak i układów arbitrażu czy wyboru, które musiały by być montowane jako osobne układy scalone. Pozwala to zarówno zwiększyć szybkość pracy jak i zaoszczędzić miejsce.



Rys. 3.



Rys. 4.

A w przypadku wielowarstwowych płyt drukowanych oszczędność kosztów jest znaczna.

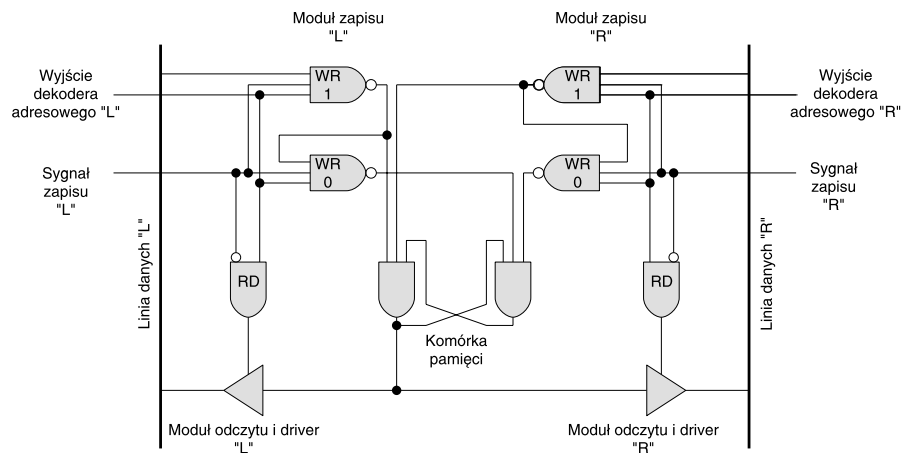
Opisane pamięci FIFO doskonale spełniają swoją rolę w układach w których strumień danych trzeba rozdzielić dla kilku asynchronicznych odbiorników. W przypadku gdy zachodzi konieczność dwustronnej wymiany informacji między dwoma działającymi asynchronicznie źródłami, najwygodniej jest się posłużyć wieloportową pamięcią RAM. Pamięć o takiej konstrukcji umożliwia dwóm niezależnym urządzeniom szybki dostęp do zawartości matrycy RAM, a w rezultacie na prostą i efektywną wymianę danych. Sytuacja taka ma miejsce np. w komputerze podczas współpracy procesora z kontrolerem dysku czy w systemach z dwoma procesorami. Ten sam problem można oczywiście rozwiązać w inny sposób lecz użycie pamięci wieloportowej znacznie go ułatwia oraz przyspiesza szybkość transmisji.

Jedna pamięć, wiele bram

Pamięć wieloportowa umożliwia dwóm użytkownikom na jednocześnie, niezależnie zarówno odczyt jak i zapis komórek pamięci. Wyjątek stanowi sytuacja gdy dwa układy w tym samym czasie chcą uzyskać dostęp do komórki o tym samym adresie. W tym przypadku pamięć pełni rolę arbitra wyznaczającego kolejność dostępu.

Schemat blokowy pamięci dwuportowej pokazuje rys. 4. Wynika z niego, że dwa niezależne urządzenia oznaczone literami „L” i „R” mają dostęp do tej samej matrycy statycznej pamięci RAM dzięki dwóm rozdzielonym obwodom wejścia/wyjścia i adresowym. Układy logiki wewnątrz pamięci sterują procesami zapisu, odczytu oraz doko-

nytu sytuacji konfliktu, czyli zamiar jednoczesnego dostępu dwóch urządzeń do komórki o tym samym adresie wymaga ustalenia kolejności i oczekiwania. Określa się szacunkowo, że takie sytuacje stanowią mniej niż 0,1% całkowitego czasu pracy układu i mają niewielki wpływ na szybkość pracy. W dodatku wbudowane w kostce pamięci wieloportowej układy logiki pomagają w sprawnym obsłudze takich zdarzeń. Na rys. 6 pokazano sche-



Rys. 5.

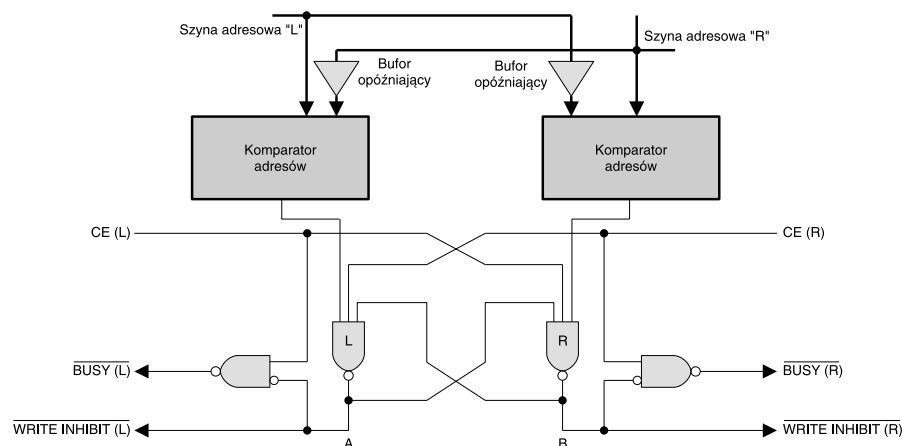
nują arbitrażu w przypadku konfliktu. Schemat pojedynczej komórki pamięci do której mogą mieć dostęp dwa zewnętrzne urządzenia pokazuje rys. 5.

Przewaga pamięci wieloportowych w porównaniu z konwencjonalnymi statycznymi pamięciami RAM wynika głównie z możliwości operowania na zawartości pamięci jednocześnie przez dwa urządzenia. W tradycyjnych pamięciach jeduportowych wiąże to się zawsze z koniecznością oczekiwania na zwolnienie magistrali co oczywiście spowodowałoby działanie całego układu. W pamięci wieloportowej jedynie

mat logiczny układu arbitrażu. Główną rolę grają w nim dwa komparatory adresów połączone z liniami adresowymi portów. W przypadku stwierdzenia identycznych adresów i próby dostępu do matrycy pamięci (sygnały CE(L) i CE(R)) przerzutnik zostanie odpowiednio ustawiony w zależności od tego które urządzenie zgłosiło się jako pierwsze. Poziomy logiczne sygnałów BUSY i WRITE INHIBIT informują o konieczności oczekiwania i uniemożliwiają dostęp do matrycy komórek RAM jednemu z urządzeń.

Wieloportowe pamięci RAM ze względu na szybkość działania

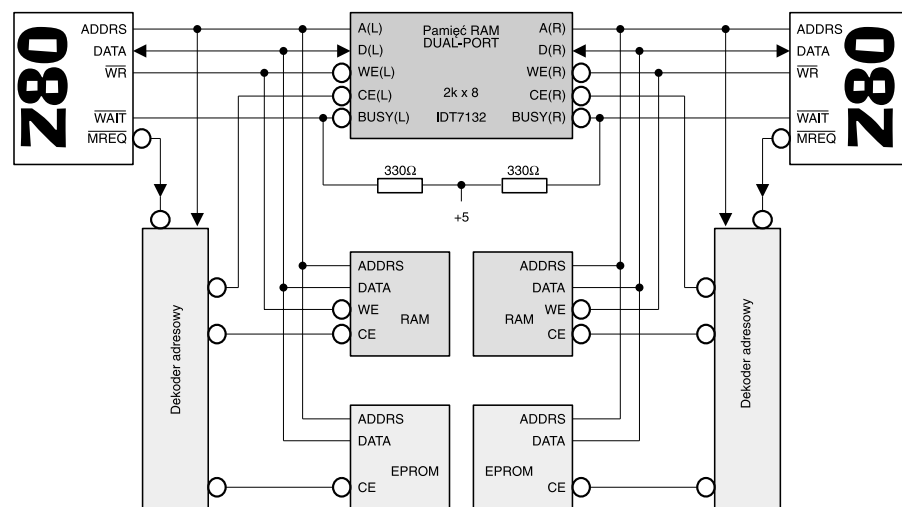




Rys. 6.

i uproszczenie konstrukcji powinny być stosowane wszędzie tam gdzie dochodzi do intensywnej wymiany danych. Chodzi tu głównie o wszelkiego typu urządzenia sieciowe, silne komputery czy drukarki laserowe. Nie ma jednak żadnych technicznych przeszkód w użyciu pamięci w mniej „poważnych” i roz-

budowanych układach. Rys.7 pokazuje w jak prosty sposób można zapewnić wymianę danych między dwoma niewielkimi systemami. W przykładzie posłużono się dwoma procesorami Z80, które pracują każdy z własną pamięcią programu i podręczną pamięcią RAM. Wymiana danych następuje poprzez pa-



Rys. 7.

mieć IDT7132 do której portów podłączone są obydwa systemy. Ponieważ procesory tego typu mają wspólną przestrzeń adresową wybór pamięci odbywa się przy pomocy zwykłego dekodera adresów. Każdy z procesorów może zapisać przekazywane dane do pamięci, a drugi procesor może je potem odczytać i wykorzystać. Linie BUSY ustawiają procesory w stan oczekiwania jeśli występuje konflikt adresów.

Na zakończenie w krótkim zestawieniu przedstawione zostaną skrócone parametry wybranych egzemplarzy pamięci wieloportowych.

IDT71321/421, IDT7130/32/34/42, IDT7005/6/7/8 - dwuportowe pamięci 8-bitowe; matryca RAM o pojemności od 1K do 64K, czas dostępu od 20ns do 70ns, pobór mocy 750mW i 1-5mW w trybie obniżonym. Większość pamięci podtrzymuje zapisane dane przy zasilaniu do 2V.

IDT70121, IDT7014/15/16 - dwuportowe pamięci 9 bitowe; matryca RAM o pojemności od 2K do 16K, czas dostępu 25ns do 55ns, pobór mocy 500-900mW i 1-5mW w trybie obniżonym

IDT7025/26/27, IDT7133 - dwuportowe pamięci 16 bitowe; matryca RAM o pojemności od 2K do 32K, czas dostępu i pobór mocy podobny jak w przypadku pamięci 16 bitowych.

Produkowane są również pamięci 4 portowe 8 bitowe o pojemności 2/4K. Pamięci te oznaczone są symbolem IDT7052/54.

Ryszard Szymaniak, AVT

Materiały do artykułu udostępniła firma E-2000 Setron.