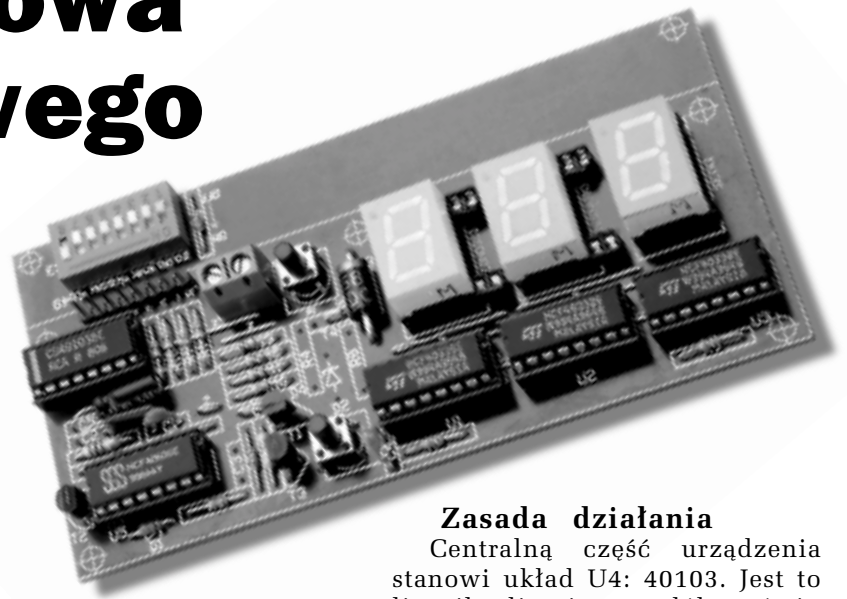


Monitor słowa ośmiobitowego

kit AVT-464

Zamierzałem nazwać to urządzenie „korepetytorem kodu dwójkowego“. Doskonale się do tego nadaje, gdyż jest to w istocie dekodery 8-bitowego kodu dwójkowego na kod dziesiętny, którego cyfry są pokazywane na wyświetlaczach LED. Urządzenie może być zastosowane do monitorowania magistrali 8-bitowej, czyli wyświetlania wartości słowa 8-bitowego.



Opis układu

Schemat elektryczny monitora przedstawiono na **rys. 1**. Przeznaczeniem urządzenia jest tłumaczyć równoległe słowo ośmiobitowe na system dziesiętny. Nie zawiera ono pamięci EPROM, ani żadnej innej. Nie wymaga komputera ani programatora. Dekodowanie liczby dwójkowej na dziesiętną polega na szybkim zliczeniu liczby impulsów przez zespół połączonych łańcuchowo liczników-transkoderów U1+U2+U3. O końcu zliczania decyduje dzielnik U4.

Należy podkreślić, że z samej zasady działania wynika fakt absolutnej wiarygodności uzyskanych wskazań na wyświetlaczach. Po przetestowaniu dwu skrajnych wartości 0 i 255 mamy pewność, że wszystkie pośrednie są poprawnie dekodowane. W przypadku rozwiązań opartych o adresowanie pamięci, takiej pewności mieć nie można, zwłaszcza w dłuższym okresie.

Pierwotnie nosiłem się z zamiarem zaprojektowania płytki z ośmioma solidnymi przełącznikami, którymi można by zadawać kod binarny i uczyć się bawiąc. Z tego pomysłu pozostał popularny, ośmiokrotny dipswitch, który trudno doprawdy uznać za dobre rozwiązanie. Nic nie stoi jednak na przeszkodzie, żeby samemu uzupełnić monitor o taką czysto już edukacyjną funkcję, montując większe i wytrzymalsze przełączniki.

Zasada działania

Centralną część urządzenia stanowi układ U4: 40103. Jest to licznik zliczający w dół o ośmiu równoległych wejściach J0..J7 i wyjściu CO/ZD. Skrót ZD oznacza „Zero Detect“. Wyjście to przyjmuje poziom logiczny niski (dalej dla uproszczenia określany L) w momencie, gdy U4 odliczy zadaną na wejściach J0..J7 liczbę impulsów, podawanych na wejście zegarowe CLK. Aby impulsy mogły być zliczane, na wejściu CLR powinien występować poziom wysoki H. W przeciwnym razie licznik będzie ustawiony na liczbę 255, czyli maksymalną wartość, jaka może być przedstawiona ośmioma bitami. Istnieje jeszcze wyprowadzenie zezwalające CI/!CE (wykrzyknik dla oznaczenia negacji), które po otrzymaniu stanu H blokuje dostęp impulsów do wejścia CLK. Przy normalnej pracy należy je zatem połączyć z masą.

Pozostały jeszcze do omówienia dwa wejścia wpisu !APE i !SPE.

Po podaniu na wejście **!APE** poziomu L następuje natychmiastowe przepisanie wartości z wejść J0..J7. Jest to wejście tzw. wpisu asynchronicznego, ponieważ wpis ten może nastąpić w dowolnym momencie, niezależnie od impulsu zegarowego.

Wejście **!SPE** jest wejściem wpisu synchronicznego. Nazwa wywodzi się stąd, że po podaniu na nie poziomu L, wpisanie do licznika wartości z wejść J0..J7 następuje w określonym momen-

cie, a mianowicie razem z narastającym zboczem sygnału CLK.

Rzut oka na schemat pozwoli zauważyć, że !APE nie jest używane (podany jest poziom H). Natomiast !SPE połączono bezpośrednio z wyjściem CO/ZD licznika. Jest to wygodne także z tego względu, że wyprowadzenia te sąsiadują ze sobą. W takim przypadku mamy do czynienia z konfiguracją dzielnika częstotliwości, na dodatek programowalnego (ustawianego), bo o współczynniku podziału decyduje stan wejść J. Przepisanie stanu wejść J do przerzutników licznika następuje samoczynnie, po każdym wyzerowaniu licznika. Podsumujmy, wpis synchroniczny przy zwarciach !SPE i CO/ZD przebiega następująco:

- sygnał zegarowy jest podawany na wejście CLK;
- po osiągnięciu przez licznik stanu zero (co następuje synchronicznie ze zmianą sygnału CLK z L na H) wyjście CO/ZD przyjmuje poziom L i wejście !SPE zostaje uaktywnione;
- kolejny impuls CLK inicjuje wpis stanów z wejść J0..J7.

Jak widać, wpis synchroniczny następuje po drugim zboczach narastającym CLK, licznym od wyzerowania. Teraz jest jasne, dlaczego wzór na współczynnik podziału podaje się jako $1/N+1$, gdzie N jest zadaną liczbą binarną na wejściach J0..J7. Ta dodawana w mianowniku jedynka pozwala też uniknąć kłopotliwego dzielenia przez zero, gdy $J0=J1=J2=J3=J4=J5=J6=J7=L$.

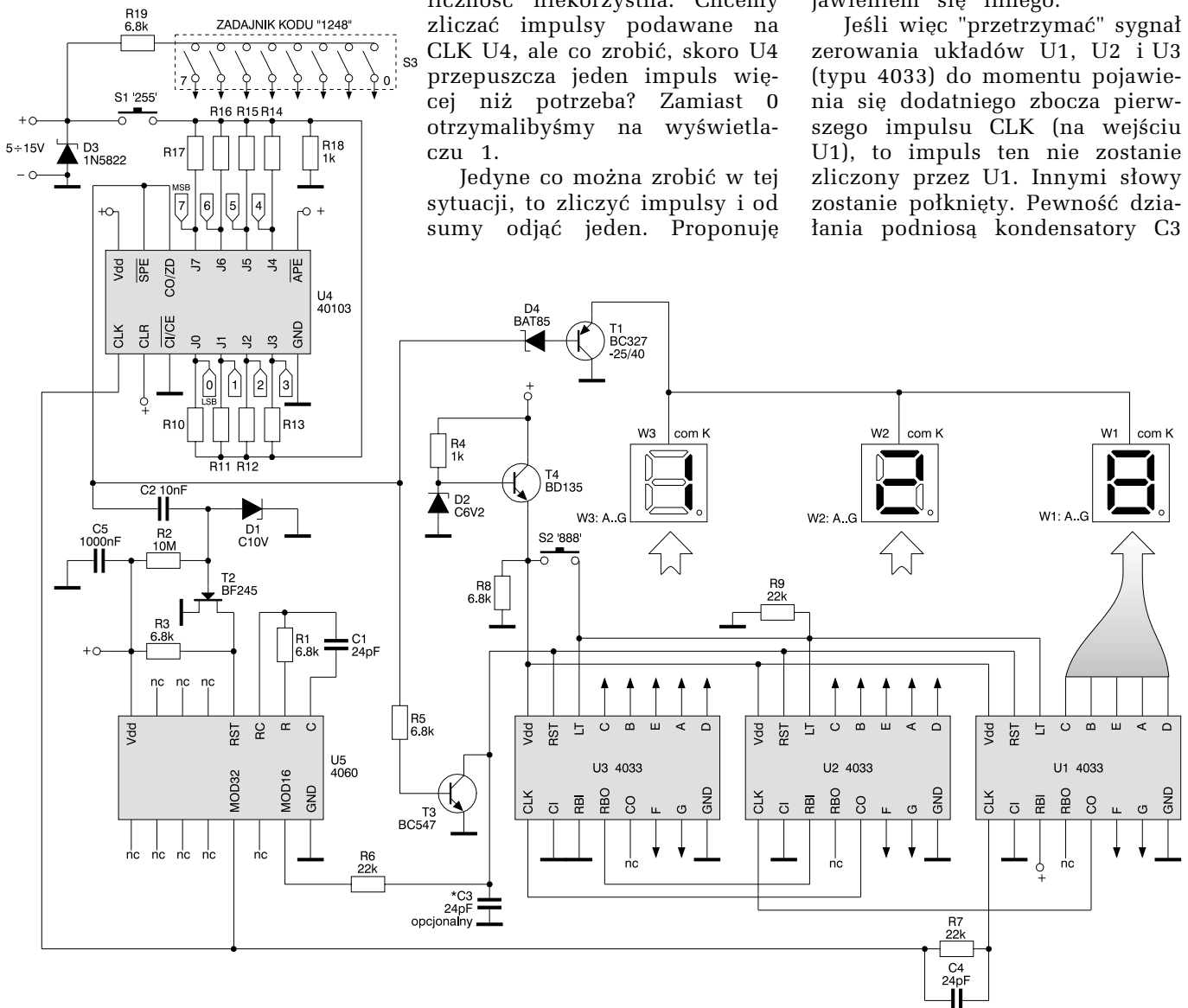
Jednak dla nas jest to okoliczność niekorzystna. Chcemy zliczać impulsy podawane na CLK U4, ale co zrobić, skoro U4 przepuszcza jeden impuls więcej niż potrzeba? Zamiast 0 otrzymalibyśmy na wyświetlaczu 1.

Jedynie co można zrobić w tej sytuacji, to zliczyć impulsy i od sumy odjąć jeden. Proponuję

uzyskać ten sam wynik przez „połknięcie” jednego, najlepiej pierwszego impulsu. Ten drugi sposób będzie można w praktyce łatwiej zrealizować. Połknąć impuls, to tyle co go zignorować. Ignorowanie pierwszego impulsu uzyskałem wykorzystując zależności czasowe właściwe wszystkim licznikom.

Jedną z takich szkolnych reguł jest włączenie zerowania licznika zanim pojawi się aktywne zbocze sygnału zegarowego. Licznik nie może być po prostu inkrementowany przy aktywnym sygnale zerowania, ponieważ zerowanie ma najwyższy priorytet. Ze względu na rzeczywiste, niezerowe czasy propagacji bramek, podaje się w katalogach minimalne wartości odstępów czasowych między zaniknięciem jednego sygnału, a pojawieniem się innego.

Jeśli więc "przetrzymać" sygnał zerowania układów U1, U2 i U3 (typu 4033) do momentu pojawienia się dodatniego zbocza pierwszego impulsu CLK (na wejściu U1), to impuls ten nie zostanie zliczony przez U1. Innymi słowy zostanie połknięty. Pewność działania podniosą kondensatory C3



Rys. 1. Schemat elektryczny układu.

i C4. Ten pierwszy przedłuży czas trwania poziomu H na wejściach RST układów U1..U3 o kilkadziesiąt nanosekund, a C4 przyspieszy pojawienie się aktywnego zbocza na wejściu CLK układu U1.

Źródłem sygnału zegarowego jest U5 typu 4060. Jego oscylator (R1+C1) pracuje na stosunkowo wysokiej częstotliwości 1,4MHz, która po podzieleniu przez 32 daje około 40kHz na wyprowadzeniu MOD32.

Do układu U5 jest podłączony jeszcze inny obwód zerowania, zbudowany na elementach T2, C2, R2 i R3. Poziomym zerującym U5 jest H na wyprowadzeniu RST.

Jeden cykl pracy monitora przebiega następująco: U4 odbierze zadaną liczbę impulsów, wykryje zero i wystawi L na swoje wyjście CO/ZD. T1 załączy wówczas wyświetlacze W1..W3 o wspólnej katodzie, umożliwiając wyświetlenie zliczonych przez U1..U3 impulsów. Ponadto, zmiana z H na L na CO/ZD spowoduje powstanie, za sprawą C2, ujemnej szpilki na bramce tranzystora FET T2 i jego zatkanie, a tym samym wyzerowanie U5. U5 pozostanie wyzerowany w okresie ładowania C2 (przez rezystor R2), czyli przez kilkadziesiąt milisekund. Ten czas wyznacza częstość repetycji badanego słowa 8-bitowego, wynoszącą przeszło 10 razy/sekundę. Mamy więc stan stabilny trwający kilkadziesiąt ms, w którym tranzystor T1 przewodzi, a N-FET (T2) i bipolarny T3 są zatkane. Liczniki U1, U2, U3, U4, U5 nie zliczają. Wyświetlana jest informacja z wyjść U1..U3 w kodzie wskaźnika 7-segmentowego.

Gdy naładuje się C2 i T2 zacznie przewodzić, uaktywni się U5 i rozpocznie pracę jego oscylator. Po ośmiu taktach na wyjściu MOD16 pojawi się stan H, który za pośrednictwem R6 wyzeruje układy U1..U3. Zerowanie to trwa przez następnych 8 okresów generatora U5, aż do pojawienia się H na kolejnym wyjściu U5 (MOD32), które dostarcza impulsy zliczane równocześnie przez U4 i U1.

W trakcie zliczania T1 jest zatkany, aby uniknąć zakłóceń na wyświetlaczach. Czas zliczenia nawet maksymalnej liczby impulsów nie przekracza paru

milisekund, przy narzuconej przez U5 częstotliwości pracy. Zatem zmniejszenie jasności wyświetlaczy wskutek zmniejszania się współczynnika wypełnienia będzie nieznaczne. T3 przewodzi zapewniając stan L na wejściach RST U1..U3. Na bramce przewodzącego T2 jest 0,5V. Opcjonalna dioda Zenera D1 ogranicza amplitudę ujemnych szpilek do 10V, aby nawet przy zasilaniu układu napięciem 15V, napięcie dren - bramka nie przekroczyło 25V (30V to wartość graniczna).

Zwraca uwagę przycisk S1, którym można wymusić podciągnięcie rezystorów R10..R17 do plusa zasilania i uzyskanie na wyświetlaczach wskazania 255 (przy J0..J7 nigdzie nie podłączonych). S1 umożliwia też łatwą kontrolę poprawności styku „sond” pomiarowych: jeśli po wciśnięciu S1 nie widać żadnej zmiany na wyświetlaczu, oznacza to poprawny kontakt. Drugi przycisk monostabilny (chwilowy) S2 umożliwia test wyświetlaczy przez pokazanie trzech ósemek.

Wejście RBI układu U3 połączono z masą, co spowoduje, iż zera nie będą wyświetlane.

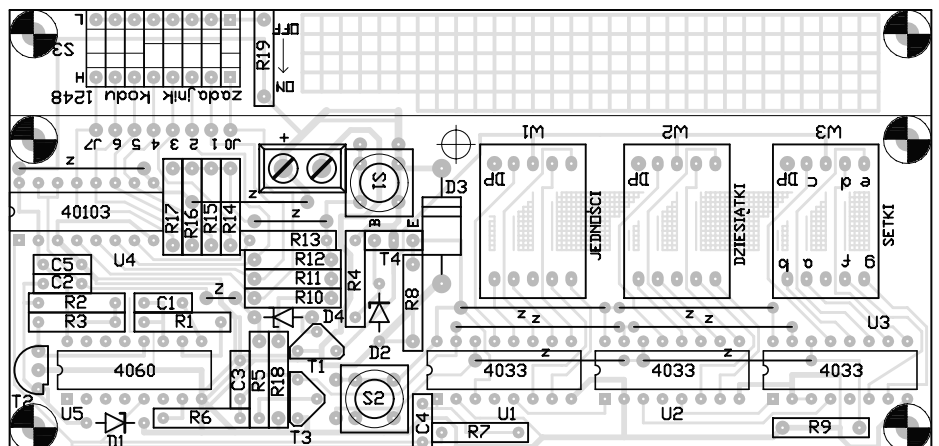
Ograniczenie prądu segmentów wyświetlaczy następuje za sprawą rezystancji przewodzących tranzystorów P-MOS, zawartych w strukturach U1..U3. Aby nie była ona za niska, układy te zasililem ze stabilizatora 5V (na elementach R4, D2 i T4). Zastosowanie trójkońcówkowego 7805 nie wchodzi w rachubę z uwagi na dużą, rzędu 2V, minimalną różnicę napięć Uwe-Uwy (Udrop). Parametry stabilizacji układu z T4 są tu bez znaczenia, natomiast

Udrop wynosi tylko 0,7V. W zakresie napięć zasilających z przedziału 5..15V uzyskujemy niezmienny prąd wyświetlaczy na poziomie 4mA/segment. W typowej aplikacji kostek 4033 mielibyśmy $3 \times 7 = 21$ rezystorów, 21 tranzystorów i prąd zależny od Uzas.

Rezystory R6 i R7, o stosunkowo dużych wartościach, ograniczają prądy wejść RST i CLK U1..U3, płynące przy Uzas > 5V (prądy te wynikają z różnicy napięć zasilania obu części układu).

Jak zasilac?

Pobór prądu zależy od aktualnych wskazań wyświetlaczy - maksymalnie 80mA. Tylko nieznacznie zależy od Uzas. Trzeba pamiętać, że monitor, jeśli używany jest do badania stanów logicznych zewnętrznego urządzenia, musi mieć takie samo napięcie zasilania co zewnętrzne urządzenie. Różnice nie mogą przekroczyć 0,3V. Nie można zasilić monitora baterią 4,5V i badać urządzenia zasilanego np. napięciem 5V. Odwrotna sytuacja jest dopuszczalna, choć nie zalecana. Ogólnie nie należy przekraczać 15V. Taka rozpiętość napięciowa stanowi na pewno zaletę. W półprofesjonalnych zastosowaniach zalecam buforowanie wejść informacyjnych U4 układem CD4050, przydatnym też w funkcji translatora poziomu. Do samego uruchomienia (i ewentualnych eksperymentów z kodem dwójkowym, zadanym przełącznikiem S3) wystarczy nowa bateria 4,5V. Gdyby Uzas nigdy nie miało być wyższe od 5V, to można zrezygnować z elementów D1, D2, R4, T4 (a także z diody Schottky'ego D4,



Rys. 2. Rozmieszczenie elementów na płycie drukowanej.

która zabezpiecza złącze B-E T1 przed przebicciem dla $U_{zas} > 8V$). W miejsce T4 trzeba umieścić zworę, łączącą punkty kolektora z emiterem. Dioda D3 chroni układ przed odwrotnym zasilaniem zwierając w takiej sytuacji zasilacz.

Montaż i uruchomienie

Montaż odbędzie się według schematu montażowego z rys. 2. Widok mozaiki ścieżek przedstawiono na wkładce wewnątrz numeru. Pod układami scalonymi i rezystorami R14..R16 znajdują się zworki, które należy wlutować w pierwszej kolejności. Następnie wlutowujemy pięć podstawek (szesnastek) pod scalaki.

Tranzystor T2 na końcu (wyprowadzenie bramki: pierwsze z lewej). Płytkę zaprojektowano pod wyświetlacze firmy Kingbright, oferowane również przez AVT. Inne wyświetlacze mogą mieć odmienny układ wyprowadzeń. Uwaga: należy je zamontować „do góry nogami“. Kropka (DP - decimal point), będzie jakby apostrofem każdej z cyfr (DP nie

jest używany). Tak łatwiej było po prostu poprowadzić ścieżki. Dla pewności, lokalizację DP zaznaczyłem na płytce.

Uruchomienie sprowadza się do włączenia zasilania, kontroli napięcia na emiterze T4 (jeśli jest zamontowany) i ewentualnie częstotliwości na wyprowadzeniu MOD32 U5.

Na wyświetlaczu W1 świeci się „zero“ dzięki rezystorowi R18, który na R10..R17 zapewnia potencjał masy. Wciśnięcie S1 spowoduje wyświetlenie „255“. Podanie H na J0 wyświetli „1“. Stan H podawany kolejno (np. za pomocą S3) na pozostałe wejścia pokaże, zgodnie z oczekiwaniami, kolejne potęgi dwójki. Wejścia J0..J7 są dostępne na złączu typu goldpin, z rastrem 2,54mm.

Przycisk S2, służący do testu wyświetlaczy LED, nie jest konieczny (R9 trzeba pozostawić).

Elementów generatora RC nie warto zastępować kwarcem, ponieważ stabilność częstotliwości jest w tym przypadku sprawą trzeciorzędną.

Andrzej Kowalczyk, AVT

WYKAZ ELEMENTÓW

Rezystory

R1, R3, R5, R8, R19: 6,8k Ω

R2: 10M Ω

R4, R18: 1k Ω

R6, R7, R9: 22k Ω

R10..R17: 1M Ω

Kondensatory

C1, C3, C4: 24pF lub 20..27pF

C2: 10nF

C5: 1000nF/63V

Półprzewodniki

D1: dioda Zenera 10V/0,4W

D2: dioda Zenera 6,2V/0,4W

D3: 1N5822 lub inna Schottky'ego o $I_p \geq 1A$

D4: BAT85 lub inna Schottky'ego małej mocy

T1: BC327-25/40

T2: BF245A

T3: BC547

T4: BD135, BD139

U1, U2, U3: CD4033

U4: CD40103

U5: CD4060

W1, W2, W3: wyśw. LED Kingbright 13mm ze wspólną katodą