

Darmowe narzędzia z Internetu

Oprogramowanie projektowe MaxPlus II firmy Altera

Prezentujemy kolejne, interesujące narzędzie umożliwiające szybkie i łatwe tworzenie projektów z układami programowalnymi (pierwsza część tej prezentacji znalazła się w EP1/98). Tym razem jest to Max+Plus II - jeden z najdoskonalszych w swojej klasie systemów projektowych. Jeżeli chcesz poznać najnowsze metody projektowania struktur PLD (z wyłączeniem VHDL w "czystej" postaci) masz teraz niepowtarzalną szansę - naprawdę nie ma się czego bać!



Altera jest producentem bardzo szerokiej gamy układów programowalnych. Są wśród nich zarówno struktury zbliżone do powszechnie stosowanych układów GAL, znacznie bardziej złożone układy CPLD (serie MAX5000/7000/9000) oraz dwie rodziny układów o architekturze zbliżonej do FPGA (FLEX8000/10000). Tak więc z pun-

ktu widzenia konstruktora, Altera (podobnie zresztą jak Lattice i Xilinx) dostarcza wszystkie elementy stosowane we współczesnych konstrukcjach.

Przewaga Altery nad konkurencją (jest to opinia autora) polega przede wszystkim na dostarczaniu znacznie doskonalszych, niż konkurenci, narzędzi projektowych. „Znacznie doskonalszych“ oznacza łatwość instalacji i obsługi, możliwości diagnostyczne, stabilność pracy, wykorzystanie możliwości udostępnianych przez środowisko graficzne Windows. Ocenie autora nie została poddana jakość minimalizacji i optymalizacji rozkładu tworzonych projektów (w czym Max+Plus II nie jest najdoskonalszy), lecz odczuwalna przez użytkownika „przyjazność“ programu. O systemie Max+Plus II pisaliśmy już w **Epxx**, przy czym było to omówienie „na sucho“, bez możliwości samodzielnego sprawdzenia przez naszych Czytelników prezentowanych informacji. Teraz sytuacja uległa radykalnej zmianie - Altera udostępniła w Internecie specjalną 6-miesięczną wersję ewaluacyjną najnowszego pakietu Max+Plus II ver. 8.1 (nosi on oznaczenie PLS-WEB). Ograniczenia w tej wersji są niezbyt istotne z punktu widzenia

typowych wymagań polskiego projektanta - szczegóły przedstawimy w dalszej części artykułu.

Co może Max+Plus II w wersji PLS-WEB?

Prezentowana wersja pakietu umożliwia kompilację projektów dla następujących układów (**rys. 1**):

- EPF10K10, EPF8452A oraz EPF8282A (struktury zbliżone do FPGA).
- EPM9320, całej rodziny EPM7000 i EPM7000S (programowane w systemie z interfejsem JTAG) oraz EPM5000. Są to struktury CPLD z matrycą pamięciową EEPROM lub EPROM (tylko EPM5000).
- Seria Classic, czyli układy zbliżone rozmiarami i koncepcyjnie do standardowych GALi.

System Max+Plus II umożliwia tworzenie projektów hierarchicznych, składających się z modułów stworzonych zarówno przy pomocy systemu macierzystego, jak i innego oprogramowania projektowego (Ac-



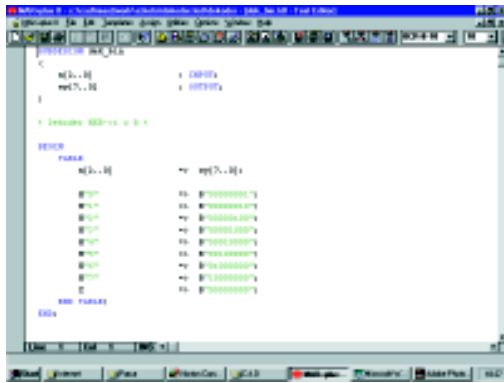
Rys. 1.

Co musisz wiedzieć zanim zaczniesz ściągać system Max+Plus II (PLS-WEB):

- ✗ Cały pakiet zawarty jest w zbiorze o długości blisko 15MB, co powoduje, że czas ściągania (w dobrych warunkach) może znacznie przekroczyć 2 godziny.
- ✗ Pakiet jest zabezpieczony kluczem programowym, który jest uaktywniany zawartością specjalnie przygotowanego pliku tekstowego (wysłany bezpłatnie przez Alterę).
- ✗ Altera udostępnia system w wersji PLS-WEB na okres sześciu miesięcy. Po tym czasie program automatycznie przechodzi w tryb pracy ES Licence, co pozwala korzystać z jego ograniczonych możliwości przez dowolny czas.
- ✗ Dla wszystkich wersji Windows jest dostępna jedna wersja pakietu.
- ✗ Program w wersji PLS-WEB umożliwia realizację projektów hierarchicznych z wykorzystaniem wbudowanego edytora schematów lub kompilatora AHDL (ang. Altera Hardware Description Language). Istnieje także możliwość importowania list połączeń z edytorów schematów *Design Architect* (Mentor Graphics), *Composer Concept* (Cadence), *ViewDraw* (ViewLogic) i innych.
- ✗ Do poprawnej pracy pakietu jest wymagany plik z licencją, która generowana jest indywidualnie dla każdego komputera (lub dysku twardego). Plik ten dostarczany jest przez Alterę w ciągu 8..12 godzin pod wskazany adres e-mail, po wypełnieniu krótkiej ankiety.
- ✗ Dokumentacja programu jest zawarta w bardzo rozbudowanym *helpie*, który spełnia rolę doskonałego przewodnika kontekstowego.



Rys. 2.



Rys. 3.



Rys. 4.

cel, ACEDO, OrCAD, Mentor, itp.). W zarządzaniu hierarchiczną strukturą projektu pomaga prosty w obsłudze program (rys. 2) wywoływany naciśnięciem odpowiedniej ikony w pasku zadań.

Poszczególne fragmenty projektu można przygotować samodzielnie opisując je w języku opisu sprzętu AHDL (okno edytora tekstowego przedstawiono na rys. 3) lub rysując jego schemat logiczny (rys. 4). Edytor tekstów automatycznie rozpoznaje składnię i zaznacza kolorami fragmenty tekstu, co znacznie podnosi czytelność zapisu. Korzystanie z edytora schematów zwalnia użytkownika w znacznym stopniu z konieczności poznawania tajników układów programowalnych, a to dzięki niezwykle bogatej bibliotece elementów. Są tam niemal wszystkie odpowiedniki układów TTL. Szereg gotowych „dużych” modułów funkcjonalnych udostępniła Altera w postaci biblioteki LPM (ang. Library Parametrized Module), w skład której wchodzi konfiguracja sumatory, kompletne interfejsy szeregowo (np. odpowiednik układu 16650), filtry cyfrowe itp. Po tekstowym lub graficznym opisanie układu należy przeprowadzić kompilację projektu - okno działającego kompilatora przedstawiono na

rys. 5. Jest to jeden z silniejszych modułów całego pakietu, co wynika z niezwykle bogatej i skutecznej diagnostyki błędów. Jeżeli podczas kompilacji stwierdzone zostaną jakiegokolwiek błędy, to w dolnym oknie kompilatora (rys. 5) zostaną wyświetlone odpowiednie komunikaty tekstowe. Wskazanie każdego z nich powoduje automatyczne przejście do pliku, w którym te błędy stwierdzono, i to niezależnie od tego, czy w chwili kompilacji był on otwarty, czy też nie. Tak więc projektant niemal całkowicie jest zwolniony z konieczności samodzielnego wyszukiwania, często trudnych do wychwycenia, błędów i może skupić się na rozwiązywaniu problemów bezpośrednio związanych z koncepcją projektu.

Podczas kompilacji program samoczynnie przydziela numery fizycznych wyprowadzeń układu określonym wejściom i wyjściom. Jeżeli (a tak

jest najczęściej) ta propozycja nie odpowiada, należy uruchomić edytor rozkładu wyprowadzeń (rys. 6) i ręcznie „podłączyć” etykiety do pinów układu. Na symbolu graficznym układu docelowego, który jest widoczny w oknie tego edytora, kolorem czarnym zaznaczono wyprowadzenia, których nie można wykorzystać w projekcie jako wejścia lub wyjścia (np. wyprowadzenia zasilania).

Po rozplanowaniu układu wyprowadzeń należy ponownie skompilować projekt i można rozpocząć programowanie układu. Na rys. 7 przedstawiono okno programu obsługującego programator, przy czym dostępne są następujące opcje:

- Programowanie układów ISP (MAX 7000S oraz MAX9320) przy pomocy programatora ByteBlaster lub kompatybilnego z nim (dostępne w firmie Jawi ASIC za ok. 200zł).
- Programowanie w systemie układów FLEX

(programator jak wyżej). Układy te mają matrycę w postaci komórek pamięci SRAM, co powoduje, że po wyłączeniu zasilania traci ona swoją zawartość.

- Programowanie pozostałych układów oraz pamięci szeregowych dla układów FLEX, co wymaga jednak zakupienia odpowiedniego programatora.

Możliwe jest także wygenerowanie plików do programowania (POF lub HEX) i wykorzystanie ich do programowania układów programatorami innych producentów (np. Labtool-48 z adapterami). Interesującą opcją jest

Wymagania systemu Max+Plus II

- ✓ zalecany procesor Pentium 100,
- ✓ pamięć RAM odpowiednio dla układów:

MAX7000	16 MB
MAX9000	32 MB
FLEX8000	32 MB
FLEX10K	128MB
- ✓ wolny obszar na dysku twardym:

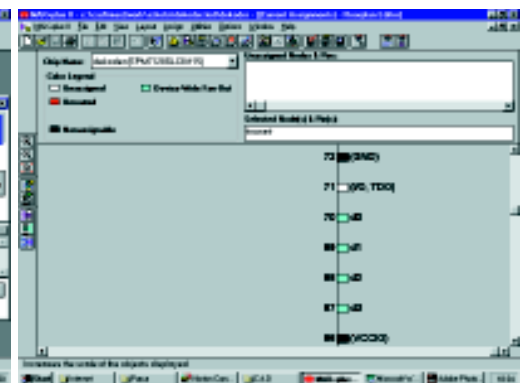
MAX7000	16MB
MAX9000	32MB
FLEX8000	32MB
FLEX10K	128MB
- ✓ niezbędny jest dostęp do Internetu (modem itp.).

także możliwość generowania plików wynikowych w postaci programów w języku JAM (opis w EP2/98), co potencjalnie ułatwia (a na pewno ułatwi w niedalekiej przyszłości) dostęp do programatorów.

Wadą systemu w wersji PLS-WEB są ograniczone możliwości analizy projektu - nie ma bowiem



Rys. 5.



Rys. 6.



Rys. 7.

możliwości przeprowadzenia weryfikacji funkcjonalnej (czyli reakcji projektowanego układu na zadane pobudzenia), istnieje za to możliwość analizy zachowania układu w funkcji częstotliwości.

Jak zdobyć licencję?

Pierwszą czynnością ja-

ką musi wykonać Czytelnik, do którego wyobraźni udało mi się tym artykułem przemówić, jest ściągnięcie niemal 15MB pliku. Kolejną jest wypełnienie ankiety i oczekiwanie na odbiór (via e-mail) pliku z licencją. Do momentu otrzymania tego pliku nie należy uruchamiać programu (ale można go zainstalować). Po otrzymaniu pliku z licencją należy wykonać kilka prostych kroków, bardzo szczegółowo opisanych w przewodniku znajdującym się na internetowej stronie Altery.

Główna i bardzo ważna rada - należy ściśle przestrzegać zaleceń znajdujących się w instrukcji internetowej, co pozwoli uniknąć rozczarowań i szybko rozpocząć pracę.

Na rys. 8 znajduje się flow diagram ściągnięty ze strony Altery, na którym przedstawiono kolejne czynności, jakie należy wykonać, aby program poprawnie funkcjonował.

Jak wspomniałem na początku artykułu, licencja jest udzielona zawsze na 6 miesięcy. Po jej wygaśnięciu jest możliwe dalsze korzystanie z systemu Max+Plus II, lecz w bardzo ograniczonej wersji, która nosi oznaczenie PLS-ES. Jej największą wadą jest brak możliwości korzystania z edytora schematów.

Piotr Zbysiński, AVT

Prezentowane oprogramowanie jest dostępne pod adresem:

<http://www.altera.com/html/products/pls-web.html>



Rys. 8.