

Sieci o inteligencji rozproszonej - LonWorks, część 3

Kontynuujemy prezentację konstrukcji procesorów rodziny Neuron, które opracowała firma Motorola specjalnie dla sieci pochodnych LonWorks. W tej części artykułu skupimy się na omówieniu portów I/O, timerów i innych modułów tworzących kompletny procesor.



Układy wejściowe i wyjściowe procesora - uniwersalne porty I/O

Można je wykorzystywać na wiele różnych sposobów, co pozwala na elastyczne konfigurowanie i sprzęganie procesora z rozmaitymi urządzeniami z otoczenia. Poziom sygnałów na tych wyprowadzeniach można odczytać i wprowadzić do aplikacji jako zmienne. Wyprowadzenia IO4..IO7 posiadają programową możliwość włączenia rezystorów, tzw. „pull-up“, natomiast wyprowadzenia IO0..IO3 mają prądy wyjściowe 20mA, przy 0,8V. Pozostałe wyprowadzenia mają standardową obciążalność 1,4mA, przy 0,4V. Wszystkie wyprowadzenia (IO0..IO10) są w standardzie TTL (z histerezą). Wyprowadzenia IO0..IO7 posiadają poza tym rejestry zatraskowe, taktowane niskim poziomem logicznym.

Timery/liczniki

Obydwa 16-bitowe timery są programowane przez rejestry procesora. Jako wejście jednego można wykorzystać jedno z wyprowadzeń IO4..IO7, natomiast drugi ma wejście na wyprowadzeniu IO4, a wyjście na IO1 (rys. 10).

System taktowania procesora

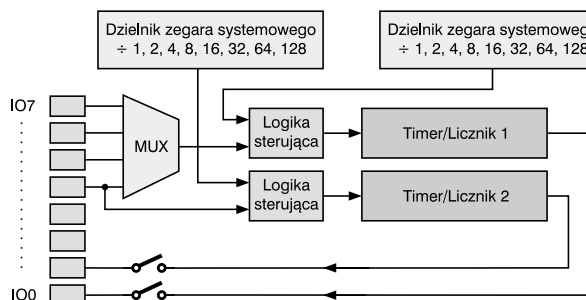
Sygnał z zewnętrznego układu taktowania jest dzielony w procesorze przez dwa, w celu uzyskania symetrycznego sygnału zegara wewnętrznego. Sygnał zewnętrzny może być generowany zarówno z układu TTL, jak i za pomocą oscylatora wewnętrznego procesora, po podłączeniu do niego odpowiedniego kwarcu. Przyjęto następujące częstotliwości standardowe zegara zewnętrznego: 10MHz, 5MHz, 2,5MHz, 1,25MHz, 625kHz.

Funkcje dodatkowe

Procesor może zostać programowo wprowadzony w stan uśpienia, w celu zmniejszenia poboru prądu. W tym trybie zegar wewnętrzny procesora i wszystkie liczniki/timery są wyłączone, lecz wszelkie informacje w rejestrach (włącznie z zawartością pamięci RAM procesora) pozostają zachowane.

Powrót do normalnego trybu pracy może być spowodowany:

- przez sygnały (maskowane) z dowolnego wejścia IO4..IO7, wybranego za pomocą



Rys. 10. Obwody timerów/liczników

Tabela 2.

Stan pracy węzła	Kod stanu	Stan diody LED
Brak aplikacji i konfiguracji	3	świeci
Nie skonfigurowany, ale ma aplikację	2	błyska
Skonfigurowany, lecz nie podłączony do sieci	6	zgaszona
W pełni skonfigurowany/sprawny	4	zgaszona

- multipleksera liczników/timerów;
- specjalne (niemaskowane) wyprowadzenie dla celów m.in. kontrolnych Service pin;
- port komunikacyjny (maskowany);
- w trybie różnicowym - wyprowadzenia CP0 lub CP1;
- w trybie „wprost“ - wyprowadzenie CP0;
- w trybie „Special Purpose“ - wyprowadzenie CP3.

Podczas „uśpienia“ stan wyjść pozostaje taki jak przed uśpieniem. Gdy w aplikacji próbuje się wprowadzić procesor w stan uśpienia gdy transmituje on dane do sieci, to dokończona zostanie operacja sieciowa przed uśpieniem procesora.

W przypadku MC143150 wyjście E (sterowanie pamięcią) blokuje pamięć. Gdy następuje „obudzenie“, procesor uruchamia oscylator wewnętrzny, czeka aż on się ustabilizuje, przeprowadza test wewnętrzny i powraca do normalnego trybu pracy.

Watchdog timer

W celu uniknięcia błędów, które w sposób niekontrolowany mogłyby wprowadzić procesor w pustą pętlę, wyposażono procesor w trzy timery typu „Watchdog“. Gdy system nie wyzeruje licznika w odpowiedniej chwili, następuje zerowanie procesora. Okres tego timera wynosi ok. 0,84s, dla procesora z zegarem 10MHz (skaluje się odpowiednio do zmiany częstotliwości zegara zewnętrznego). W trybie uśpienia powyższe timery są wyłączone.

Wyprowadzenie RESET może być sterowane zewnętrznie (ma własne źródło prądowe). Wszystkie układy produkowane w technologii 0,8µm mają wbudowany detektor zaniku napięcia LVD (ang. Low Voltage Detect).

Układ zerowania pełni wiele pożytecznych funkcji:

- inicjuje procesor po włączeniu zasilania;
- nadzoruje stabilizację pracy procesora w przypadku wahań zasilania;
- umożliwia odzyskanie programu w przypadku uszkodzenia danych czy błędu we fragmencie aplikacji;
- umożliwia w sposób kontrolowany wyłączenie procesora przy zaniku napięcia zasilającego.

Service pin

Pracuje on jednocześnie jako wejście i jako wyjście (sygnał o częstotliwości 76Hz). Służy do kontroli stanu procesora i jego identyfikacji w sieci. Doprowadzenie poziomu „0” do tego wyprowadzenia powoduje wyemitowanie do sieci informacji zawierającej 48-bitowy kod identyfikacyjny procesora. Podłączenie diody LED umożliwia kontrolę stanu procesora - poszczególne stany przedstawiono w tab. 2.

Uniwersalne łącze I/O

Procesor można podłączyć do rozmaitych urządzeń I/O w prosty sposób - poprzez odwołanie się do biblioteki urządzeń I/O. Biblioteka ta jest oferowana w formie firmware - czyli związana jest bezpośrednio z samym procesorem (albo w postaci ROM dla MC143120, albo jako zarezerwowana przestrzeń adresowa zewnętrznej pamięci programu dla MC143150). W obrębie jednej aplikacji można elastycznie deklarować 11 pinów I/O (deklaracje mogą być odmienne w różnych procedurach).

W tab. 3..7 przedstawione zostały podstawowe obiekty, przy których pomocy można tworzyć niezwykle rozbudowane układy do wymiany informacji z otoczeniem.

Olaf Lewiński

Przepraszamy Autora za pominięcie jego nazwiska w dwóch pierwszych częściach artykułu. Redakcja.

Tabela 3. Obiekty sterowania bezpośredniego (binarnego).

Obiekt	Dopuszczalne wartości	Ładowane do 1: maskowany ROM 2: EEPROM (3120DW/B1DW)	Ładowane do 1: maskowany ROM 2: EEPROM (3120E2)
Bit input	0, 1 dane binarne	1	1
Bit output	0, 1 dane binarne	1	1
Byte input	0-255 dane binarne	1	1
Byte output	0-255 dane binarne	1	1
Level detect in	wykrycie przejścia przez zero	1	1
Nibble input	0-15 dane binarne	1	1
Nibble output	0-15 dane binarne	1	1

Tabela 4. Obiekty łącza transmisji równoległej.

Obiekt	Dopuszczalne wartości	Ładowane do 1: maskowany ROM 2: EEPROM (3120DW/B1DW)	Ładowane do 1: maskowany ROM 2: EEPROM (3120E2)
Muxbus I/O	równoległy, dwukierunkowy port z adresowaniem multipleks.	2	2
Parallel I/O	równoległy port dwukierunkowy z potwierdzeniem (handshake)	1	1

Tabela 5. Obiekty łącza transmisji szeregowej.

Obiekt	Dopuszczalne wartości	Ładowane do 1: maskowany ROM 2: EEPROM (3120DW/B1DW)	Ładowane do 1: maskowany ROM 2: EEPROM (3120E2)
Bitshift input	do 16 bitów danych	1	1
Bitshift output	j.w.	1	2
PC	do 255 bitów danych transmisja dwukier.	2	2
Magcard input	zdekodowane wg. ISO7811 dwie ścieżki karty magn.	2	2
Magtrack1	zdekodowane wg. ISO3554 dane 1 ścieżki karty magn.	2	2
Neurowire I/O	do 255 danych transmisja dwukierunkowa	1: Master / 2: Slave	1: Master / 2: Slave
Serial input	znaki 8-bitowe, 600, 1200, 2400, 4800 bps	1	2
Serial output	znaki 8-bitowe, 600, 1200, 2400, 4800 bps	1	2
Touch I/O	do 2048 bitów danych wy lub we	2	2
Wiegand input	zdekodowany ciąg znaków z czytnika kart Wiegand	2	2

Tabela 6. Obiekty wejściowe typu timer/licznik.

Obiekt	Dopuszczalne wartości	Ładowane do 1: maskowany ROM 2: EEPROM (3120DW/B1DW)	Ładowane do 1: maskowany ROM 2: EEPROM (3120E2)
Dualscope in.	porównanie sygnałów	2	2
Edgelog input	wykrycie zmian stanu	2	2
Infrared input	zdekodowany strumień danych z łącza podczerwonego	2	2
Ontime input	szerokość impulsu 0,2µs - 1,678s	1	1
Period input	czas trwania sygnału 0,2µs - 1,678s	1	1
Pulsecount in.	0-65535 zbocz, czas 0,839s	1	1
Quadrature in.	±16383 wg. kodu Gray'a	1	1
Totalcount in.	0-65535 zbocz	1	1

Tabla 7. Obiekty wyjściowe typu timer/licznik.

Obiekt	Dopuszczalne wartości	Ładowane do 1: maskowany ROM 2: EEPROM (3120DW/B1DW)	Ładowane do 1: maskowany ROM 2: EEPROM (3120E2)
Edgedivide	częstotliwość wy jest wynikiem podziału częstotl we przez liczbę	1	1
Frequency	fala prostokątna 0,3Hz - 2,5MHz	1	1
Oneshot	impulsu w odstępie 0,2µs - 1,678s	1	1
Pulsecount	0-65535 impulsów	1	1
Pulsewidth	impuls o wypełnieniu 0-100%	1	1
Triac	opóźnienie impulsu na wy odpowiednio do sygnału na we	1	1
Triggercount	Impuls wy kontrolowany zliczaniem zbocz na we	1	1