

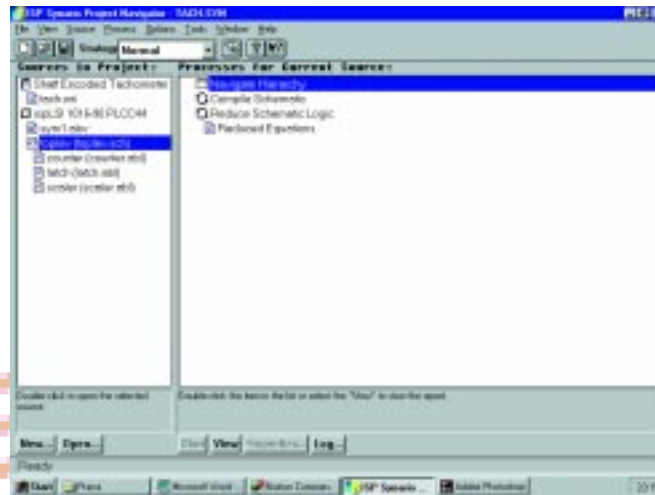
Darmowe narzędzia z Internetu

Oprogramowanie projektowe dla układów ISP firmy Lattice

Największym problemem dla projektantów, pragnących tworzyć urządzenia z wykorzystaniem nowoczesnych technologii PLD, jest dostęp do odpowiedniego oprogramowania narzędziowego. Dotychczas producenci starali się wprowadzać na rynek bardzo rozbudowane pakiety narzędziowe, których możliwości i cena zazwyczaj przerastały potrzeby i możliwości finansowe indywidualnych użytkowników.

Drugim, istotnym problemem jest rosnąca popularność układów programowanych w systemie (ISP), co pozwala użytkownikom zminimalizować wydatki związane z zakupem programatora i kolejnych adapterów.

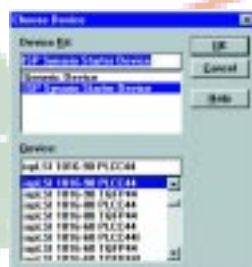
Uświadomili to sobie także producenci układów programowanych.



Rys. 1.

Oprogramowanie *ISP Synario* jest kompletnym zestawem narzędzi umożliwiającym tworzenie projektów dla układów serii ispLSI2032(V), ispLSI1016 oraz ispLSI1016E w obudowach 44 i 48-pinowych. Pakiet powstał w wyniku współpracy programistów firm Lattice oraz Synario i jest bardzo zbliżony wyglądem menu i ekranów do programu dostarczanego wraz z zestawem *ISP Synario Starter Kit* (opisaliśmy go w EP9/96).

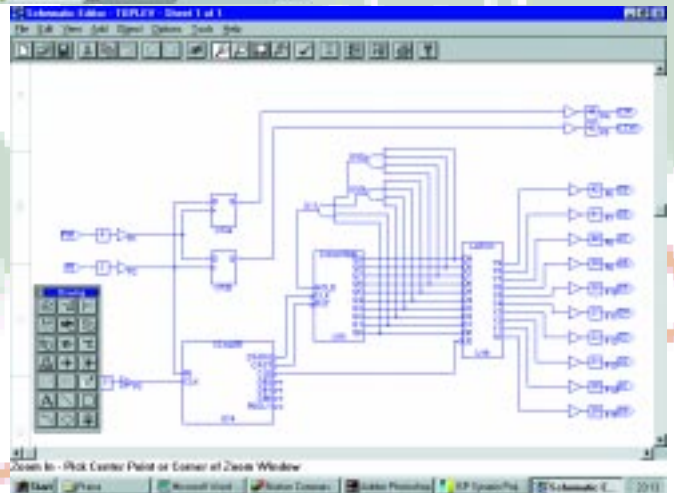
„Przewodnikiem” po programie jest przejrzysty *shell* (rys. 1). W oknach tego programu wyświetlane są ikony symbolizujące poszczególne procesy niezbędne do skompilowania projektu. Na rys. 2 przedstawiono okno selekcji układu



Rys. 2.

docelowego - dostępne są wszelkie mutacje układów *ispLSI1016* oraz *ispLSI2032*. Można także wybrać jako urządzenie docelowe układ ogólny, *generic device*, co pozwala na stworzenie i symulację logiczną projektu bez określania z góry docelowej architektury układu.

Pakiet *ISP Synario* dopuszcza dwa sposoby opisu tworzonego układu - nieco bardziej elastyczny, lecz niezbyt lu-



Rys. 3.

Co musisz wiedzieć, zanim zaczniesz ściągać program *ISP Synario*:

- ✗ udostępnienie programów przez firmę Lattice jest uwarunkowane wypełnieniem internetowej ankiety, do której skierowanie znajduje się na stronie: www.latticesemi.com/ftp/synario.html,
- ✗ oprócz programów Lattice udostępnił niezwykle ciekawą dokumentację (m.in. opis języka ABEL-HDL, instrukcje do programów, dokumentację programatora ISP i wiele innych),
- ✗ niezbędnym do praktycznych zastosowań uzupełnieniem oprogramowania jest prosty programator ISP. Konstrukcję zgodną z zaleceniami Lattice opisaliśmy w EP4/96 (kit AVT-300p), dokumentacja programatora dostępna jest także na opisywanej stronie w Internecie,
- ✗ oprogramowanie jest za darmo, ale kompletny pakiet ma objętość ok. 18MB, co powoduje, że przy połączeniu modemowym czas ściągania może wynosić nawet ok. 2 godzin! Czas ten wydłuży się, jeżeli zdecydujesz się ściągnąć dodatkowo komplet dokumentacji udostępnionej w postaci plików *.pdf przez firmę Lattice (zajmuje ona nieco ponad 12MB),
- ✗ przed rozpoczęciem ściągania musisz wybrać wersję pakietu dostosowaną do posiadanego systemu operacyjnego. Lattice udostępnia dwie wersje - jedną dla Windows 95/NT 4.0 oraz drugą - dla Windows 3.1/NT 3.51. W przypadku wybrania wersji dla starszych Windows należy dodatkowo ściągnąć biblioteki Win32s (ok. 3MB).

Możliwości pakietu *ISP Synario*

- ✓ kompilacja projektów zapisanych w postaci tekstowej w języku ABEL-HDL,
- ✓ kompilacja projektów zapisanych w postaci schematu (!) logicznego, który jest budowany z elementów przygotowanych przez producenta,
- ✓ łączenie modułów graficznych i tekstowych w jednym schemacie,
- ✓ graficzna analiza (symulacja) funkcjonalna projektu,
- ✓ analiza czasowa projektu,
- ✓ graficzna edycja rozkładu wyprowadzeń,
- ✓ kompilacja i fitting dla układów: ispLSI203/1016/1016E.



Rys. 4.

biany opis tekstowy oraz schemat logiczny. Na rys. 3 znajduje się widok okna edytora schematów z przykładowym projektem zrealizowanym z wielu elementów podstawowych (tzw. prymitywów). Znajduje się tam także blok graficzny zdefiniowany uprzednio tekstem (U14 - scaler). Jak więc widać, oprogramowanie *ISP Synario* umożliwia tworzenie projektów o strukturze hierarchicznej, co ogromnie ułatwia tworzenie projektów składających się z rozbudowanych bloków logicznych, trud-

nych do opisanie w sposób standardowy. Na rys. 4 pokazany został pasek narzędziowy edytora schematów.

Niedocenianym, zdaniem autora, narzędziem projektowym są języki opisu sprzętu (HDL) dla układów PLD (CUPL, ABEL i inne narzędzia HDL). Na rys. 5 zostało przedstawione okno edytora tekstowego. Zapisano tam fragment opisu w języku ABEL-HDL. Dzięki interaktywnej analizie zapisywanego przez edytor opisu źródłowego (pierwotnego), powstają wyróżnione kolorami pola tekstu, co znacznie podnosi jego czytelność

i ułatwia analizę.

Jeżeli pomyślnie przebrniemy przez zawiłości ABEL-a i edytora schematów możesz skompilować projekt (rys. 6) i przy pomocy prostego programatora ISP (np. tego, który opisaliśmy



Rys. 5.



Rys. 6.

w EP4/96, kit AVT-300p) zaprogramować układ.

Jeżeli nie popełniłmy błędów koncepcyjnego, to nowe z urządzenie z magicznym dotąd PLD ruszy od razu! Pakiet *ISP Synario* jest dostępny w Internecie

pod adresem:
<http://www.lattice.com/ftp/synario.html>
 Piotr Zbysiński, AVT

Wymagania sprzętowe pakietu ISP Synario

- ✓ oprogramowanie wymaga Windows 3.1/95 lub NT,
- ✓ procesor 486 (lepiej Pentium 100 lub mocniejszy),
- ✓ 8MB pamięci RAM (lepiej 16MB),
- ✓ dysk twardy z ok. 25MB wolnego miejsca.

JTAG bez tajemnic

Prezentowany program jest prostym w obsłudze narzędziem umożliwiającym samodzielne poznanie zasady działania interfejsu testowego JTAG (szczegóły znajdziesz w artykule na str. 75).



Rys. 1.

Jest to oprogramowanie dość już leciwe (ma ono ponad 6 lat!), lecz jego walory edukacyjne i poznawcze ogromne.

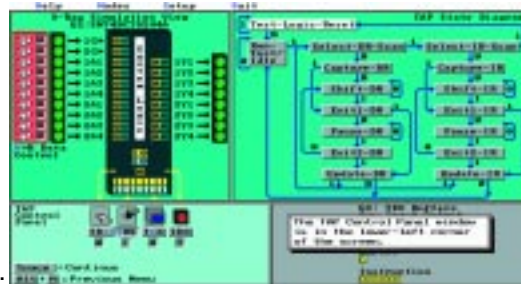
Twórcy tego oprogramowania w niezwykle sugestywny sposób pokazali zagrożenia wynikające z niedoskonałości dotychczas stosowanych metod testowania układów cyfrowych (rys. 2). Sporo miejsca poświęcili także na omówienie poszczególnych fragmentów modułów tworzących interfejs JTAG (rys. 3) i algorytmów

ich działania.

Bardzo efektownie są przygotowane animowane symulacje testowania układów SN74BCT244A, dzięki którym można „zajrzeć do wnętrza” wszelkich modułów logicznych biorących udział w teście.



Rys. 3.



Rys. 4.

Program symulujący testowanie podzielono na trzy części - pierwsza z nich pozwala obserwować przykładowy test pojedynczego układu (rys.



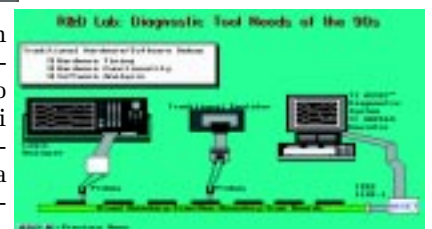
Rys. 2.

4), druga - dwóch układów połączonych szeregowo (zgodnie z zasadami JTAG), a najciekawsza z nich - trzecia - umożliwia samodzielne zaprojektowanie procedury testowej i obserwację sposobu jej realizacji.

Ciekawym, lecz nieco już przestarzałym dodatkiem, jest krótka prezentacja gotowych rozwiązań automa-

tycznych testerów dla układów cyfrowych, opracowanych przez konstruktorów firmy Texas Instruments (rys. 5).

Wymagania sprzętowe programu są nie wielkie - w praktyce wystarcza dowolny komputer PC wyposażony w kartę graficzną EGA lub VGA i dysk twardy z ok. 4,3MB wolnego miejsca. Program dostępny w Internecie jest ma objętość ok. 1MB, co powoduje, że można go dość szybko „ściągnąć” także standardowym modemem.



Rys. 5.

Oprogramowanie *Scanedu* jest dostępne w Internecie pod adresem:
<http://www.ti.com/sc/data/jtag/scanedu.exe>
 Piotr Zbysiński, AVT