

Sieci o inteligencji rozproszonej - LonWorks, część 2

Sieci inteligentne mogą funkcjonować dzięki zastosowaniu niemal we wszystkich węzłach aktywnych układów wyposażonych w zaawansowane, specjalizowane mikrokontrolery.

W tej części artykułu przedstawimy opracowane przez Motorolę procesory serii Neuron, które powstały specjalnie z myślą o sieci LonWorks.

Sieć o inteligencji rozproszonej nie mogłaby istnieć, gdyby nie było na rynku łatwo dostępnych podzespołów sterujących. Mikrokontrolery Motoroli MC143150 (NEURON 3150) i MC143120 (NEURON 3120) są specjalizowanymi układami VLSI, pozwalającymi na tworzenie tanich elementów takich właśnie sieci. Dzięki unikalnemu połączeniu rozwiązań sprzętowych i wbudowanego oprogramowania (firmware) wszystkie kluczowe funkcje służące do realizowania układów czujników i aktywatorów, a także rozwiązania pozwalające na propagowanie informacji w sieci zostały z punktu widzenia użytkownika/projektanta uproszczone do minimum.

Konstruktorzy mikrokontrolera zwrócili szczególną uwagę na:

- łatwość realizacji rozproszonej sieci czujników i aktywatorów,
- elastyczność rekonfiguracji sieci po jej zainstalowaniu,
- zarządzanie przepływem informacji w sieci,
- „obiektywne” środowisko uruchomieniowe oparte na językach wysokiego poziomu (NEURON-C).

Mikroprocesor MC143150 (rys. 5) został zaprojektowany z myślą o aplikacjach wymagających dużych pamięci programu - magistrale adresowej pozostawiono użytkownikowi 42k na potrzeby jego programu. Układ ten nie posiada żadnej pamięci typu ROM.

Protokół komunikacyjny, system operacyjny, kody obiektywne preprogramowalnych urządzeń we/wy są dostarczane przez system uruchomieniowy LonBuilder (NodeBuilder) - zapisywane w niedostępnej dla użytkownika części zewnętrznej pamięci ROM (flash, itp.).

Oba procesory NEURON są dostępne w kilku wersjach (tab. 1).

Producenci zapewniają, że mikrokontrolery mogą pracować z pełną katalogową szybkością w temperaturach od -40°C do +85°C, z gwarancją prawidłowego zapisu do wewnętrznego EEPROM-u! Jedynym wyjątkiem jest model MC143150F pracujący od -20°C do +85°C. Wszystkie wymienione tu wersje pracują przy napięciu zasilania 4,5..5,5V (aczkolwiek trwają prace nad przystosowaniem procesorów do pracy przy napięciu zasilającym 3V).

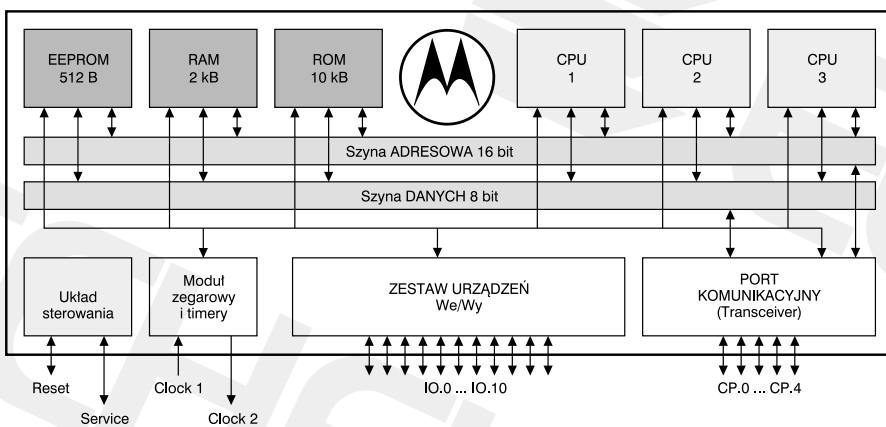
Każdy procesor rodziny NEURON ma 11 wyprowadzeń uniwersalnego interfejsu we/wy sterowanego przy pomocy wbudowanego oprogramowania firmowego, umożliwiające sterowanie silnikami, zaworami, wyświetlaczami, przetwornikami A/D, czujnikami ciśnienia, termistorami, przełącznikami, przekaźnikami, triakami, innymi mikrokontrolerami, modułami itp.

Każdy NEURON de facto zawiera w strukturze trzy procesory (architektura wieloprocessorowa), z których dwa zajmują się jedynie obsługą łącza - czyli stanowią blok łączności zapewniający transmisję danych poprzez sieć od węzła do węzła.

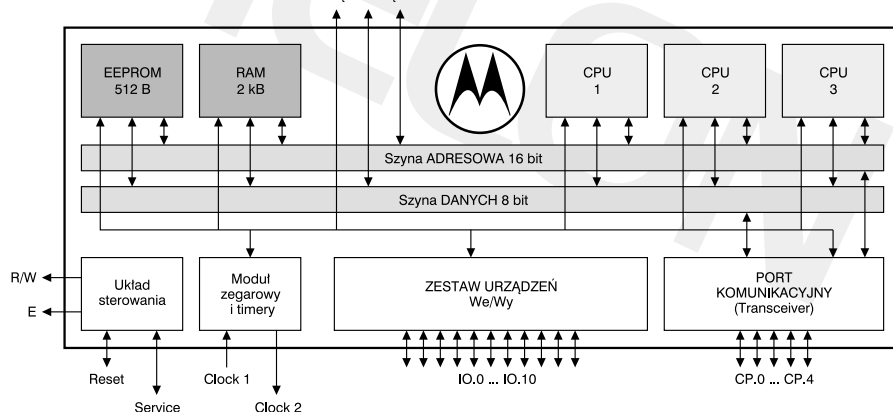
Mikrokontrolery te pozwalają na szybkie wprowadzanie nowych rozwiązań i urządzeń współpracujących z uniwersalną siecią o inteligencji rozproszoną, takich jak: proste czujniki, układy wykonawcze, urządzenia pomiarowe, automaty

Tabela 1. Podstawowe parametry techniczne procesorów rodziny NEURON.

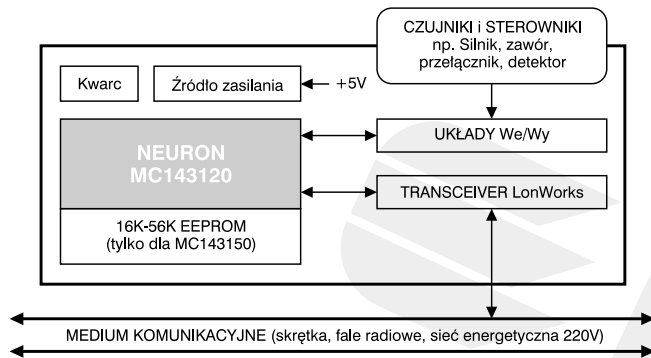
Oznaczenie	Technologia	Pamięć RAM [B]	EEPROM [B]	Zegar (MHz)	Czas dostępu do pamięci (ns)
MC143150B1FU	0,8μ	2K	512	10	130
TMPN3150B1F	0,8μ	2K	512	10	130
MC143150FU	1,2μ	2K	512	10	90-105
MC143150FU1	1,2μ	2K	512	5	200
MC143120B1DW	0,8μ	1K	512	10	-
TMPN3120B1M	0,8μ	1K	512	10	-
MC143120E2DW	0,8μ	2K	2k	10	-
TMPN3120E1M	0,8μ	1K	1k	10	-
MC143120DW	1,2μ	1K	512	10	-



Rys. 4. Schemat ideowy procesora NEURON MC143120.



Rys. 5. Schemat ideowy procesora NEURON MC143150.



Rys. 6. Typowy schemat blokowy węzła sieci.

przemysłowe, układy nadzoru linii produkcyjnej, sprzęt kontrolny (diagnostyczny), układy kontroli i sterowania poziomem zużycia energii elektrycznej, oświetlenie, automatyka budynków, systemy zabezpieczeń (security), systemy akwizycji danych, urządzenia z dziedziny robotyki, drobna elektronika w sprzęcie domowym (AGD).

Procesor z serii NEURON jest w stanie nadawać i odbierać dane zarówno za pomocą 5-pinowego łącza komunikacyjnego, jak i za pomocą 11-pinowego uniwersalnego portu we/wy.

Technologia LonWorks stanowi kompletną platformę do realizacji sieci kontrolno-sterującej. Sieć taka zawiera w węzłach „inteligentne” urządzenia, które współpracują z otoczeniem, komunikując się między sobą poprzez całą gamę dostępnych mediów, stosując do tego zuniifikowany protokół oparty na krótkich przekazach.

Technologia ta zapewnia wszystkie elementy niezbędne do projektowania, produkowania oraz nadzoru sieci o inteligencji rozproszonej:

- 3 procesory MC143150 i MC143120;
- 3 sprawdzony protokół komunikacyjny;
- 3 transceivery typu LonWorks (do współpracy z łączem sieciowym procesora NEURON i protokołem komunikacyjnym LonTalk);
- 3 system uruchomieniowy LonBuilder i NodeBuilder.

Układ Motoroli serii MC1431XX jest jednostką VLSI (dużej skali integracji), sprawującą pieczę nad łącznością pomiędzy węzłami sieci i jednocześnie wykonującą określone zadania wyznaczone przez program użytkownika. Typowo węzeł sieci kontrolno-pomiarowej składa się z procesora NEURON, źródła zasilania, transceivera, układu dopasowującego we/wy (ten ostatni stanowi specjalizowaną część węzła, projektowaną do konkretnych potrzeb).

Jednostka centralna

Każdemu z trzech procesorów jednostki centralnej NEURON jest przyporządkowana określona funkcja (rys. 8).

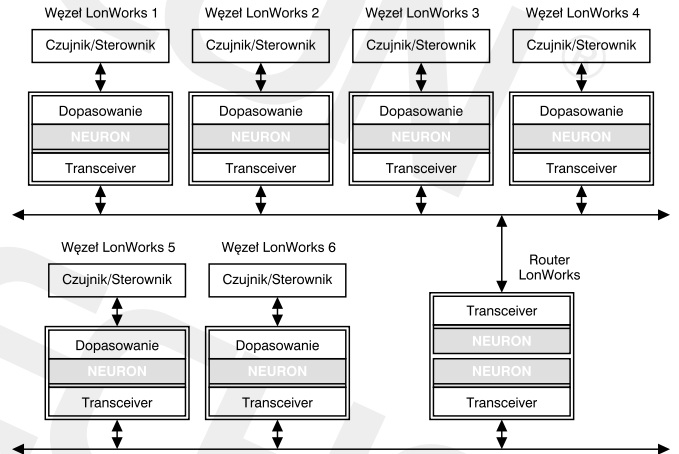
Procesor MAC jest procesorem sterującym dostępem do medium komunikacyjnego (ang. Media Access Control). Zgodnie z przyporządkowaniem poziomów sieci OSI, zajmuje się on obsługą poziomów 1-2 siedmiopoziomowej struktury sieci. Obejmuje to zarówno sterowanie odpo-

wiedniami transceiverami (układami do łączności sieciowej), jak i przeprowadzanie algorytmu kontroli kolizji. Procesor MAC komunikuje się z procesorem sieciowym za pomocą buforów sieciowych znajdujących się we wspólnej pamięci.

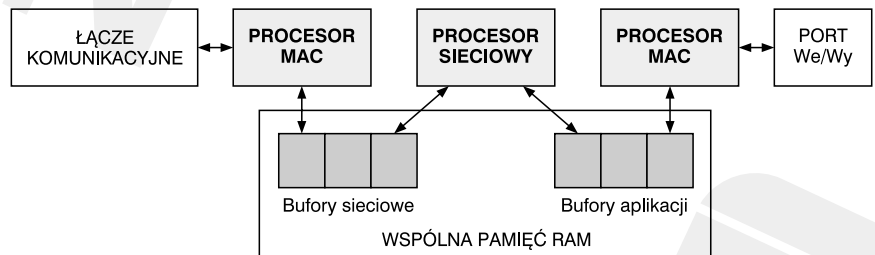
Procesor sieciowy (ang. network processor) obejmuje zakresem „obowiązków” poziomy od 3 do 6 sieci (wg OSI). Zajmuje się on obsługą zmiennych sieciowych (ang. network variables), adresowaniem, kontrolą przepływu informacji, badaniem zgodności danych (ang. authentication),

diagnostyką, programowymi timerami, kontrolą działania funkcji sieciowych, logiką połączeń. Komunikuje się on z procesorem 1 poprzez bufor sieciowe, a z procesorem aplikacji poprzez bufor aplikacji zawarte we wspólnym obszarze pamięci. Dostęp do buforów jest nadzorowany sprzętowo w celu uniknięcia nieprawidłowych odwołań.

Procesor aplikacji użytkownika wykonuje program napisany przez użytkownika



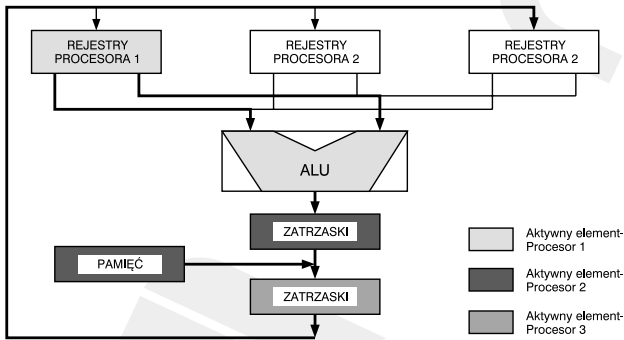
Rys. 7. Procesory NEURONowe w sieci LonWorks.



Rys. 8. Organizacja pamięci wspólnej procesorów.

Cechy charakterystyczne procesorów NEURON.

<p>Zintegrowane trzy 8-bitowe procesory 625kHz, (pipelined)</p> <p>Pamięć wewnętrzna</p> <p>11 programowalnych uniwersalnych wyprowadzeń we/wy</p> <p>Dwa 16-bitowe liczniki/timery dla potrzeb sterowania wyjściami</p> <p>Zintegrowane do 15 timerów programowych</p> <p>Tryb pracy „uśpienie” dla zmniejszenia poboru prądu</p> <p>Łącze sieciowe</p> <p>Firmware (oprogramowanie firmowe)</p> <p>Wbudowany „Service pin”, tzn. wyprowadzenie ułatwiające zdalną diagnostykę i identyfikację.</p> <p>Niepowtarzalny 48-bitowy kod dla każdego wyprodukowanego mikroprocesora.</p> <p>Przepustowość łącza: typowo 560 pakietów/s, maksymalnie 700 pakietów/s (przy sterowaniu procesora zegarem 10MHz).</p> <p>Wbudowane wykrywanie zaniku zasilania dla dodatkowego zabezpieczenia EEPROM-u (tylko podzespoły z kodem B1 i E2).</p>	<p>możliwość wyboru następujących częstotliwości pracy:</p> <p>1,25MHz, 2,5MHz, 5MHz, 10MHz (20MHz w przyszłości)</p> <p>2Kb SRAM (MC143150 i MC143120E2)</p> <p>1Kb SRAM (MC143120DW/B1DW)</p> <p>512b EEPROM (MC143150 i MC143120DW/B1DW)</p> <p>2Kb EEPROM (MC143120E2)</p> <p>10Kb ROM (MC143120)</p> <p>34 tryby pracy do wyboru bezpośrednio</p> <p>programowe uruchomienie rezystorów pull-up (I04-I07)</p> <p>20mA prądu wyjściowego (I00-I03)</p> <p>bezpośrednio różnicowe</p> <p>wybór szybkości transmisji od 0,6kb/s do 1,25Mb/s</p> <p>prąd sterowania łącza skrętkowego 40mA (różnicowo)</p> <p>opcjonalnie wykrywanie kolizji</p> <p>protokół spełniający wymagania standardowych 7 poziomów OSI</p> <p>sterowniki rozmaitych typów we/wy przewidziane przez producenta</p> <p>program sterowany zdarzeniami</p>
--	--



Rys. 9. Aktywność pamięci i procesorów podczas jednej z trzech faz głównego cyklu zegarowego.

ka w języku NEURON-C (odmiana klasycznego ANSI-C, zoptymalizowana i rozszerzona dla potrzeb sterowania węzłem sieci LonWorks). Najważniejszymi modyfikacjami wprowadzonymi do NEURON-C są:

- multitasking (swego rodzaju wielowątkowość), pozwalająca równolegle wykonywać pewne operacje i kontrolować jednocześnie priorytet zadań;
- składnia umożliwiająca korzystanie z szeregu preprogramowanych urządzeń we/wy;
- składnia ułatwiająca nadzorowanie funkcji sieciowych i zmiennych sieciowych (ich automatyczna propagacja);
- składnia pozwalająca na bezpośrednie wskazanie timerowi czasu w sekundach/minutach do sterowania zdarzeniami, biblioteki funkcji związanych z wszelkimi typami przewidzianych urządzeń

we/wy, sposobu obsługi transmisji w sieci, zarządzania zdarzeniami i przepływem informacji.

Powyższe biblioteki są zawarte w tzw. firmwarze, czyli w części pamięci ROM, której nie ma najmniejszej potrzeby modyfikować. Pozwala to na skupienie się na pisaniu aplikacji, a nie rozpraszanie się na wykrywanie błędów transmisji pomiędzy węzłami, albo procesorem a układami we/wy.

Każdy z trzech procesorów ma swój własny zestaw rejestrów, ale jednocześnie mają wspólną przestrzeń adresową i dane, a także wspólny ALU i układ dostępu do pamięci. W procesorze MC143150, wewnętrzne linie adresowe, danych, R/W są wyprowadzone na zewnątrz tak, że każdy z trzech procesorów może korzystać z ich zasobów. Każdy główny cykl zegarowy składa się de facto z trzech systemowych cykli zegarowych, każdy cykl systemowy to dwa cykle zegarowe na wejściu. Główne cykle zegarowe wszystkich trzech procesorów są między sobą przesunięte o jeden cykl systemowy, co oznacza, że w ciągu jednego głównego cyklu każdy z procesorów może odwołać się do pamięci i ALU. **Rys. 9** pokazuje elementy aktywne dla każdego z procesorów w czasie jednego cyklu głównego.