

Generator testowy sygnału S/PDIF

Generator ten jest przeznaczony przede wszystkim do sprawdzania odbiorników S/PDIF (Sony/Philips Digital Interface Format) i związanych z nimi przetworników cyfrowo-analogowych (DAC) i/lub filtrów wyjściowych.

Zewnętrzny generator sygnału zegarowego - poziom standardu TTL - umożliwia generowanie 128 wartości częstotliwości próbkowania. Zegar ten można również wykorzystać do generowania standardowych częstotliwości, przy czym pozostałe inwertery

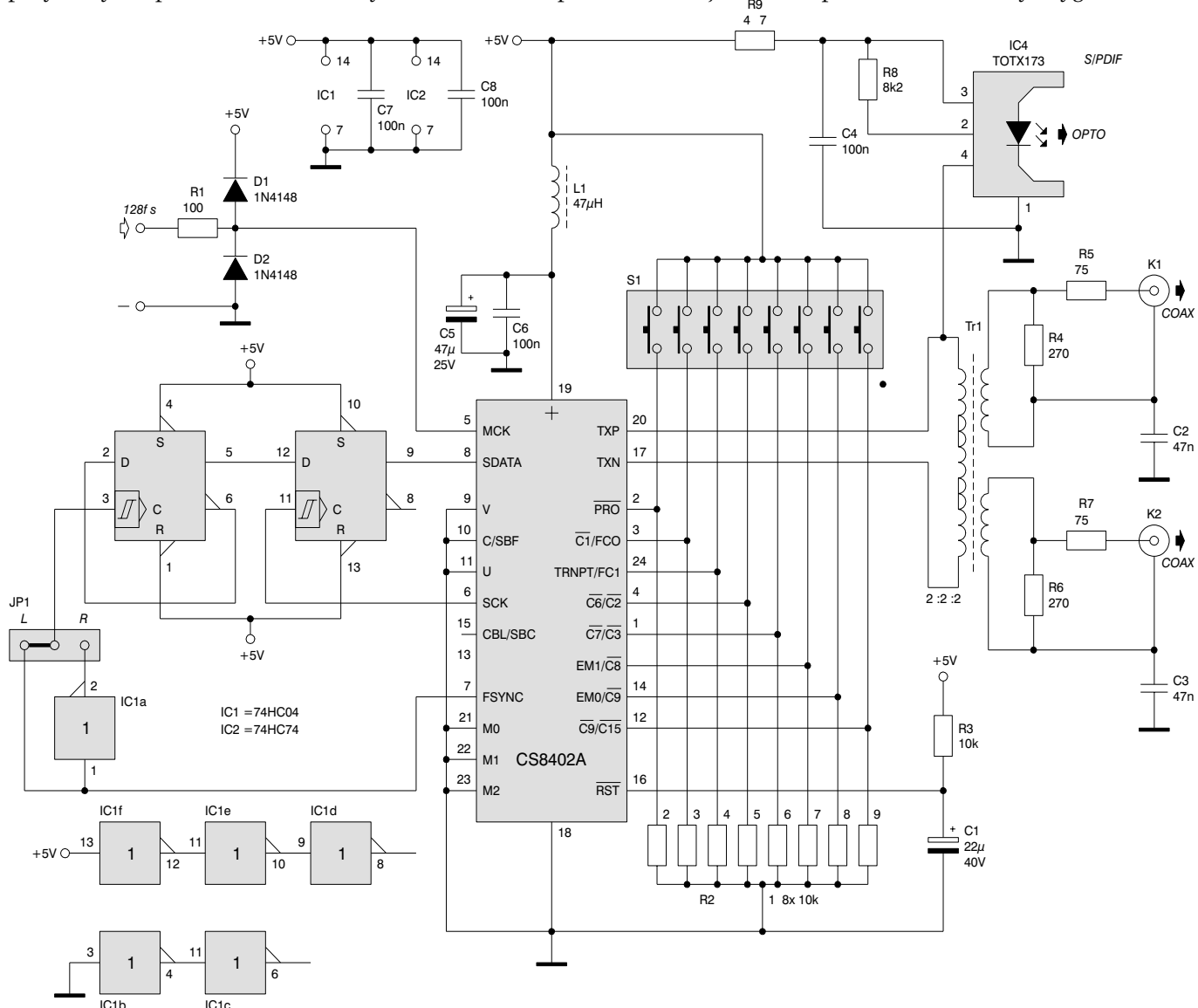
służą jako oscylatory kwarcowe (zakładając, że zastosowano 74HCU04).

Wysyłany sygnał pochodzi z nadajnika cyfrowej fonii typu CS8402A firmy Crystal. W tak krótkim artykule nie sposób wymienić wszystkich ustawień, jakich można dokonać przełącznikiem S1: czytelników odsyłamy do danych katalogowych tego układu scalonego.

Są tu również wyjścia optyczne (IC4), podobnie jak współosiowe (K1, K2). Toroidalny transformator Tr1 zapewnia izolację elek-

tryczną gniazd współosiowych (koncentrycznych) i również zapobiega pętlom masy. Połączenia gniazd z masą zapewniają kondensatory C2 i C3.

Transformator jest nawinięty na rdzeniu TN13/7.5/5-3E25 z przekładnią 20:2:2, ponieważ wyjścia TXP i TXN (układu IC3) są różnicowe. Napięcie uzwojenia pierwotnego wynosi 10V_{pp}, by na wyjściach współosiowych 75Ω zapewnić sygnał 0,5V_{pp}. Po resecie obydwaj wyjścia są w stanie niskim i nie są zwierane przez Tr1. Prosty sygnał akus-



Rys. 3.

tyczny jest dodawany dla zapobieżenia, na przykład, wyciszeniu wyjść.

Zwora JP1 umożliwia wprowadzenie do sygnału lewego albo prawego kanału sygnału prostokątnego o wartości szczytowej i połowie częstotliwości próbkowania. Umożliwia to, na przykład, sprawdzenie separacji kanałów i kombinacji sygnałów cyfrowego i analogowego. W większości przetworników DAC działanie filtra zaczyna się na połowie częstotliwości próbkowania. W takim przypadku trudno wprowadzić tłumienie za pośrednictwem filtrów analogowych, ponieważ poziom sygnału sinusoidalnego mniej lub bardziej odpowiada poziomowi sygnału 0dB. Przy tej częstotliwości łatwo również zauważyć, czy występuje korekcja

deemfazy (S1-4 wyłączony: deemfaza włączona) i jeśli tak, czy zapewnia wymagane tłumienie 10dB.

Układ CS8402A działa w trybie 0 (niski poziom na wejściach M0 - M2). Tryb ten jest w rzeczywistości przeznaczony dla interfejsowania z przetwornikami analogowo-cyfrowymi (ADC), ale tu został wykorzystany, ponieważ umożliwia, że FSYNC zegara L/R i zegar bitów SCK były pobierane wewnętrznie z zegara MCK i były zorganizowane jako wyjścia. Dane dla połowy częstotliwości próbkowania uzyskuje się poprzez podział przez dwa sygnału zegara L/R w układzie IC2a. Ponieważ dane te muszą być uzupełnieniami do 2, podlegają przesunięciu o jeden okres zegara w IC2b tak, że zależnie od fazy zegara L/R czyli

inwertera IC1a, albo lewy albo prawy kanał zawiera sygnał o szczytowym poziomie. Następnie drugi kanał przełącza jeden LSB z identyczną częstotliwością.

Należy zauważyć, że pewne przetworniki DAC, szczególnie typu 1-bitowego pierwszej generacji, nie działają prawidłowo przy sygnałach 0dB, co może powodować trudności z przesterowaniem CD. Można to sprawdzić opisywanym tu generatorem. Jeśli sygnał akustyczny jest niepożądany, wejście SDATA należy połączyć z masą, a IC1 i IC2 pominąć.

Rezystor R1 i diody D1, D2 chronią wejście MCK przed zbyt wielkimi lub asymetrycznymi sygnałami zegara. Generator pobiera prąd około 30mA.

Projektował: T Giesberts (994098)