

Oscyloskopowy rejestrator, część 1

AVT-268

Po długiej przerwie wracamy do prezentacji urządzeń współpracujących z komputerami PC.

W artykule przedstawiamy pierwszą część opisu prostej karty rejestratora analogowego, który może spełniać także rolę jednokanałowego oscyloskopu wyzwalanego programowo. Jednym z atutów urządzenia jest wysoka częstotliwość próbkowania sygnału analogowego - aż 15MHz!



Konstrukcja karty rejestratora przypomina w pewnym stopniu typowy oscyloskop cyfrowy, z tą jednak różnicą, że jest pozbawiona progowego układu wyzwalania. Nie ma więc możliwości zsynchronizowania początku pomiaru z wybranym przez użytkownika fragmentem badanego sygnału. Jest to oczywista wada kitu AVT-268. Ma on jednak zaletę, polegającą na zastosowaniu jako elementu pośredniczącego pomiędzy przetwornikiem A/C i szyną ISA komputera szybkiej, dwuportowej pamięci RAM typu FIFO (ang. First In First Out). Jest to element zastosowany po raz pierwszy w konstrukcjach prezentowanych na łamach EP i innych pism elektronicznych, nie tylko w naszym kraju.

Co to jest FIFO?

FIFO - jak wcześniej wspomniałem - to statyczna, dwuportowa pamięć RAM. „Dwuportowa“ oznacza, że brama wejściowa i wyjściowa są wyprowadzone niezależnie. Niezależne od siebie są także sygnały sterujące zapisem i odczytem danych do/z pamięci. Skrót „FIFO“ oznacza pamięć o zdeterminowanym sposobie zapisu i odczytu danych, który ob-

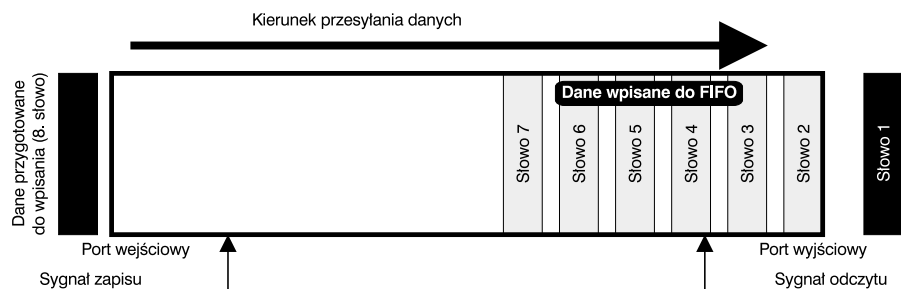
razowo można przedstawić jako wpychanie danych do „rury“ i ich odczyt w kolejności zgodnej z kolejnością wpisu (**rys. 1**). Niemożliwy jest losowy (tzn. spod dowolnego adresu) odczyt zawartości pamięci FIFO.

Oprócz sygnałów sterujących zapisem i odczytem danych FIFO zastosowane w AVT-268 jest wyposażone w pomocnicze sygnały informacyjne, które można wykorzystać m.in. do kaskadowego lub równoległego łączenia wielu pamięci tego typu ze sobą.

W odróżnieniu od standardowych pamięci RAM, FIFO nie ma wyprowadzonych na zewnątrz wejść adresowych. Za adresowanie komórek odczytywanych i zapisywanych odpowiada wbudowany w strukturę FIFO bardzo rozbudowany automat sterujący,

Podstawowe parametry karty AVT-268:

- ✓ liczba kanałów pomiarowych: 1,
- ✓ rozdzielczość przetwarzania: 6 bitów,
- ✓ częstotliwość próbkowania: skokowo programowana - 1Hz, 10Hz, 1kHz, 10kHz, 100kHz, 1MHz, 10MHz, 15MHz (opcja),
- ✓ wewnętrzne napięcie odniesienia: programowane cztery wartości 2,5..5V,
- ✓ liczba napięciowych zakresów pomiarowych: 8,
- ✓ liczba adresów zajmowanych w przestrzeni I/O PC: 3.



Rys. 1. Uproszczony schemat przepływu danych przez pamięć FIFO.

który zapewnia m.in. pełną niezależność procesów zapisu i odczytu.

Dlaczego FIFO?

Transfer danych przez szynę ISA nie należy do najszybszych. Praktycznie nie jest możliwe przesłanie tym interfejsem słowa danych w czasie krótszym od 140..180ns, co ogranicza szybkość próbkowania do ok. 6..7MHz. Oczywista więc jest konieczność zastosowania jakiegoś „chwytu“ likwidującego te ograniczenie.

Najczęściej stosowanym sposobem jest wpisywanie próbek sygnału do standardowej pamięci RAM i następnie - po jej wypełnieniu - wyświetlenie całej zawartości. Wadą takiego rozwią-

zania jest konieczność zatrzymania akwizycji danych na czas przekazywania zawartości pamięci do modułu wyświetlania.

W kicie AVT-268 proponuje inne, nieco doskonalsze rozwiązanie, które charakteryzuje się ponadto znaczną prostotą układową, ponieważ stają się zbędne układy adresowania pamięci i przełączania banków adresowania.

Udoskonalenie polega na zastosowaniu dwuportowej pamięci FIFO. Jej możliwości przedstawię na prostym przykładzie: system próbkowania sygnału wejściowego jest taktowany sygnałem zegarowym o częstotliwości np. 15MHz, czyli mniej-więcej dwukrotnie wyższej od maksymalnej częstotliwości odbioru danych na szynie ISA. Jeżeli dane będące wynikiem konwersji A/C trafiałyby od razu na szynę ISA, to

(oczywiście przy dużej dozie szczęścia) tylko co druga próbka zostałaby odczytana przez procesor komputera. Jeżeli pomiędzy wyjście przetwornika a szynę ISA włączymy pamięć FIFO, to dane będą do niej wpisywane z częstotliwością 15MHz, a odczytywane z częstotliwością 6..7MHz (lub inną, w zależności od komputera). Zapis i odczyt nie muszą być w żaden sposób synchronizowane ze sobą.

W zależności od stosunku częstotliwości taktowania portów: wejściowego i wyjściowego pamięć FIFO może się stopniowo „napełniać“ i po pewnym czasie „przepełnić“. Jedynym sposobem odsunięcia w czasie tej przykłej sytuacji jest zastosowanie FIFO o maksymalnie dużej pojemności.

Opis urządzenia

Po tym, nieco przydługim, wstępie przechodzimy do omówienia zasady działania rejestratora. Jego schemat elektryczny znajduje się na rys. 2.

Układy US4, US5 i US6 odpowiadają za współpracę karty z interfejsem ISA. W układzie US4 wykorzystano tylko dwa, spośród ośmiu, trójstanowe bufory, które pośredniczą w przesyłaniu do procesora komputera sygnałów gotowości oraz przepełnienia FIFO. Adres bufora

Tab. 1. Napięcie odniesienia V_{ref} w zależności od stanów sygnałów REF1 i REF2.

REF1	REF2	Napięcie odniesienia
0	0	2,5V
0	1	ustalone przez P1
1	0	ustalone przez P2
1	1	ustalone przez wypadkową P1 i P2*

* W przybliżeniu rezystancja wypadkowa równolegle połączonych P1 i P2.

Tab. 2. Częstotliwość wyjściowa programowanego dzielnika częstotliwości US3 (pin 37).

S2	S1	S0	Częstotliwość wyjściowa
0	0	0	1Hz
0	0	1	10Hz
0	1	0	1kHz
0	1	1	10kHz
1	0	0	100kHz
1	0	1	1MHz
1	1	0	10MHz
1	1	1	15MHz*

* Wymaga zainstalowania na płycie generatora G2 i układu US1 w wersji CA3306B.

List. 1.

```

NAME avt268;
REV 1.24;
DEVICE G16V8;

/* ***** */
/* *
/* * Dekoder adresowy do karty oscyloskopu *
/* *
/* * AVT-268 *
/* ***** */

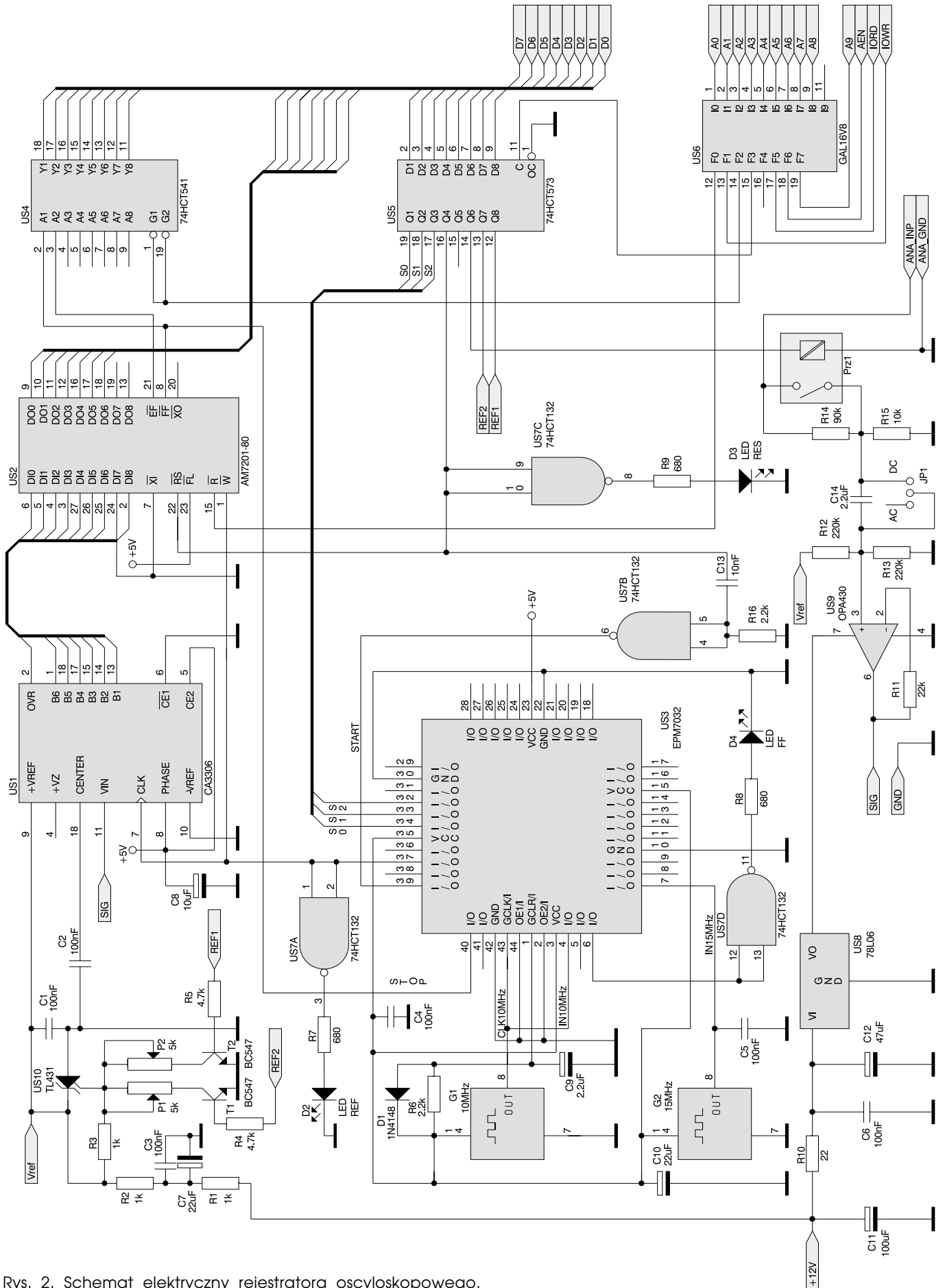
/* INPUTS */
pin [1..9,19] = [A0..A8,A9];
pin 18 = AEN;
pin [13,17] = [IOWR,IORD];

/* OUTPUTS */
pin 12 = !RD_DATA;
pin 14 = !RD_STATUS;
pin 15 = CLK_REG;

/* DECLARATIONS AND INTERMEDIATE VARIABLE DEFINITIONS */
field ADRES = [A0..A9];
field STEROW = [IOWR,IORD,AEN];

ZAPIS = STEROW:'b'010;
ODCZYT = STEROW:'b'100;
STATUS_ADR = ADRES:'h'313;
DATA_ADR = ADRES:'h'314;
CLK_ADR = ADRES:'h'315;

/*LOGIC EQUATIONS*/
CLK_REG = CLK_ADR & ZAPIS;
RD_DATA = DATA_ADR & ODCZYT;
RD_STATUS = STATUS_ADR & ODCZYT;
    
```



Rys. 2. Schemat elektryczny rejestratora oscyloskopowego.



Rys. 3. Znaczenie bitów rejestru sterującego o adresie 315h.

US4 w przestrzeni I/O komputera to 313h.

Układ US5 jest prostym, 8-bitowym rejestrem typu zatrask. Służy on do zapamiętywania nastaw konfigurujących poziom napięcia odniesienia, częstotliwości próbkowania, a także do inicjowania startu cyklu pomiarowego. Rejestr US5 znajduje się pod adresem 315h (tylko zapis). Funkcje jego poszczególnych bitów widać na rys. 3.

W rejestratorze zastosowano dwa układy programowalne. Prostszy z nich - GAL16V8 (US6) - jest dekoderym adresowym, o wewnętrznej strukturze opisanej prostym programem z list. 1. Oprócz dwóch już opisanych portów karty układu US6 dekoduje jeszcze jeden, o adresie 314h (RD_DATA). Jest to port wyjściowy pa-

avt268			
A0	x 1	20 x	Vcc
A1	x 2	19 x	A9
A2	x 3	18 x	AEN
A3	x 4	17 x	IORD
A4	x 5	16 x	
A5	x 6	15 x	CLK_REG
A6	x 7	14 x	!RD_STATUS
A7	x 8	13 x	IOWR
A8	x 9	12 x	!RD_DATA
GND	x 10	11 x	

Rys. 4. Rozmieszczenie wyprowadzeń układu US6 (GAL16V8).

mięci FIFO (US2), dla którego sygnał RD_DATA spełnia rolę zarówno zegara taktującego, jak i zezwalającego na pracę trójstanowych buforów wyjściowych. Ponieważ zastosowany w urządzeniu przetwornik A/C jest 6-bitowy, do szyny danych ISA dołączonych jest tylko sześć najmłodszych bitów D0..5.

Rozmieszczenie wyprowadzeń dekodera US6 widać na rys. 4.

Drugi zastosowany układ PLD, to znacznie pojemniejszy od GALa (32 rozbudowane makrom komórki) układ EPM7032 firmy Altera (na rys. 2 nosi ozna-

WYKAZ ELEMENTÓW

Rezystory

- P1, P2: 5kΩ - potencjometry precyzyjne
- R1, R2, R3: 1kΩ
- R4, R5: 4,7kΩ
- R6, R16: 2,2kΩ
- R7, R8, R9: 680Ω
- R10: 22Ω
- R11: 22kΩ
- R12, R13: 220kΩ
- R14: 90kΩ - patrz tekst
- R15: 10kΩ - patrz tekst

Kondensatory

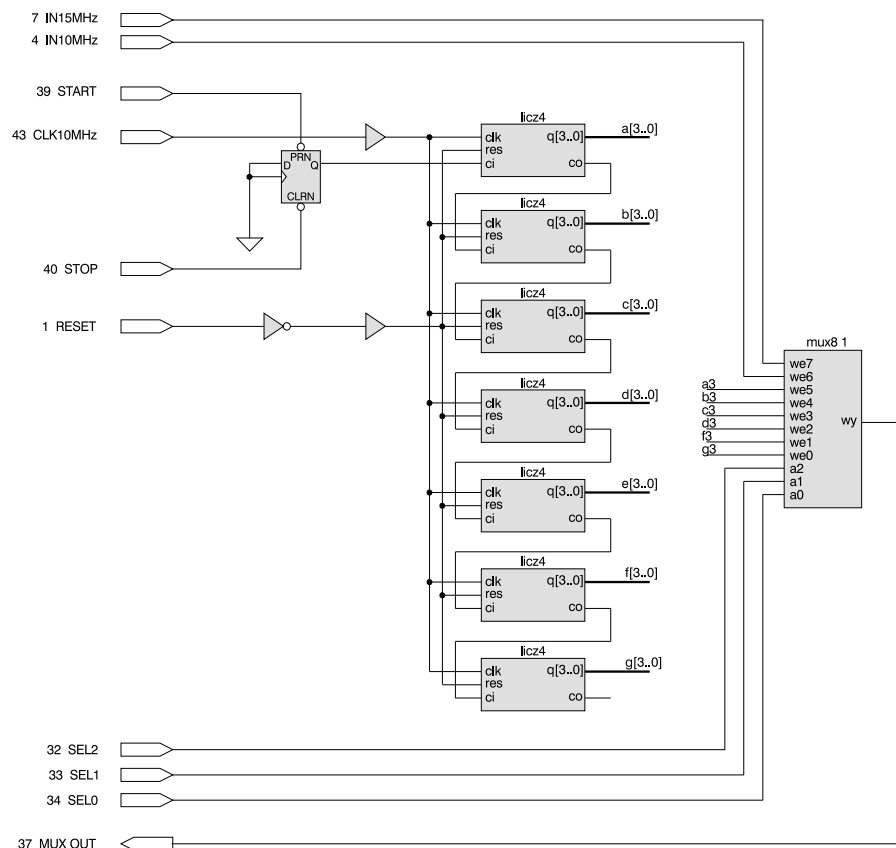
- C1, C2, C3, C4, C5, C6: 100nF
- C7, C10: 22μF/16V
- C8: 10μF/16V
- C9, C14: 2,2μF/16V
- C11: 100μF/16V
- C12: 47μF/16V
- C13: 10nF

Półprzewodniki

- D1: 1N4148
- D2, D3, D4: LED
- T1, T2: BC547 lub podobne
- US1: CA3306B/C
- US2: AM7201-80 lub podobne (o większej pojemności)
- US3: EPM7032LC44 - zaprogramowany
- US4: 74HCT541
- US5: 74HCT573
- US6: GAL16V8B - zaprogramowany
- US7: 74HCT132
- US8: 78L06
- US9: OPA430 lub podobny
- US10: TL431

Różne

- G1: 10MHz
- G2: 15MHz
- JP1: gold-piny 1x3 + jumper
- Prz1: przekaźnik miniaturowy DIP14 CELDUC



Rys. 5. Schemat blokowy wnętrza układu EPM7032.

czenie US3). W jego wnętrzu zintegrowano wielostopniowy, programowalny dzielnik częstotliwości z układem bramkującym. Nieco uproszczony schemat wnętrza układu US3 znajdziecie na rys. 5.

Piotr Zbysiński, AVT

Programy wynikowe dla obydwu układów programowalnych stosowanych w AVT-268 są dostępne w Internecie pod adresem: www.ep.com.pl/programy.html.