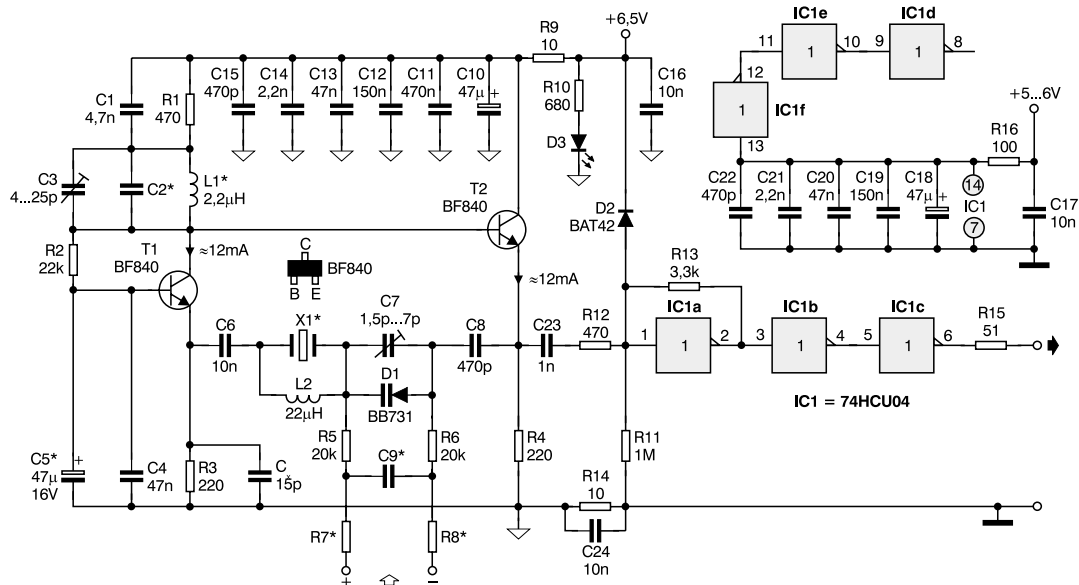


# Bardzo stabilny oscylator dla cyfrowej fonii

Występowanie jittera (zakłóceń fazowych) jest poważnym problemem w połączeniach dwu lub więcej urządzeń audio. Jest spowodowany niestarannie zaprojektowanymi oscylatorami w sprzęcie nagrywającym gdy działa w trybie podporządkowanym (slave), to jest

gdy odtwarza zegar systemowy sprzętu źródłowego za pośrednictwem pętli fazowej (PLL).

Oscylator stabilny może być wykorzystany do zastąpienia kiepskich oscylatorów albo jako wysokiej klasy oscylator nadrzędny (master). W prototypie nie



Rys. 1.

wykryto przesunięcia częstotliwości we wszystkich warunkach pracy.

W porównaniu ze zwykłymi konstrukcjami, omawiany oscylator wykazuje następujące zalety:

- Kwarc pracuje w trybie szeregowym zamiast, jak zazwyczaj, w równoległym, ponieważ rezystancja kwarcu na częstotliwości rezonansowej jest minimalna, natomiast rezystancje zewnętrzne nie wpływają znacząco na dobroć Q.
- Stabilność jest polepszona wskutek zastosowania dodatkowego obwodu LC (L1-C1-C3), dostrojonego do częstotliwości podstawowej.
- Kwarc jest zbocznikowany indukcyjnością w celu kompensacji jego pasożytniczej pojemności równoległej. Indukcyjność ta zawiera również zakłócenia niskich częstotliwości. Wartość indukcyjności jest krytyczna, ale może być określona empirycznie.
- W trybie podporządkowanym oscylator jest odstrajany waraktorem D1, który jest częścią zewnętrznej pętli fazowej. Przy zastosowanym waraktorze, którego pojemność zmienia się od 4..50pF, przy przyłożeniu napięcia 1..25V, częstotliwość może być przesunięta o około  $\pm 150$ ppm. Ponieważ nawet małe zakłócenia sygnału powodują

całkiem duże zmiany pojemności, pojemność powinna być utrzymywana jak najbliżej pożądanej, poprzez wybór waraktora różnicowego albo poprzez włączenie szeregowo z nim mniejszego kondensatora. Gdy oscylator jest wykorzystywany jako „master“, gdzie najłżejszy jitter jest zauważalny, waraktor jest zastępowany stałym kondensatorem. Urządzenie, z którym jest stosowany, musi być przystosowane do pracy „genlock“, czyli musi mieć oddzielne wejście zegara.

Na schemacie oscylatora można zauważyć kilka dodatkowych zabezpieczeń. Wiele uwagi poświęcono odsprzężeniu linii zasilania. Ponadto, układy oscylatora i bufora mają oddzielne linie zasilające, zapewniające wolny od zakłóceń przebieg oscylacji. Zegar jest buforowany przez trzy stopnie IC1. Pierwszy stopień, IC1a, jest włączony jako wzmacniacz o małym wzmocnieniu. Zbyt duże wzmocnienie mogłoby powodować sprzężenie zwrotne harmonicznych do oscylatora. Sygnał zegara jest dostępny na wyjściu poprzez R15. Dioda D2 z rezystorem R11 zapewniają, że wyjście ostatniego bufora jest w stanie wysokim, gdy oscylator jest wyłączony. Takie połączenie umożliwia dołączenie poprzez bramkę AND lub NAND kilku oscylatorów, dostar-

czających różnych częstotliwości, do jednej linii zegara. Odpowiedni oscylator jest aktywowany poprzez przyłożenie do niego napięcia 6,5V.

Elementy R7, R8 i C9 należą do obwodu pętli fazowej, co określa ich wartości. Tranzystory do montażu powierzchniowego (SMD) T1 i T2 mogą być zastąpione standardowymi tranzystorami typu BF494.

Zależność pomiędzy częstotliwością próbkowania  $f_{sa}$ , częstotliwością kwarcu  $f_c$  i C2 w pF, jest następująca:

$f_{sa}$	$f_c$	C2
32	12,288	47
38	14,592	27
44,1	16,9344	15
48	18,432	10

Jeśli oscylator nie działa wskutek niewłaściwej wartości indukcyjności L1, pojemność równoległa może być dobrana poprzez zmianę wartości C3. Może być również konieczna zmiana wartości C2.

Trymerem C7 uzyskuje się napięcie  $U_{var}$  przy pracy pętli fazowej. Kondensator  $C_x$  rozszerza w dół nominalny zakres częstotliwości oscylacji. Kompletny oscylator najlepiej umieścić w małej obudowie z białej (cynowanej) blachy.

**[Gottschalk - 974106]**

Artykuł publikujemy na podstawie umowy z redakcją miesięcznika "Elektor Electronics".

Editorial items appearing on pages 19..22 and 24..26 are the copyright property of (C) Segment B.V., the Netherlands, 1998 which reserves all rights.