

Układy XPLA i XPLA3

Narzędzia projektowe dla układów programowalnych CoolRunner, część 2



W ostatniej, drugiej części artykułu skupimy się na omówieniu najważniejszych możliwości pakietu narzędziowego XPLAPro, który opracowano z myślą o układach CoolRunner.



Rys. 1.

System projektowy

Instalacja ściągniętego uprzednio programu jest nad wyraz prosta i nie odbiega od windowsowych standardów. Zawartość folderu utworzonego przez program instalacyjny jest dość skromna (rys. 1), ale po uruchomieniu narzędzie prezentuje się dość okazale (rys. 2). Po kilku minutach pracy z pakietem łatwo jest zauważyć, że zastosowano w nim interfejs graficzny opracowany przez Synario, na którym opierały się do niedawna także inne narzędzia firmy Xilinx, a także Lattice, Philips, a w ostatniej fazie istnienia firmy pod własnym logo, także Vantis.

Okno przedstawione na rys. 2 jest nawigatorem projektu - w jego lewej części widoczne są źródłowe pliki wejściowe zapisane w postaci pliku tekstowego PHDL (ang. Philips Hardware Description Language), Verilog lub VHDL - rys. 3 lub schematu logicznego (graficznie - rys. 4). System projektowy pozwala na tworzenie projektów hierarchicznych o mieszanej strukturze, dzięki czemu możliwe jest „mieszanie” w jednym projekcie modułów zapisanych

w postaci schematu z modułami zdefiniowanymi w PHDL lub Verilogu. Po zaprojektowaniu, zapisaniu i sprawdzeniu wszystkich modułów wchodzących w skład projektu, możemy przejść do jego kompilacji.

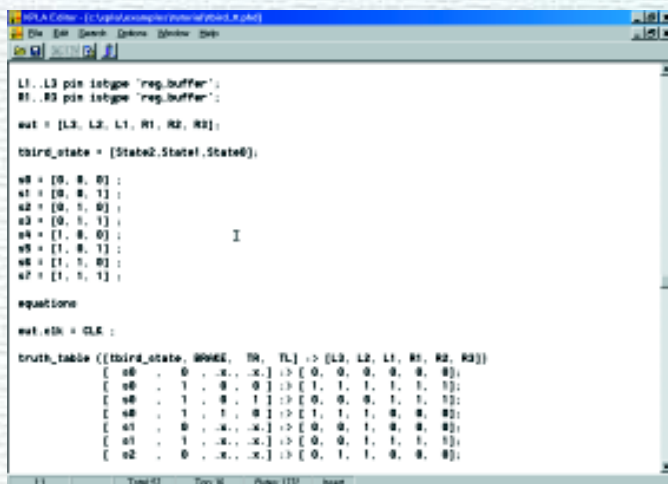
Proces kompilacji wyzwalany jest za pomocą przycisku znajdującego się w dolnej lewej części okna z rys. 2. Menadżer projektu w XPLAPro, podobnie do starszych systemów Synario, uruchamia niezbędne do prawidłowej kompilacji programy w uruchamianych w tle sesjach DOS-owych. O aktualnie działającym programie użytkownik jest informowany za pomocą prostych okienek (rys. 5).

Kolejnym krokiem procesu projektowania jest zazwyczaj symulacja funkcjonalna układu, do której można przejść dzięki przyciskowi *Fun-Sim*, który znajduje się w oknie menadżera projektu (rys. 2). Analiza funkcjonalna wymaga ręcznego zadania pobudzeń na wejściach. Odpowiedzi na wyjściach projektowanej struktury wylicza program symulacyjny (rys. 6).

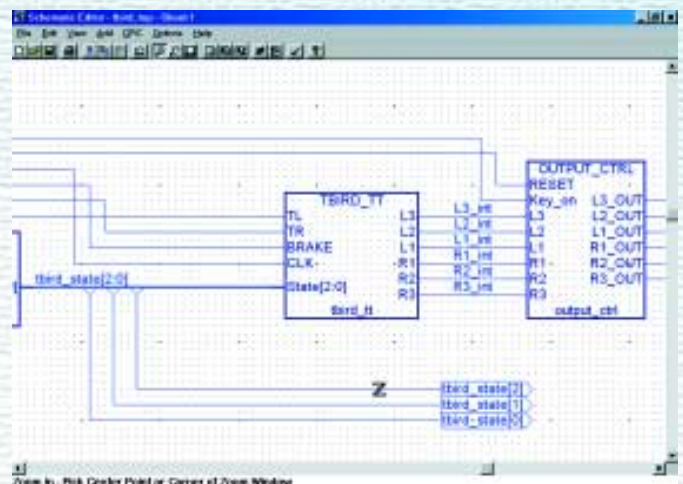
Po przeprowadzeniu symulacji i usunięciu ewentualnych błędów w projekcie, można dołączyć sygnały do wybranych wyprowadzeń układu scalonego, do czego używa się prostego w obsłudze edytora wyprowadzeń (rys. 7).



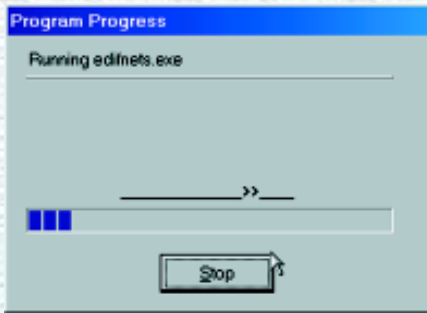
Rys. 2.



Rys. 3.



Rys. 4.



Rys. 5.

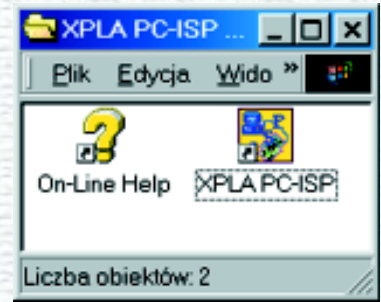
W ten sposób otrzymujemy opisaną równaniami strukturę logiczną układu oraz opis przypisań wejść i wyjść fizycznej struktury układu do odpowiednich zmiennych opisu logicznego projektu. Taki opis należy poddać jeszcze jednemu procesowi, który zapewni przełożenie równań logicznych na mapę konfiguracji docelowego układu. Proces ten nazywa się „wpasowaniem” projektu w strukturę układu (*fitting*) i jest inicjowany kolejnym przyciskiem w dolnej części okna z rys. 2. Efektem *fittingu* jest plik w formacie JEDEC, który jest końcowym wynikiem działania całego pakietu. Plik ten służy do zaprogramowania układu scalonego.

Interesującą, lecz często ignorowaną możliwością pakietu XPLAPro jest analiza czasowa zaprojektowanego układu, która jest przeprowadzana za pomocą edytora graficznego przebiegów. Jego ciekawą właściwością jest możliwość obliczenia prądu pobieranego przez układ przy zadanej konfiguracji i określonej przez użytkownika częstotliwości.

Programator ISP

Do obsługi programowania ISP niezbędny jest dodatkowy program XPLA PC-ISP (rys. 8), także dostępny w Internecie. Jego ogromną zaletą jest możliwość współpracy z praktycznie dowolnym programatorem ISP, przystosowanym do współpracy z portem równoległym, w tym przewidziano możliwość wykorzystania programatora *ByteBlaster* firmy Altera (rys. 9). Zaskakujące!

Obsługa programu została bardzo zautomatyzowana, a większość czynności konfiguracyjnych wykonywana jest bez udziału użytkownika. W zasadzie jedynym zadaniem, jakie musi zrealizować użytkownik, jest podanie nazw plików źródłowych odpowiadających układowi znajdującym się w łańcuchu ISP, w tabeli przypominającej uproszczony formularz arkusza Excel.



Rys. 8.

Interfejs użytkownika programu XPLA PC-ISP jest łatwy w obsłudze (rys. 10), a dzięki podziałowi na trzy niezależne okna - bardzo przejrzysty.

Piotr Zbysiński, AVT
 piotr.zbysinski@ep.com.pl

Dystrybutorem układów firmy Xilinx jest firma Atest z Gliwic, tel. (0-32) 238-03-60, www.atest.com.pl.

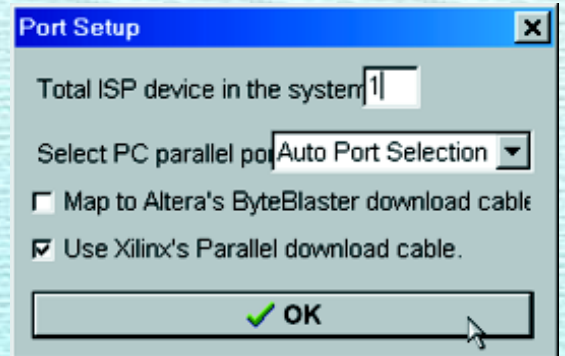
Prezentacje oraz materiały katalogowe układów XPLA znajdują się na płycie CD-EP4/2000B w katalogu \cool.

Oprogramowanie narzędziowe XPLAPro znajduje się na płycie CD-EP4/2000B w katalogu \Programy\XplaPRO.

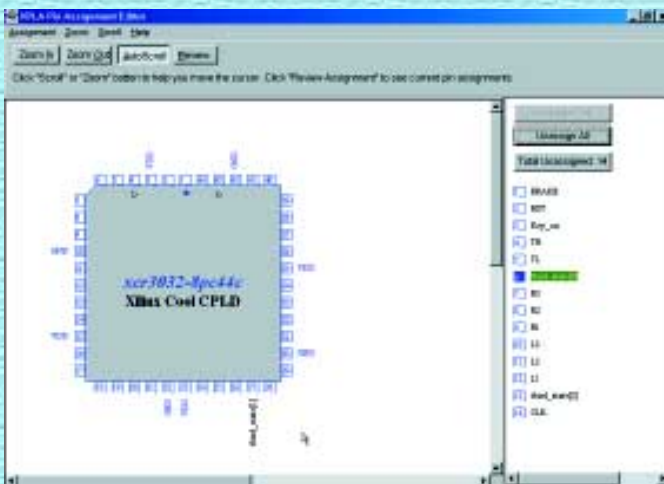
Oprogramowanie do programowania ISP znajduje się na płycie CD-EP4/2000B w katalogu \Programy\XplaISP.



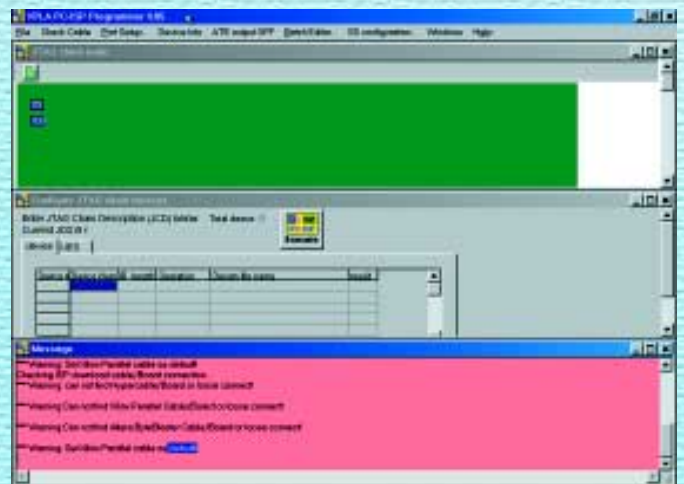
Rys. 6.



Rys. 9.



Rys. 7.



Rys. 10.