

Analogowe układy programowane w systemie firmy Lattice



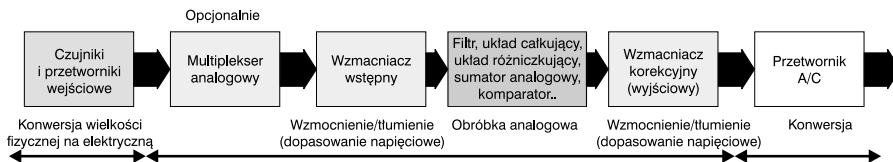
Układy programowalne jednoznacznie kojarzą się z cyfrowymi strukturami PLD/CPLD lub FPGA. Jeden z potentatów na tym rynku - firma Lattice (obecnie połączona z Vantisem) - wprowadziła do produkcji układy programowalne zupełnie nowej klasy, tworząc tym samym wyłom w dotychczasowych przyzwyczajeniach swoich odbiorców, a w najbliższym czasie zapewne także w nawykach wielu „tradycyjnych” konstruktorów systemów analogowych.

Kilka lat temu na rynku pojawiły się programowalne układy analogowe, opracowane przez amerykańską firmę IMP. Jak się jednak okazało, były one rynkową efemerydą, która nie znalazła szerzego oddźwięku wśród konstruktorów. Przyczyną tej porażki była z pewnością słaba promocja nowych struktur, a także nie najlepsze parametry układów, co spowodowało znaczne zawężenie możliwych obszarów zastosowań. Z tego też powodu zapowiadane od kilku miesięcy programowalne układy analogowe firmy Lattice oczekiwane były przez nas z ogromnym zainteresowaniem.

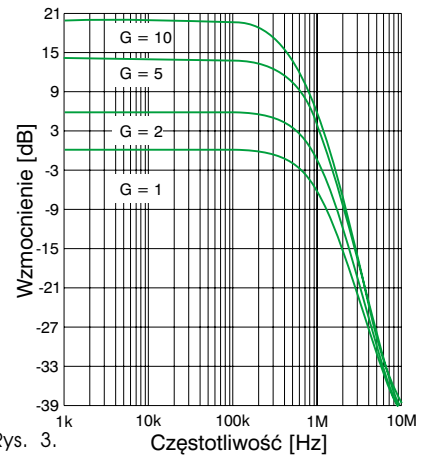
Pytanie podstawowe

Podstawowym pytaniem, na jakie musieli sobie odpowiedzieć twórcy analogowych układów programowalnych, było: „jaka jest struktura zadań realizowanych przez analogowe fragmenty współczesnych, typowych

nie obciążają one praktycznie źródeł sygnału. Wzmacniacze wejściowe i wyjściowe operują na sygnałach przesyłanych różnicowo (maksymalna amplituda sygnałów wynosi 6V), co zapewnia dużą odporność na zakłócenia. Możliwa jest także ich praca w trybie



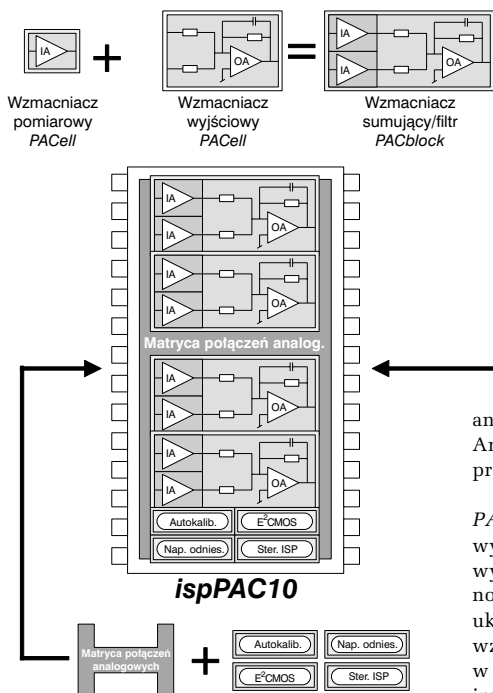
Rys. 1.



Rys. 3.

systemów elektronicznych”? Znalezione poprawnej odpowiedzi na to pytanie dostarcza doskonałych wytycznych do realizacji uniwersalnego układu analogowego.

Z dużym prawdopodobieństwem można założyć, że przyjęta przez inżynierów Lattice'a struktura zadań „analogowych” była zbliżona do prezentowanej na rys. 1. Jest to najbardziej typowa architektura toru analogowego współpracującego z systemem cyfrowym. Przetwarzaniem sygnału przekształconego do postaci cyfrowej zajmuje się mikrokontroler lub procesor sygnałowy, ewentualnie inne układy cyfrowe. W zależności od zadań realizowanych w torze analogowym, sygnał poddany jest obróbce (np. filtracji), która - obok regulowanego wzmocnienia - jest jednym z najważniejszych tematów do realizacji w analogowych strukturach programowalnych.

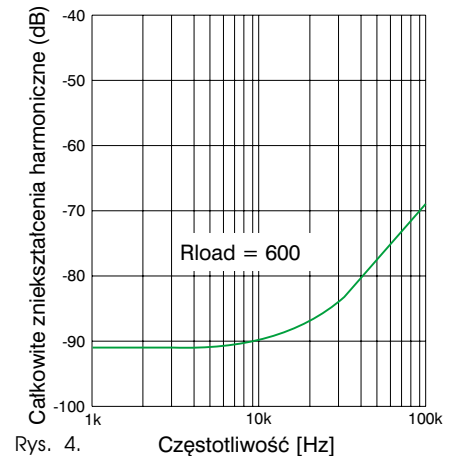


Rys. 2.

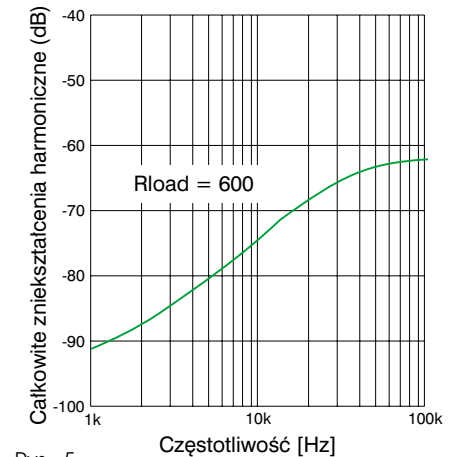
Dwie (na razie) odpowiedzi - odpowiedź pierwsza

Bezpośrednią odpowiedzią na wcześniej postawione pytanie jest układ ispPAC10 (nazwa pochodzi od ang. in-system-programmable Programmable Analog Circuit). Jego wewnętrzną budowę przedstawiamy na rys. 2.

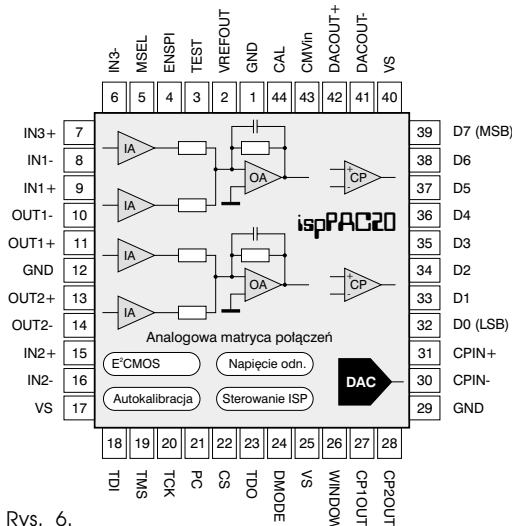
Podstawowym modulem tego układu jest PACblock, który składa się z dwóch wejściowych, programowanych wzmacniaczy IA oraz wyjściowego wzmacniacza spełniającego jednocześnie rolę aktywnego elementu filtrów, układów całkujących itp. Zakres regulacji wzmocnienia stopni wejściowych mieści się w przedziale -10..+10V/V, a ich wejściowa impedancja wynosi ok. 1GΩ, dzięki czemu



Rys. 4.



Rys. 5.



Rys. 6.

asymetrycznym, na co pozwala m.in. wbudowane w układ ispPAC10 źródło napięcia referencyjnego. W układzie ispPAC10 zintegrowano cztery moduły *PACblock*.

Kolejną atrakcyjną właściwością układów ispPAC10 jest wbudowany w nie system autokalibracji, który utrzymuje napięcie niezrównoważenia na poziomie 1mV (wartość maksymalna, w najmniej sprzyjających warunkach!). Procedura autokalibracji wyznaczana jest zewnętrznym sygnałem cyfrowym.

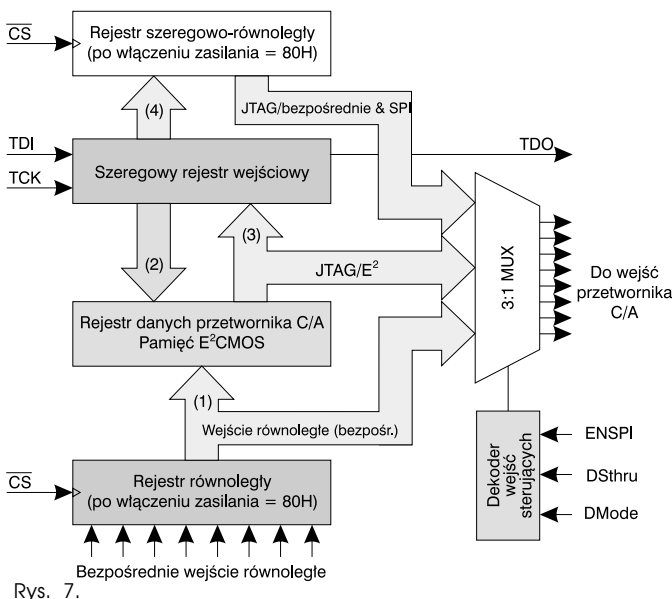
Tory analogowe układu ispPAC10 zoptymalizowano pod kątem aplikacji niskoczęstotliwościowych. Wypadkowe pasmo przenoszenia mieści się w przedziale 330..550kHz dla wzmocnień 10..1V/V (rys. 3). Biorąc pod uwagę małe zniekształcenia harmoniczne (rys. 4 i 5, odpowiednio dla wzmocnień 1 i 10V/V), duży odstęp sygnału od szumu (gwarantowane 103dB), możliwość niezależnego projektowania szerokości pasma i położenia biegunów funkcji przenoszenia oraz silne tłumienie sygnału wspólnego na wejściach różnicowych (70dB) należy stwierdzić, że ispPAC10 jest doskonałym układem do realizacji bardzo wymagających zadań w systemach analogowych.

Architektura układu ispPAC10 predestynuje go do stosowania jako bardzo elastycznego interfejsu wejściowego toru analogowego, z możliwością różnorodnego filtrowania i wzmacniania lub tłumienia przetwarzanego sygnału.

Reprogramowalna pamięć konfiguracji EEPROM ma żywotność 10000 cykli, co powoduje, że w praktyce układy ispPAC10 są nieśmiertelne.

Odpowiedź druga - ispPAC20

Wewnętrzna budowa układu ispPAC10 zapewnia jego dużą uniwersalność i wszechstronność zastosowań, lecz nie



Rys. 7.

spełnia wszystkich wymagań, jakie czasami stawiają konstruktorzy wejściowym obwodom w systemach przetwarzania sygnałów analogowych. Większość dodatkowych funkcji zintegrowano w drugim (jak na razie) układzie rodziny PAC, oznaczonym symbolem ispPAC20. Schemat blokowy jego wnętrza przedstawiamy na rys. 6.

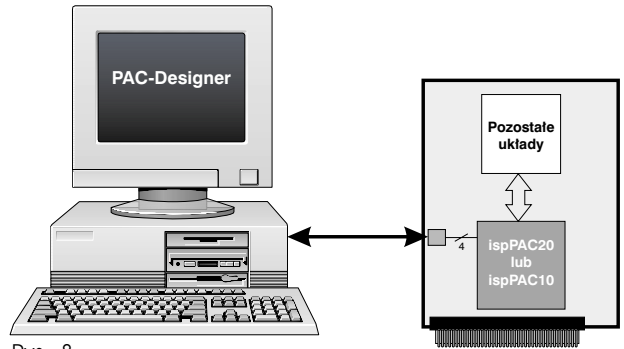
Ma on dwa tory wzmacnienia/filtracji, zbliżone do zastosowanych w ispPAC10, 8-bitowy przetwornik C/A z wyjściem napięciowym oraz dwa programowalne komparatory analogowe. Wyjście jednego z komparatorów można zaprogramować do pracy synchronizowanej zewnętrznym sygnałem zegarowym lub do pracy asynchronicznej. Dodatkowe możliwości zapewnia element programowalny dołączony do wyjść obydwu komparatorów, który może spełniać rolę bramki ExOR (steruje asynchroniczne wyjście WINDOW) lub przerzutnika RS ustawianego sygnałem wyjściowym jednego z komparatorów i kasownego sygnałem z wyjścia drugiego komparatora.

Wzmacniacze wejściowe w *PACblockach* są nieco inne od stosowanych w ispPAC10. W jednym z dwóch torów wzmacniania/filtracji zastosowano wzmacniacz z multiplexersiem analogowym sterowany sygnałem z zewnątrz, w drugim torze obydwie wzmacniacze wejściowe obsługują po jednym kanale, ale projektant może wybrać:

- jeden z trzech sposobów zmiany polaryzacji wzmacniacza wejściowego,
- szybkość narastania sygnału na wyjściu wzmacniacza.

W interesujący sposób rozwiązano sterowanie wejść przetwornika C/A. Można go skonfigurować do pracy w następujących trybach:

- jako standardowy przetwornik C/A z 8-bitowym wejściowym portem równoległym,



Rys. 8.

- jako źródło napięcia (prądu) odniesienia, którego wartość ustala konstruktor poprzez odpowiedni wpis do nieulotnej pamięci EEPROM zintegrowanej w strukturze ispPAC20,
- jako przetwornik C/A programowany poprzez interfejs szeregowy SPI, który wykorzystuje wyprowadzenia interfejsu JTAG.

Ścieżki dostarczania danych do przetwornika C/A w układzie ispPAC20 przedstawiamy na rys. 7.

Parametry PAC-ów

Ponieważ obydwie obecnie produkowane układy ispPAC wykonano z wykorzystaniem prawie identycznych modułów, ich parametry są bardzo zbliżone. W tab. 1 znajduje się zestawienie najważniejszych parametrów elektrycznych obydwu układów.

Programowanie

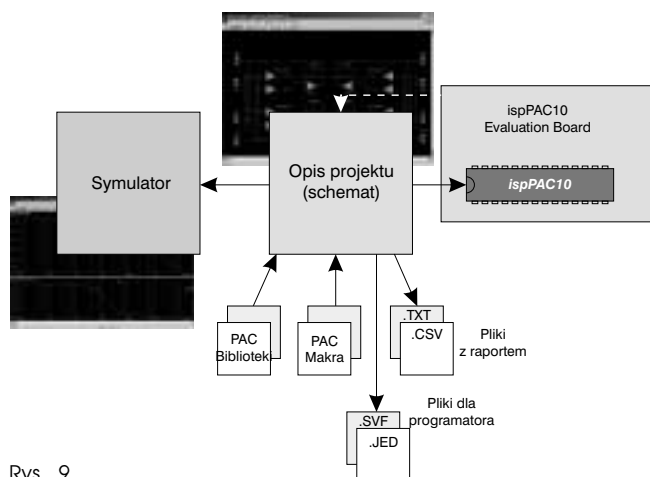
Obydwie układy ispPAC wyposażono w szeregowy interfejs JTAG. Dzięki niemu możliwe jest programowanie układów bezpośrednio w systemie, co pozwala m.in. dostosować parametry zaprojektowanego układu do zmieniających się wymagań aplikacji bez konieczności jego demontażu.

Chcąc umożliwić projektowanie aplikacji z układami ispPAC, firma Lattice op-

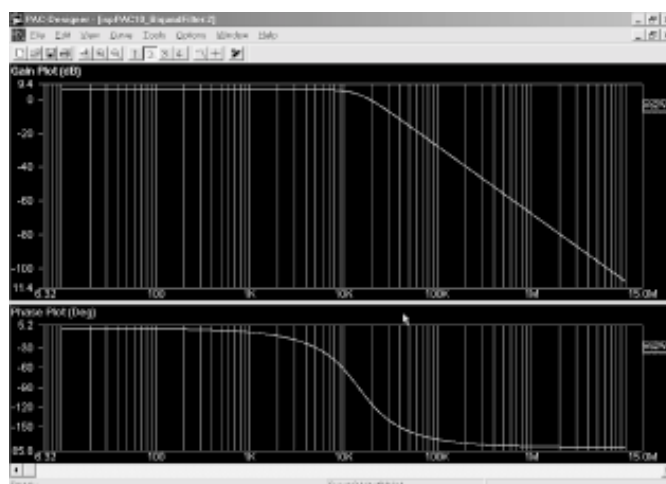
Tab. 1. Podstawowe parametry elektryczne układów ispPAC.

Typ układu	ispPAC10	ispPAC20
Napięcie zasilania [V]	5	5
Pobór prądu [mA]	23	21
Wydajność prądowa wzmacniaczy wyjściowych [mA]	10	10
Szybkość narastania sygnału na wyjściu wzm. [V/μs]	7,5	7,5
Szybkość narastania sygnału na wyjściu przetwornika C/A [V/μs]	-	1,3
Niestabilność wzmocnienia w funkcji temperatury [ppm/°C]	20	20
Napięcie wyjściowe toru wzmacniaczy/filtrów [V]	-3..+3	-3..+3
Obudowa	SOIC/DIP28	PLCC44

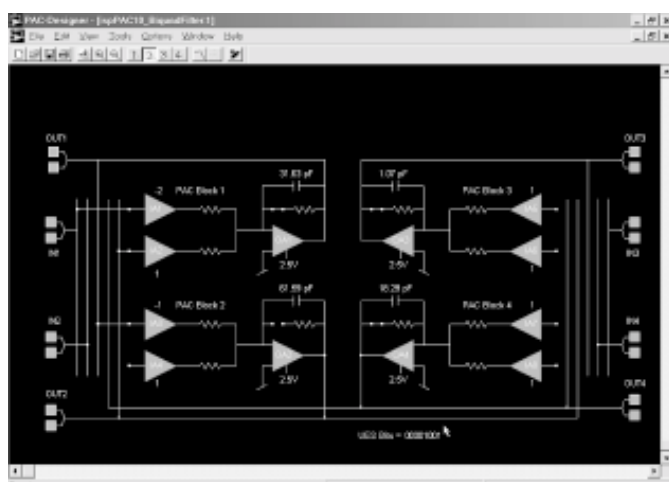
- Uwagi:**
1. Wejścia i wyjścia cyfrowe pracują w standardzie TTL.
 2. Gwarantowana monotoniczność konwersji przetwornika C/A w ispPAC20 wynosi ±1LSB.



Rys. 9.



Rys. 11.



Rys. 10.

racowała specjalny program narzędziowy PACDesigner. Sposób tworzenia projektu za pomocą PACDesignera przedstawiono

na rys. 9. Opis projektowanego układu jest prosty w realizacji, ponieważ rysuje się schemat połączeń pomiędzy wejściami i wyjściami poszczególnych modułów, zawartych w strukturze programowalnej, oraz konfiguruje się ich parametry. Przykładowy schemat przedstawiamy na rys. 10. PACDesigner jest wyposażony w analogowy symulator, który pozwala szybko ocenić działanie zaprojektowanego układu (rys. 11). Projekt można zapisać w postaci źródłowej lub wynikowej (plik w formacie JEDEC) dla programatora.

Możliwe jest także zaprogramowanie układu bezpośrednio z poziomu PACDesignera.

Nieco więcej szczegółów dotyczących PACDesignera przedstawiamy na str. 41.

Piotr Zbysiński, AVT
piotr.zbysinski@ep.com.pl

Program PACDesigner jest dostępny w Internecie (szczegóły na str. 41) oraz na płycie CD-EP3/2000 w katalogu \Programy\PAC-Designer.

Dokumentacja układów ispPAC wraz z notami katalogowymi jest dostępna w Internecie na stronie www.latticesemi.com oraz na płycie CD-EP3/2000 w katalogu \Nowe Podzespoły\ispPAC.

Przedstawicielami Lattice'a w Polsce są firmy: Eurodis (tel. (0-71) 675-741), WG-Electronics (tel. (0-22) 621-77-04) oraz Setron (tel. (0-22) 634-47-36).