

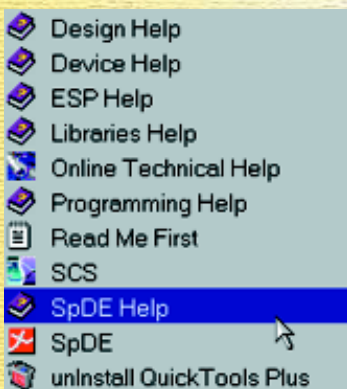
WEBASIC

czyli p(rawie)ASIC za darmo

Internet stał się prawdziwą kopalnią doskonałych narzędzi projektowych dla elektroników, szczególnie dla fanów mikrokontrolerów i układów programowalnych. Praktycznie wszystkie liczące się na świecie firmy produkujące tego typu podzespoły udostępniają pakiety narzędziowe w mniej lub bardziej doskonałych wersjach. Część z nich już opisaliśmy w EP, pozostałe stopniowo będziemy prezentować.

Znacznie dalej posunęła się amerykańska firma Quick Logic, która oprócz oprogramowania narzędziowego oferuje bezpłatnie próbki układów zaprogramowanych według projektu wykonanego z jego pomocą.

O tym jak zdobyć oprogramowanie, wykonać projekt i zamówić próbki piszemy w artykule.



Rys. 2.

Problem 1 - Internet

Ściągnięcie pakietu narzędziowego QuickWorks Lite jest największym problemem, na jaki natkniecie się w praktyce. Polega on na konieczności ściągnięcia, przez zatłoczoną do granic możliwość sieć, pliku o objętości - bagatelka - 42MB.

Przerażające? Udało mi się to zrobić w ciągu dwóch dni, przy czym całkowity czas transferu wyniósł ponad 32 godziny. Tak dobry (sic!) wynik udało mi się uzyskać tylko i wyłącznie dzięki zastosowaniu - jak się okazało doskonałego - narzędzia w postaci programu GetRight. Polecam!

Żeby jednak nie zniechęcić Was do wypróbowania oferty firmy QuickLogic, pakiet QuickWorks Lite zamieszczamy na płycie dołączonej do (niestety niektórych) egzemplarzy EP. Jeżeli jednak zdecydujecie się na samodzielne ściąganie programu z sieci, zachęcam do rozpoczęcia od głównej strony firmy QuickLogic, która znajduje się pod adresem <http://www.quicklogic.com> (rys. 1). Po wskazaniu myszką linku *Free Devices* pojawi się strona informacyjna, na której zawarto wszystkie informacje i warunki wykonania zamówionego układu. Program można ściągnąć ze strony: <http://www.quicklogic.com/tools/webtools>, bez konieczności wypełniania żadnego formularza, chociaż „po drodze” się taki pojawia.

Instalacja

Naturalną kolejną rzeczą program należy zainstalować, co odbywa się praktycznie w pełni automatycznie. Program instalacyjny pyta o numer identyfikacyjny klucza, co należy zignorować, ponieważ wersja *Lite* nie jest w żaden sposób zabezpieczona przed kopiowaniem.

Po zainstalowaniu pakietu należy ręcznie (niestety!) usunąć 81MB plików



Rys. 1.

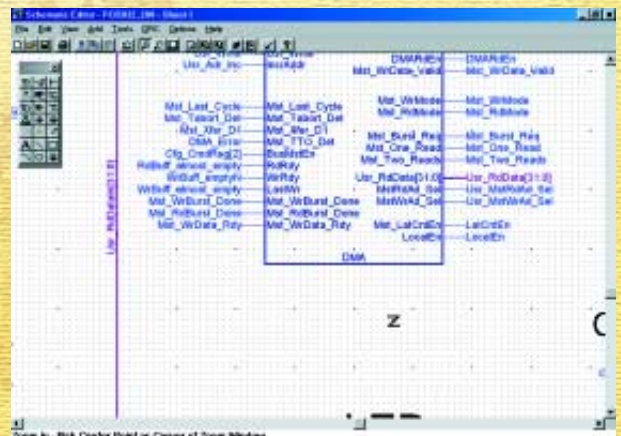
pozostałych po instalacji w katalogu `c:\windows\temp\qwlite`.

Rozpoczynamy pracę

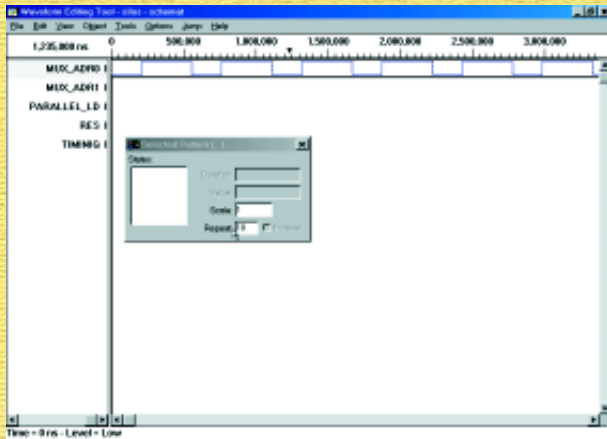
Folder z plikami *QuickWorks* zawiera stosunkowo wiele linków (rys. 2), spośród których najbardziej interesujące dla nas są SpDE (ang. Seamless pASIC Design Envi-



Rys. 3.



Rys. 4.



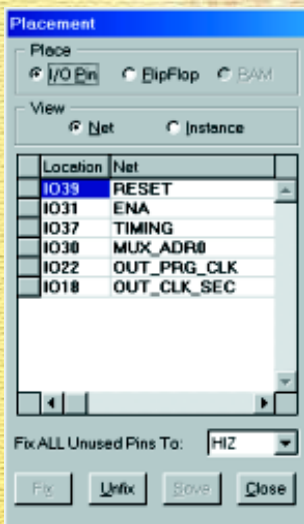
Rys. 5.



Rys. 6.

ronment) i SCS. Obydwa uruchamiają programy zarządzające tworzonym projektem, przy czym SpDE jest zacydowanie bardziej przyjazny użytkownikowi. Z tego powodu prezentację pakietu skupimy na SpDE. Swoją drogą zastanawiający jest fakt dostarczenia użytkownikowi aż dwóch programów realizujących dokładnie to samo zadanie, ale przecież darowanemu koniowi...

Widok okna działającego programu SpDE znajduje się na rys. 3. Z poziomu menu SpDE można uruchomić edytor schematów



Rys. 7.

(rys. 4), który zapewnia stosunkowo najprostsze definiowanie projektu, edytor hierarchii (istotny w przypadku projektów wielopoziomowych), edytor przebiegów (rys. 5) - który jest istotnym fragmentem symulatora i analizatora czasowego, edytor wyprowadzeń (rys. 6) lub edytor rozkładu projektu w makrocelach. Podczas dopasowywania przyjętych wyprowadzeń sygnałowych projektu do fizycznych wyprowadzeń układu scalonego pomocny jest prosty edytor tabelowy (rys. 7). Za jego pomocą można także określić zalecany stan nie wykorzystanych wyprowadzeń projektowanego układu.

Wszystkie etapy projektowania można na bieżąco weryfikować, do czego służy funkcja DRC w edytorze schematów oraz Project Verifier w SpDE (rys. 8). Wykryte błędy są pogrupowane jako błąd „fatalny” i „zwykły” (o b y d w a uniemożli-

wiają poprawną kompilację projektu) oraz wyświetlane są ostrzeżenia i uwagi. Nie ma niestety możliwości automatycznego wskazywania przez program SpDE miejsca powstałego błędu. Nieco lepiej ta funkcja sprawdza się w edytorze schematów.

Do kompilacji projektu można wykorzystać szereg interesujących narzędzi (rys. 9), które pozwalają na optymalizację dekompozycji projektu w zależności od wymagań użytkownika. Bardzo efektywnym wynikiem kompilacji jest schemat logiczny wnętrza układu (rys. 10), którego użyteczność jest szczerze mówiąc dyskusyjna, ale pozwala na przykład ocenić wykorzystanie macryc łączących makrocele.

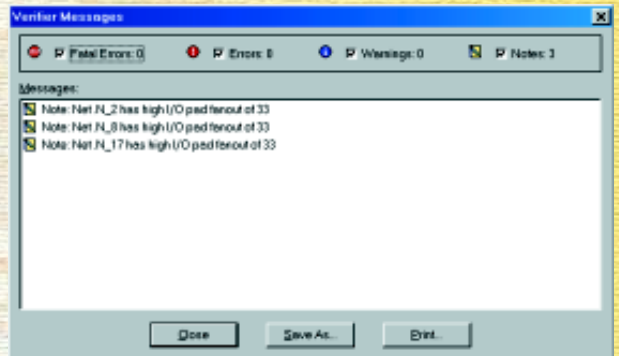
Bez dyskusyjnie użytecznym narzędziem jest natomiast analizator czasowy, który szacuje opóźnienia na ścieżkach sygnałów (rys. 11). Wyniki obliczeń prezentowane są w postaci tabeli lub wykresów (rys. 12

i 13). Ważną dla projektanta informacją jest także zestawienie wykorzystanych w projekcie zasobów układu docelowego (rys. 14).

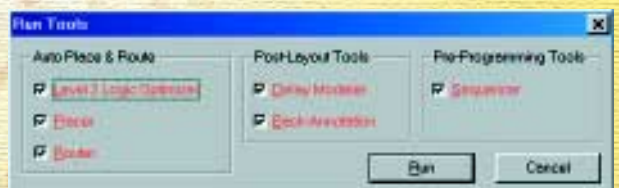
Tworzenie projektu

Wykonanie kompletnego projektu za pomocą QuickWorks wymaga wykonania następujących kroków:

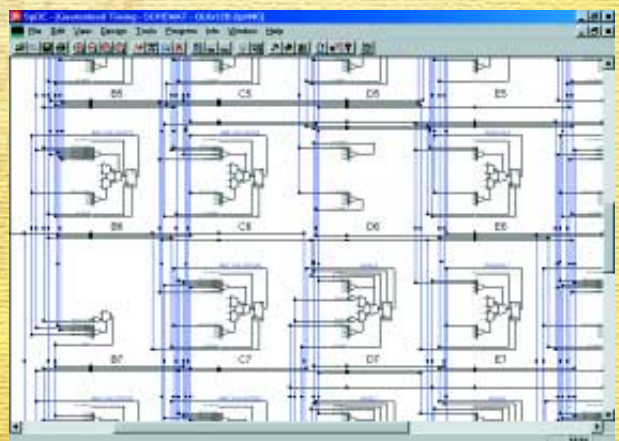
- Po uruchomieniu menedżera SpDS należy otworzyć edytor schematów i narysować w nim schemat układu. Praca ta jest łatwa, ponieważ w ramach pakietu dostarczane są bogate biblioteki gotowych elementów i bloków funkcjonalnych (rys. 15).
- Narysowany i sprawdzony za pomocą DRC schemat należy wczytać do SpDS i poddać kompilacji (tools\run selected tools). Jeżeli nie wystąpią błędy, można poddać edycji rozmieszczenie wyprowadzeń (tools\constraint\fix placement) lub przypisanie makrocel wybranym węzłom projektowanego układu logicznego. Opcjonalnie projekt można poddać analizie czasowej i funkcjonalnej.
- Interesujący nas wynik kompilacji jest w pliku tekstowym z rozszerzeniem *.chp (od chip), który zawiera wszystkie informacje o realizowanym projekcie.



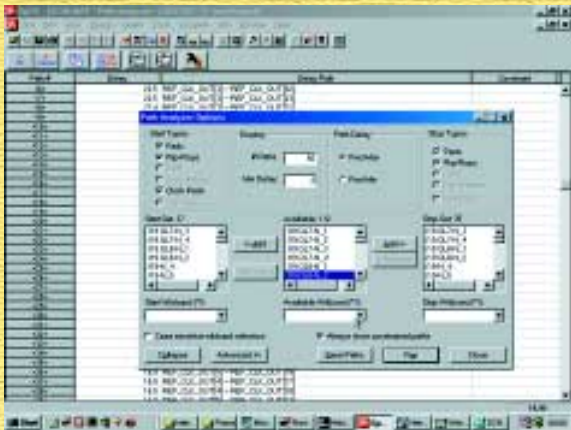
Rys. 8.



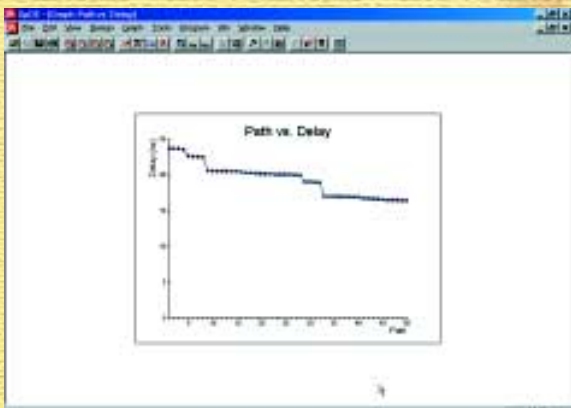
Rys. 9.



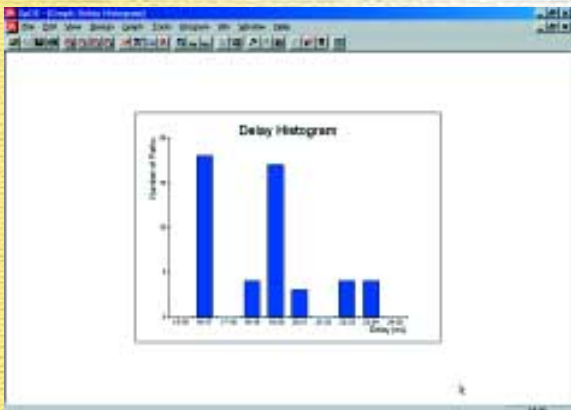
Rys. 10.



Rys. 11.



Rys. 12.



Rys. 13.

Resource Utilization	
Logic Cells	
Cell Used	46 (of 96 (50.0%))
WIP Buffers	46 (of 96 (50.0%))
Pad Cells	
Input/Output	6 of 32
Inputs only	0 of 8
Clocks only	0 of 2
Percent Utilized	15.6%
RAM Cells	
Cell Used	0 of 8
Flip-Flops	
Logic Cells	33 of 96
Interconnects	
Routing Resources	16.6%
Viability Resources	1.0%

Rys. 14.

Nie należy się sugerować opcją *program* widniejącą w menu narzędziowym - jest ona przeznaczona dla użytkowników komercyjnej wersji pakietu.

Co dalej?

Teraz możemy przejść do najłatwiejszej części „procesu produkcyjnego”, czyli zamówienia wykonania układu. Niezbędny do tego celu będzie oczywiście dostęp do Internetu. Formularz zamówienia znajduje się pod adresem: <http://www.quicklogic.com/gmpr1> (rys. 16). Do jego poprawnego wypełnienia konieczne będzie „podejrzanie” zawartości pliku z raportem projektu (*.rpt), gdzie w nagłówku znajduje się informacja o sumie kontrolnej pliku *.chp. Na rys. 17 miejsce to zaznaczono na niebiesko.

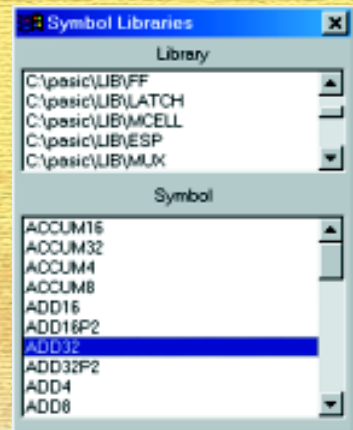
Należy także pamiętać o tym, aby dołączyć w odpowiednim miejscu formularza plik wynikowy *.chp, określić liczbę zamówionych układów (1..3 szt. jednego typu) i poprawnie wskazać układ docelowy - do tego celu służy rozwijane menu z pełną ofertą firmy.

Układ, który zaprojektowałem w ramach krótkiego testu, odebrałem po niecałym tygodniu oczekiwania. Oczywiście bezpłatnie.

Dlaczego to takie trudne?

Na koniec odpowiem na pytanie, jakie zadaje sobie z pewnością wielu z Was, zwłaszcza nieco zaznajomionych z układami programowalnymi: „Dlaczego Quick Logic zdecydował się na tak kosztowną i skomplikowaną logistycznie akcję reklamową?”.

Odpowiedź jest prosta: technologia wykorzystywana do programowania konfiguracji układu polega na przebicciu (zwarciu) miniaturowych "kondensatorów" (tj. elementów o budowie podobnej do kondensatorów: dwie ścieżki przewodzące rozdzielone izolatorem), zwanych w nomenklaturze firmy antybezpiecznikami (ang. antifuse). Jest to więc technologia umożliwiająca jednokrotne i nieodwracalne programowanie układu, co w pewnym stopniu zniechęca potencjalnych użytkowników. Dodatkową trudnością jest konieczność zakupu do laboratorium specjalnego programatora, co podnosi koszty procesu prototypowania.



Rys. 15.

Przytoczone wady nie dyskwalifikują jednak układów produkowanych przez firmę Quick Logic. Zastosowana bowiem technologia, dzięki małej impedancji punktów łączeniowych, zapewnia bardzo dużą szybkość działania zaprogramowanej struktury i znacznie mniejszy niż w przypadku matryc EEPROM lub Flash pobór prądu.

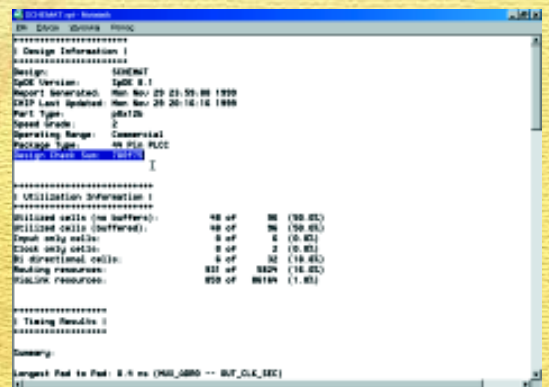
Tak więc zachęcam: każdy z Was może stać się posiadaczem własnego (prawie)ASICa.

Piotr Zbysiński, AVT
piotr.zbysinski@ep.com.pl

Pakiet QuickWorks Lite 8.1 oraz przykładowy projekt pt. „Schemat” znajduje się na płycie CD-EP01/2000, która jest dostępna wraz z EP w prenumeracie i w dużych punktach sprzedaży prasy.



Rys. 16.



Rys. 17.