

Alternatywa

czyli PSoC na '51

Panującą obecnie modę na układy PSoC (Programmable System on a Chip) można porównać do mody odzieżowej - właśnie teraz zaczyna się „to” nosić. Grono najbardziej zagorzałych zwolenników tej mody nadaje zjawisku „PSoC” trochę tajemniczości.

Przypomina to nieco (z niedalekiej przeszłości) „klany” speców od układów cyfrowych czy mikroprocesorów. Ostatnio pękają lody wokół PLD i VHDL, czas zatem i na PSoC-e...

Postanowiliśmy zająć się tematyką PSoC, które - tak jak i większość dotychczasowych high-technologii - są już częściowo dostępne „dla ludu”.



Zacznę od istotnego wyjaśnienia: PSoC w klasycznym wydaniu oznacza połączenie w jednej obudowie (coraz częściej także w jednej strukturze półprzewodnikowej) mikrokontrolera lub mikroprocesora z konfigurowalnymi peryferiami cyfrowymi, często również analogowymi. W bardziej zaawansowanych układach wbudowane są także konfigurowalne moduły w.cz., ale takie układy są jeszcze stosunkowo rzadko dostępne. Nie są to - jak widać - układy skomplikowane z punktu widzenia użytkownika, ale oferują możliwości dotychczas niedostępne dla pojedynczych układów.

Pierwsze wprowadzone na rynek układy PSoC wyposażano w mikrokontrolery lub mikroprocesory o zupełnie nowych architekturach (np. ARM), które z jednej strony zapewniały dużą wydajność i dobre dopasowanie do rekonfigurowalnego otoczenia, z drugiej strony ich stosowanie wymagało często dość radykalnej zmiany dotychczasowych przyzwyczajeń, czego nikt nie lubi.

Tę „dziurę” wykorzystała firma Triscend opracowując układy PSoC zbliżone budową do najbardziej zaawansowanych na rynku układów tego typu, ale zawierające doskonale znany elektronikom na całym świecie

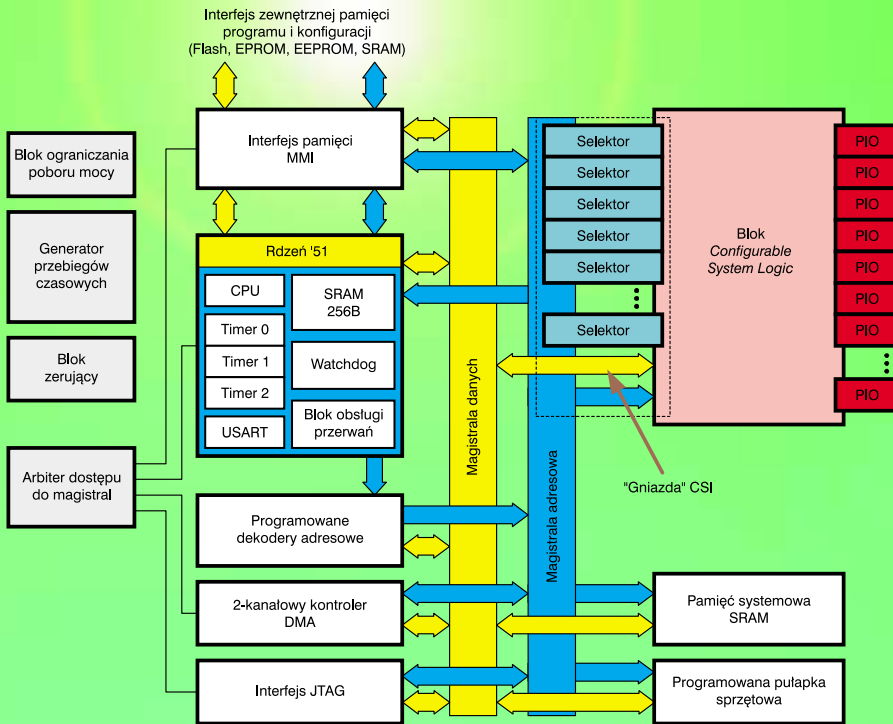
mikrokontroler 8051 (a właściwie 8052). Podobną koncepcję zastosował w układach FPSLIC Atmel z tą różnicą, że wbudował w nie mikrokontroler z rodziny AVR.

Triscend E5: '51 w wilczej skórze

Schemat blokowy układów E5 pokazano na rys. 1. Jak widać, oprócz kompletnego mikrokontrolera 8051 we wnętrzu układu znajdują się także: dwukanałowy kontroler bezpośredniego dostępu do pamięci DMA, programowany przez użytkownika dekodler adresów, pamięć RAM o pojemności od 64kb do 512kb (tab. 1) i 8-bitowym słowie danych oraz blok konfi-

Tab. 1. Zestawienie podstawowych parametrów dostępnych układów PSoC z rodziny E5.

Typ układu	Pojemność wbudowanej pamięci RAM [kB]	Liczba komórek logicznych w CSL	Liczba dekodlerów adresowych CSI	Maksymalna liczba programowanych I/O
TE502	8	256	16	92
TE505	16	512	32	124
TE512	32	1152	72	188
TE520	40	2048	128	252
TE532	64	3200	200	316



Rys. 1.

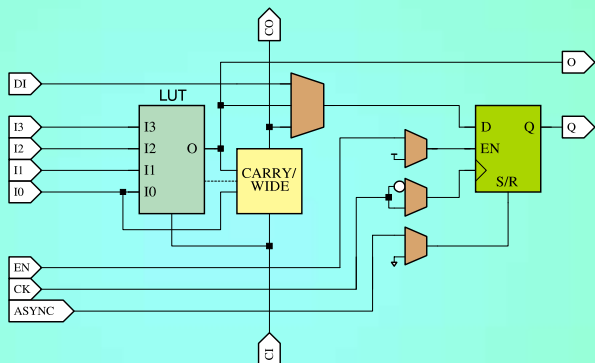
gurowalnej logiki CSL (*Configurable System Logic*), który decyduje o tym, że układy z rodziny E5 można określić mianem PSoC. W układy E5 wbudowano także interfejs JTAG (IEEE 1149.1), który służy do funkcjonalnego testowania układu po zainstalowaniu w systemie. Można go wykorzystać także do zapisywania zewnętrznej pamięci SRAM, która spełnia rolę pamięci programu dla mikrokontrolera i pamięci konfiguracyjnej dla bloku CSL. Podczas uruchamiania systemów zaprojektowanych w oparciu o układy E5 pomocny może być blok pułapki sprzętowej, za pomocą której można wykrywać dwa elastycznie definiowane zdarzenia zachodzące w mikrokontrolerze lub w bloku logiki CSL.

Zastosowany przez Triscenda rdzeń '51 został udoskonalony w stosunku do pierwowzoru, dzięki czemu cykl rozkazowy trwa zaledwie 4 takty zegarowe zamiast standardowych 13. Ponieważ maksymalna częstotliwość taktowania wynosi 40MHz,

maksymalna szybkość wykonywania programu wynosi aż (jak na '51) 10MIPS.

O ile mikrokontroler zintegrowany w układach E5 należy - pomimo znaczących udoskonaleń - uznać za element standardowy, to dzięki dołączeniu do niego bloku PLD (*Programmable Logic Device*) możliwości układu są bardzo duże. W zależności od wariantu układu (zestawienie znajduje się w tab. 1) liczba konfigurowalnych komórek logicznych wynosi od 256 aż do 3200, czyli liczbę komórek dostępnych w wielu rynkowych układach FPGA (np. AT6005 firmy Atmel - 3136 komórek logicznych) i CPLD (np. Delta39K200Z - 3072 makrokomórki).

Schemat konfigurowalnej komórki logicznej, podstawowego elementu bloku CSL, przedstawiono na rys. 2. Swoją budową przypomina ona konfigurowane komórki logiczne stosowane w klasycznych układach FPGA, za pomocą których można zrealizować praktycznie dowolną funkcję logiczną (kombinacyjną, realizowaną w 4-wejściowej tablicy-generatorze funkcji logicznej LUT lub układ synchroniczny za pomocą przerzutnika), a nawet pamięć RAM/ROM, ponieważ w przypadku braku wystarczających zasobów lokalnych jest możliwe łączenie zasobów komórek sąsiadujących ze sobą. Czas propagacji sygnału



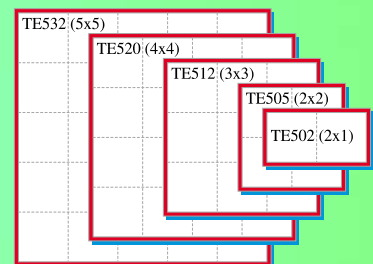
Rys. 2.

Tab. 2. Wybrane biblioteczne bloki funkcjonalne dla CSL udostępniane przez firmę Triscend.

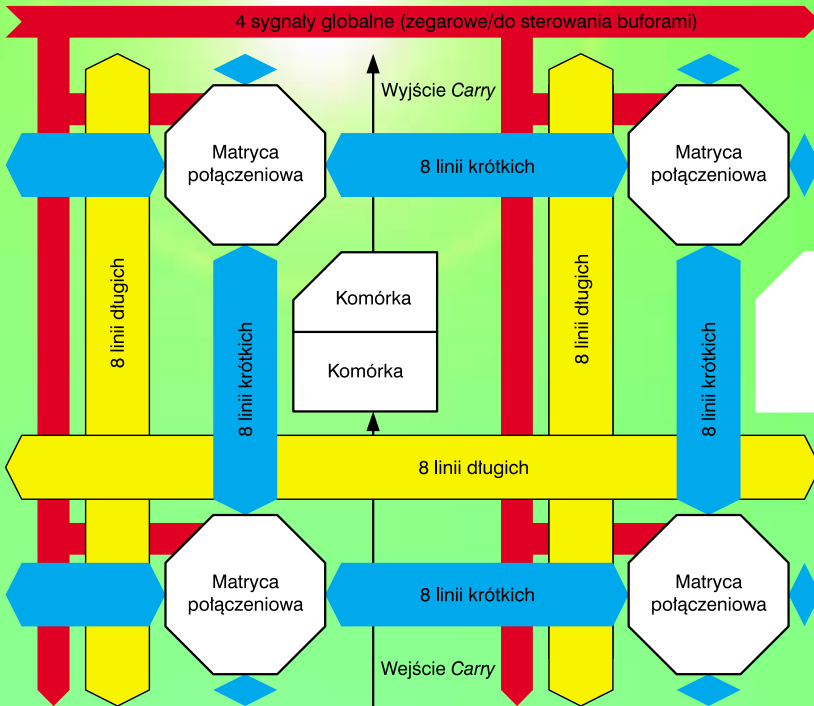
Interfejsy szeregowe	
✓	UART
✓	UART - tylko Rx
✓	UART - tylko Tx
✓	UART ze sterowaniem modemu
✓	Master SPI
✓	generator częstotliwości wzorcowych
✓	I ² C M/S
✓	I ² C - Master
✓	I ² C - Slave
✓	HDLC Tx/Rx
Bloki uniwersalne	
✓	licznik dwójkowy z ładowaniem równoległym
✓	sumator rejestrowy
✓	akumulator
✓	komparator
✓	multiplikator
✓	rejestr przesuwany
Bloki pamięciowe	
✓	RAM
✓	ROM
✓	FIFO
✓	FIFO
Sterowniki wyświetlaczy	
✓	sterownik 7-segmentowego wyświetlacza LED
✓	sterownik alfanumerycznego wyświetlacza LCD
✓	sterownik graficznego wyświetlacza LCD
Interfejsy	
✓	Ethernet
✓	CAN
✓	USB
Szyfrowanie	
✓	3DES
✓	Single DES ECB
✓	Single DES CBC

przez każdą z komórek logicznych nie przekracza w najgorszym przypadku 5ns, przy czym całkowity czas propagacji sygnału w 16-bitowym sumatorze-subtraktorze nie przekracza 25ns, a maksymalna częstotliwość zliczania 16-bitowego licznika wynosi 40MHz.

Komórki logiczne są łączone w grupy po 128 (8 kolumn i 16 wierszy) tworząc banki CSL, których liczba jest różna w zależności od typu układu (rys. 3). Komunikację pomiędzy zespołami komórek oraz otoczeniem zapewniają magistrale połączeniowe, których konfiguracja jest dostosowywana do konkretnej aplikacji, tak jak ma to miejsce w standardowych układach PLD. Konfigurację zasobów połączeniowych dostępnych dla komó-



Rys. 3.



Rys. 4.

rek logicznych pokazano na **rys. 4**. Ponieważ liczba linii połączeniowych, dostępnych dla użytkownika jest stosunkowo niewielka, efektywność ich wykorzystania podnoszą 4 dodatkowe linie globalne (dostępne dla wszystkich komórek jednocześnie), za pomocą których można przesyłać sygnały zegarowe oraz sterujące pracą trójstanowych buforów wyjściowych.

Układy E5 komunikują się z otoczeniem za pomocą wyprowadzeń o programowalnych funkcjach. Wyprowadzenia uniwersalne, przeznaczone do współpracy z otoczeniem, oddzielono od wyprowadzeń zapewniających dostęp mikrokontrolera do zewnętrznej pamięci programu. Wyprowadzenia te (oznaczone jako PIO na **rys. 1**) są bezpośrednio dołączone do bloku CSL, w którym zintegrowano pokazne zasoby logiczne współpracujące z każdym wyprowadzeniem. Na **rys. 5** pokazano budowę komórek I/O współpracujących z wyprowadzeniami PIO. Jak łatwo zauważyć, mogą one spełniać rolę samodzielnych trójstanowych buforów-pamięci dla sygnałów wejściowych i wyjściowych z programowaną szybkością narastania sygnału na wyjściu, programowaną histerezą wejściową i zabezpieczeniem przed brakiem sygnału logicznego na wejściu.

Układy E5 są przystosowane do zasilania napięciem o wartości 3...3,6V, ale bufor wejściowe i wyjściowe umożliwiają bezpośrednią współpracę ze standardowymi układami TTL i większością układów cyfrowych CMOS zasilanych napięciem 5V. Obniżenie napięcia zasilania wyniknęło przede wszystkim z chęci

ograniczenia poboru mocy przez układ. Podczas normalnej pracy mikrokontroler w układzie TE520 pobiera ok. 18mW/MHz, a w najmniejszym z dostępnych układów - TE502 - ok. 4,5mW/MHz. Dostępne są także tryby pracy ze znacznie ograniczonym poborem mocy.

Narzędzia wspomagające projektowanie

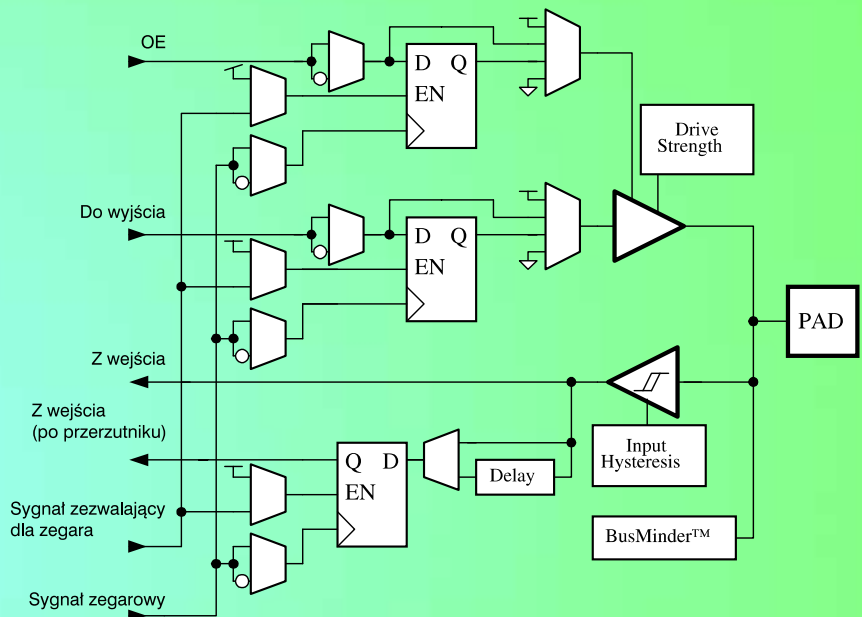
Projektowanie systemów implementowanych w układy E5 nie jest wbrew pozorom zadaniem zbyt trudnym, a to dzięki opracowanemu przez firmę Triscend programowi narzędziowemu *Triscend FastChip*. Jest to

łatwy w obsłudze integrator projektu (przykładowe okna konfiguracji są widoczne na **rys. 6**), za pomocą którego można skonfigurować wszystkie peryferia wchodzące w skład układu oraz zaimplementować w bloku logiki konfigurowalnej blok funkcjonalny wybrany z bogatej biblioteki takich bloków, przygotowanej przez producenta (najważniejsze z dostępnych elementów bibliotecznych wymieniono w **tab. 2**). Jeżeli projektant chce zaimplementować w bloku logiki konfigurowalnej element spoza standardowej biblioteki, może przygotować go za pomocą dowolnego narzędzia CAD\CAE eksportującego projekty w formacie EDIF. Tak opisane projekty mogą być importowane do programu *Triscend FastChip* i wykorzystywane jako elementy biblioteczne.

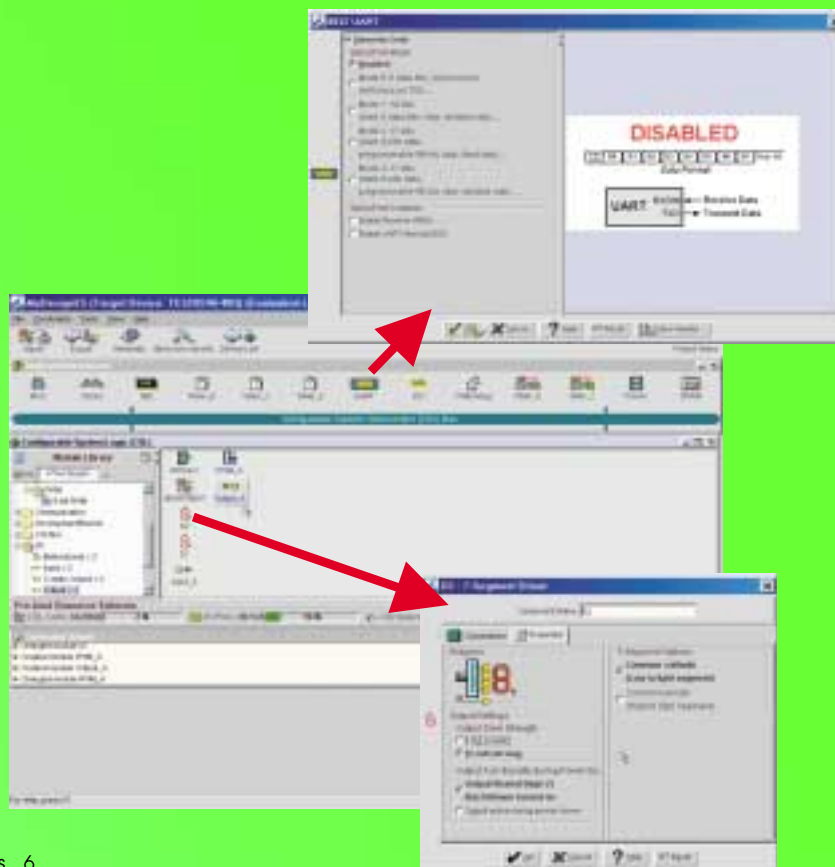
Program odpowiadający za inicjalizację i konfigurację układu jest na żądanie generowany w postaci kodu w języku ANSI C lub assemblerze.

Interfejs programu jest przyjazny operatorowi, a szczególnie duże znaczenie dla łatwości obsługi ma zastosowanie przez twórców oprogramowania graficznego podziału bloków funkcjonalnych wbudowanych w układy E5 na te, w które układy E5 są wyposażone standardowo (górną część paska narzędziowego środkowego okna na **rys. 6**) i bloki wybierane i konfigurowane przez użytkownika (implementowane w bloku CSL).

Oprócz oprogramowania narzędziowego Triscend udostępnia swoim odbiorcom różnego rodzaju zestawy ewaluacyjne i uruchomieniowe, w tym zestaw prezentujący możliwość zintegrowania systemu wykonanego na układzie z rodziny E5 z Internetem. Uniwersalny zestaw uruchomieniowy,



Rys. 5.



Rys. 6.

w skład którego wchodzi m.in. płytka laboratoryjna i programator-konfigurator JTAG pokazano na fot. 7.

Podsumowanie

Układy PSoC z rodziny E5 firmy Triscend są moim zdaniem bardzo atrakcyjną propozycją dla polskich konstruktorów. Ponieważ '51 są obecnie najpopularniejszymi mikrokontrolerami stosowanymi w szeregu różnorodnych aplikacji, konstruktorzy powinni podejmować próby oszacowania ekonomicznej sensowności stosowania standardowych rozwiązań układowych i stopniowo przechodzić - oczywiście głównie w przypadku sprzętowo większych aplikacji - na układy PSoC.

Zapewniają one ograniczenie wymiarów płytki drukowanej, obniżenie poboru mocy, pozwalają także tworzyć urządzenia w pełni adaptowalne sprzętowo - programowo, także do chwilowych wymagań aplikacji. Ponadto, projektanci nie muszą zmieniać swoich najsilniejszych przyzwyczajeń i nadal skupiać się na „ujarzmianiu“ '51.

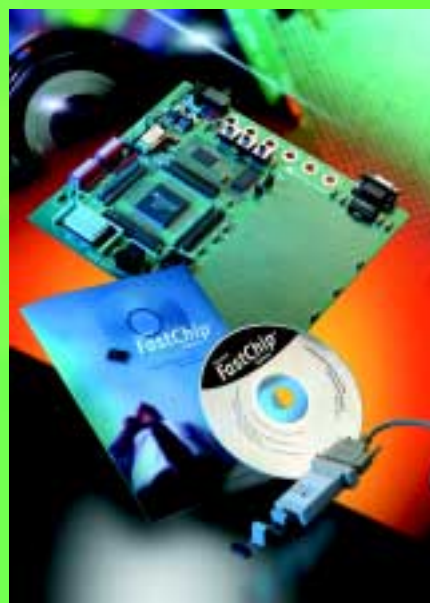
Piotr Zbysiński, AVT
piotr.zbysinski@ep.com.pl

Dodatkowe informacje

Dystrybutorem układów E5 firmy Triscend jest firma Memec, tel. (32) 238-05-60, www.atest.com.pl/memec/kontakty.htm.

Dodatkowe informacje o układach E5 są dostępne w Internecie pod adresem: <http://www.triscend.com/products/IndexE5.html>.

Ewaluacyjna wersja oprogramowania Triscend FastChip jest dostępna w Internecie pod adresem: ftp://ftp.triscend.com/fc220/fc220_new.exe. W odróżnieniu od pełnej wersji komercyjnej umożliwia ona implementację projektów w bloku CSL o maksymalnej liczbie komórek logicznych 256. Pozostałe parametry użytkowe ewaluacyjnej wersji programu są identyczne z parametrami wersji komercyjnej.



Fot. 7.