

# 2 x więcej logiki

## Druga generacja układów ATF15xx firmy Atmel

*Kilka lat temu Atmel wprowadził do swojej oferty układy programowalne rodziny ATF15xx będące odpowiednikami, wtedy już dobrze osadzonych na rynku, układów MAX7000 i wprowadzonych nieco później MAX3000. Teraz wprowadzono udoskonalenia, które zaowocowały znacznym zwiększeniem elastyczności układów.*

Podjęte przez Atmela próby stworzenia rodziny układów alternatywnych w stosunku do układów Altery, będących odpowiednikami popularnej rodziny MAX7000 zakończyły się częściowym sukcesem. Szczególnym powodzeniem cieszyły się układy z wymuszoną przez odbiorców niską ceną, co zresztą było zgodne z filozofią Atmela. Ponieważ cenowa konkurencja nie wpływała korzystnie na interesy Altery, inżynierowie tej firmy dość szybko wyłapali i w

wrześniu 1998 roku ujawnili różnice pomiędzy oryginalnymi układami MAX7000 i ich odpowiednikami z oferty Atmela.

Od tego czasu upłynęło kilka lat pozornego bezruchu, których jednak Atmel nie przespał: w sierpniu 2001 pojawiły się wstępne informacje o drugiej generacji układów z serii ATF15xx, w których zastosowano nieco zmodyfikowaną architekturę, dzięki której zwiększono możliwość wykorzystania wewnętrznych zasobów logicz-

nych do ponad 60%. Jak to jest możliwe?

### Niedoskonałości układów programowalnych

W zależności od punktu widzenia, niedoskonałości w układach PLD można znaleźć wiele lub wcale. Tutaj skupimy się na niezwykle rozpowszechnionym marnotrawieniu zasobów logicznych znajdujących się w tych układach. Większość producentów podaje dwa parametry cha-

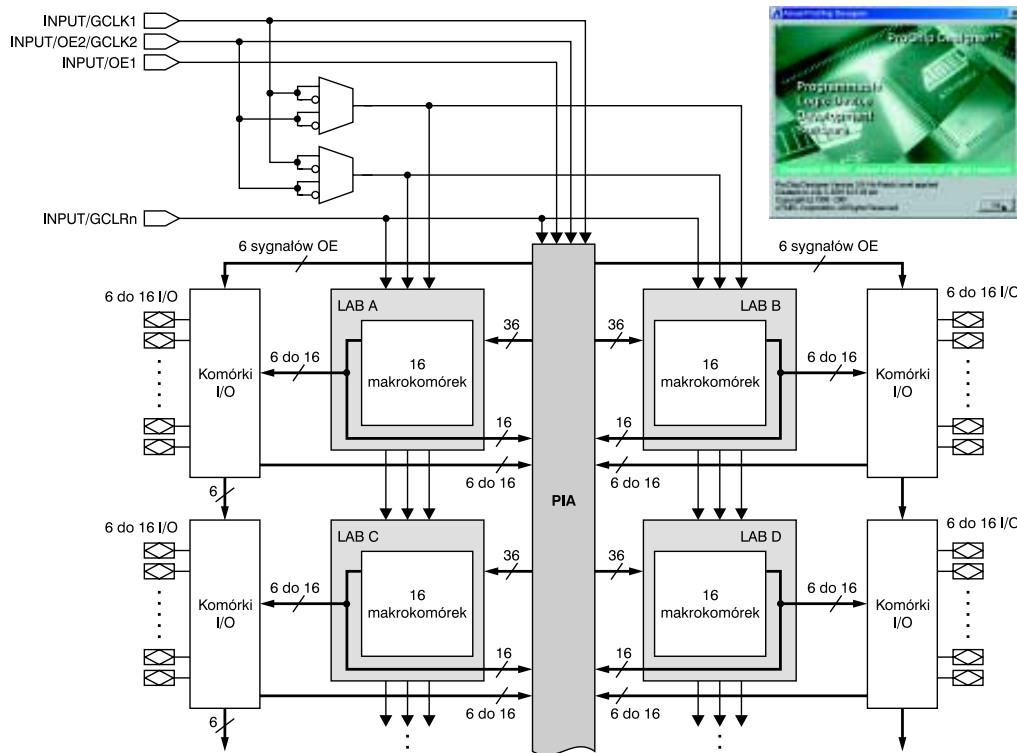
rakteryzujące wielkość zasobów logicznych produkowanych przez siebie układów: liczbę bramek logicznych upakowanych w strukturze i liczbę bramek „użytecznych“, których zazwyczaj jest o połowę mniej. Można więc z dobrym przybliżeniem stwierdzić, że niemal połowa zasobów logicznych zintegrowanych w PLD nie jest wykorzystywana i to niezależnie od rodzaju aplikacji.

Taka „rozrzutność“ jest wynikiem silnego zhierarchizowania architektur układów programowalnych o średniej i dużej skali integracji (przykład budowy układów MAX7000 pokazano na rys. 1), a także wyposażania układów w wiele - często nadmiarowych - funkcji (np. lokalne sterowanie buforami trójstanowymi OE, lokalnie generowane sygnały zegarowe, sygnały ustawiające lub kasujące przerzutniki itp.), do realizacji których są niezbędne wydzielone zasoby logiczne.

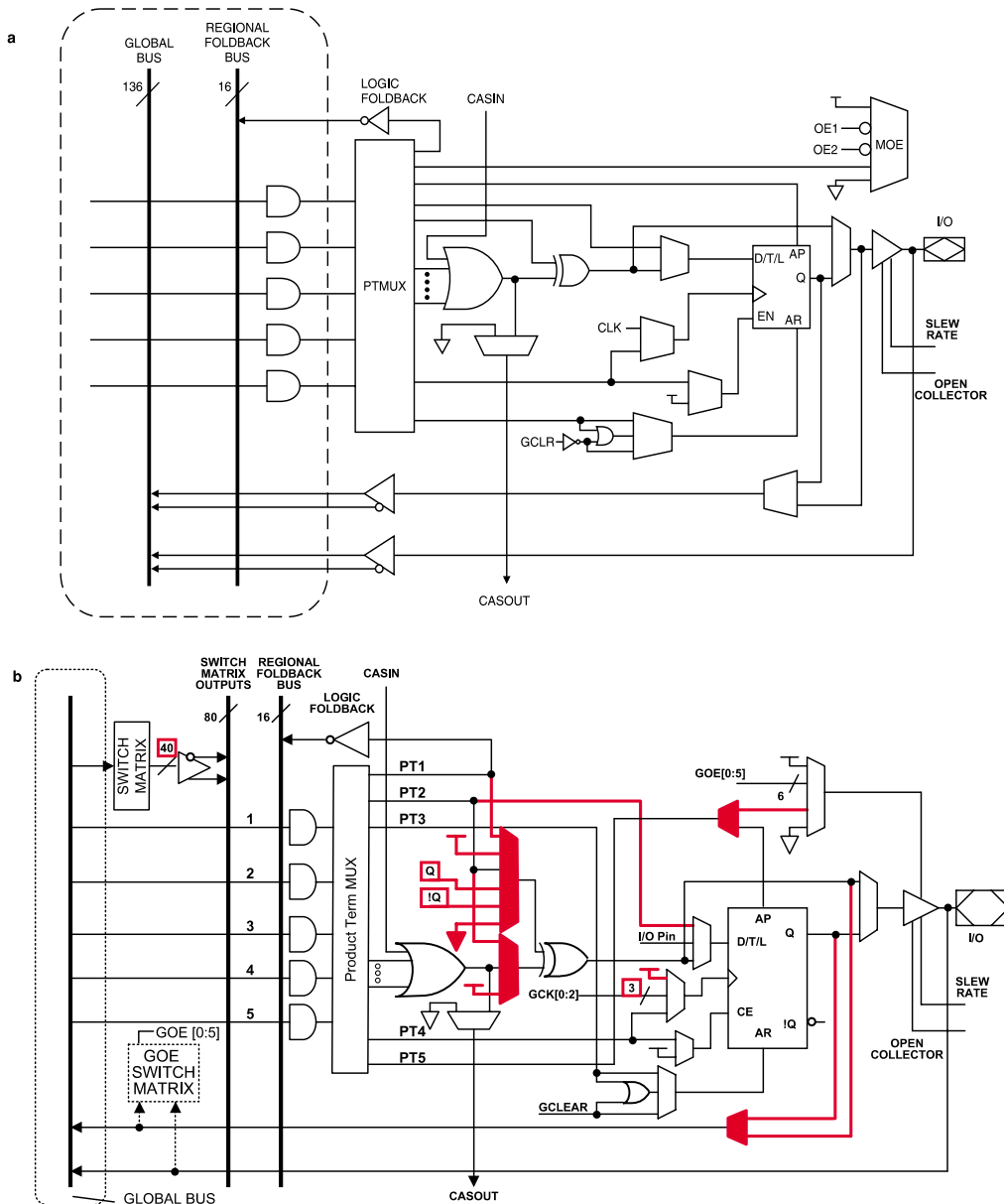
Niezwykle kosztowne jest także zaimplementowanie w strukturze programowalnej niezbędnych zasobów połączeniowych, dzięki którym komórki logiczne można łączyć ze sobą oraz z otoczeniem. Pomimo wprowadzania do produkcji układów coraz nowocześniejszych technologii, ciągle obowiązują dwie dawno ustalone zależności:

- wzrost powierzchni niezbędnej do wykonania matrycy połączeniowych jest równy kwadratowi współczynnika zwiększenia liczby komórek logicznych (czyli w układzie ze 128 makrokomórkami zajmuje ona powierzchnię 4-krotnie mniejszą niż w układzie z 256 makrokomórkami),
- pojemność obciążająca linie sygnałowe w matrycach połączeniowych jest także zależna w kwadracie od ich liczby (a więc ich powierzchni), przez co silnie wpływa na parametry czasowe układu.

Tak więc, ogromną elastyczność układów CPLD (ang. Complex PLD) okupiono niewielkim współczynnikiem wykorzystania ich zasobów, co stanowi jedną z ich poważniejszych niedoskonałości.



Rys. 1.



Rys. 2.

**Atmel znalazł lekarstwo**

Część problemów związanych z „marnotrawieniem” zasobów logicznych układów PLD udało się rozwiązać inżynierom firmy Atmel, którzy modyfikując nieco budowę makrokomórek logicznych w układach rodziny ATF15xx spowodowali, że stały się one znacznie bardziej elastyczne niż układy produkowane dotychczas. Na rys. 2 porównano budowę makrokomórek stosowanych w dotychczas produkowanych (rys. 2a) i nowo opracowanych układach (rys. 2b). Wprowadzone modyfikacje zaznaczono na rys. 2b na szaro.

Podstawowe udoskonalenia wprowadzone do układów ATF15xx drugiej generacji polegają na:

- wprowadzeniu multipleksowego przełącznika (ang. Switch Matrix) umożliwiającego wybranie dowolnych 40 sygnałów (zamiast 16..18 w większości układów CPLD) z magistrali globalnej i przekazanie ich w postaci prostej i zanegowanej na lokalną magistralę wejściową makrokomórki,
- możliwości implementacji w makrokomórce dodatkowego przerzutnika typu D (a nawet kilku przerzutników, w tym Latch i RS), dzięki czemu - oczywiście w specyficznych konfiguracjach makrokomórki - wykorzystanie jej lokalnych zasobów sięga nawet 90%,
- rozbudowaniu systemu konfiguracji ścieżek sygnałów, co umożliwia dodatkowe

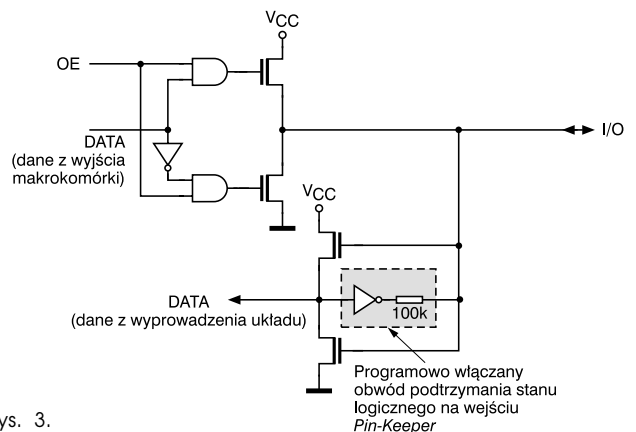
multipleksery zastosowane w makrokomórkach (za ich pomocą można zestawić aż 1080 ścieżek sygnałów w stosunku do 232 w układach ATF15xx pierwszej generacji),

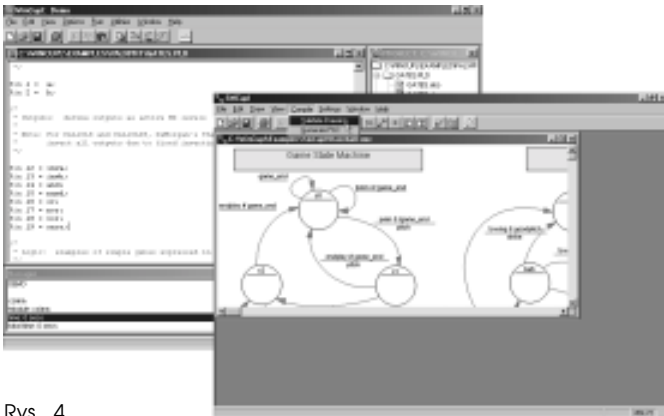
- wprowadzeniu aż 6 globalnych sygnałów sterujących pracą buforów wyjściowych OE oraz możliwości wytwarzania takiego sygnału lokalnie w każdej makrokomórce,
- wprowadzeniu dodatkowego, trzeciego globalnego sygnału zegarowego,
- umożliwieniu bezpośredniego podawania sygnału z wyprowadzenia I/O na wejście danych przerzutnika,
- zmodyfikowaniu ścieżki sygnału sprzężenia zwrotnego z wyjścia makrokomórki, który w układach drugiej generacji jest pobierany bezpośrednio z wyjścia przerzutnika lub wyjścia bramki ExOR.

W układach nowej rodziny ATF15xx wprowadzono także w rozwiązania, które sprawdziły się w układach pierwszej generacji, są to:

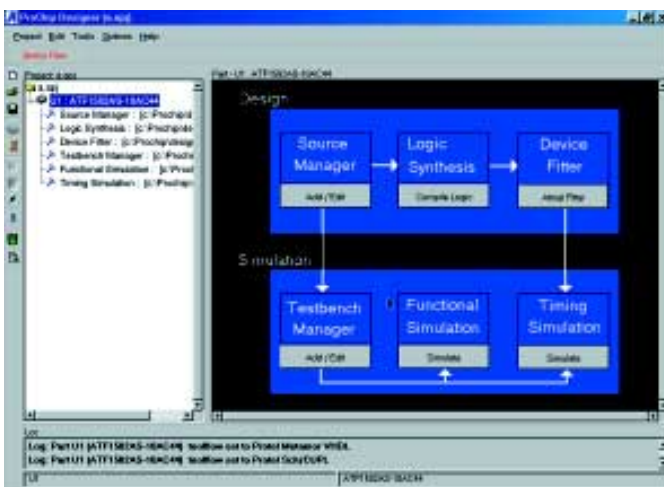
- programowane obwody podtrzymania stanu logicznego na wejściu układu *PinKeeper* (rys. 3), które zapobiegają „pływaniu” wejść, obniżają pobór mocy, zwiększają także stabilność pracy układu,
- programowo uruchamiany blok automatycznego obniżania pobieranej przez układ mocy w stanie statycznym ITD (ang. Input Transition Detection), który śledzi zmiany sygnałów na wejściach układu i samoczynnie przełącza go w ciągu ok. 1µs ze stanu obniżonego poboru mocy (pobiera ok. 1mA) do stanu pełnej aktywności,
- możliwość sprzętowego ograniczania poboru mocy za pomocą specjalnych wejść,
- bufor wyjściowy mają programowaną przez użytkownika szybkość narastania sygnału na wyjściu, można je także skonfigurować w tryb pracy z otwartym drenem,
- wbudowany interfejs JTAG kompatybilny ze standardem IEE1532.

Rys. 3.





Rys. 4.



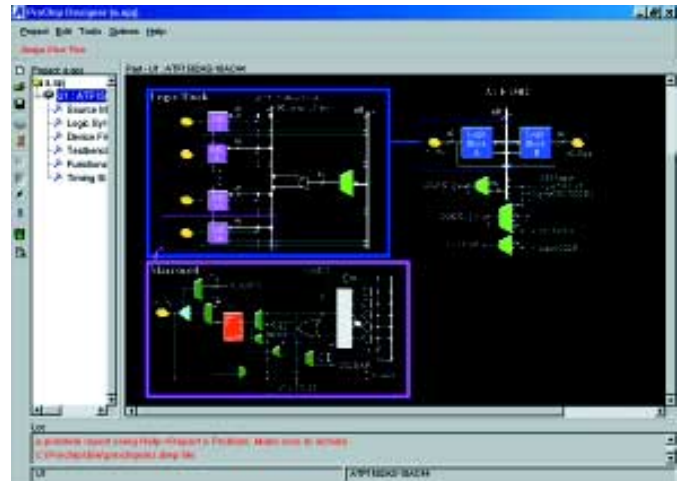
Rys. 5.

**Narzędzia**

Wykorzystanie możliwości oferowanych przez układy ATF15xx nowej generacji wymaga zastosowania nowych programów *fitterów*, który odpowiada za wpasowanie zaprojektowane-

go układu w strukturę programowalną.

Nowe *fittery* są dostępne na stronie WWW firmy Atmel. Oprócz nich jest dostępna także uaktualniona wersja WinCUPL-a (rys. 4), a także zupełnie nowe



Rys. 6.

narzędzie - pakiet ProChip Designer.

Za pomocą ProChip Designera (rys. 5 i 6) można tworzyć projekty z wykorzystaniem języków VHDL i CUPL, można także - korzystając z edytora schematów Protela 99SE - rysować schematy logiczne realizowanych układów.

W przypadku korzystania z języka VHDL ProChip Designer wykorzystuje zewnętrzne narzędzie PeakFPGA firmy Altium (do niedawna Protel, dawniej Accolade, przedtem Green Mountain Computing Systems oraz Metamor). W takim przypadku nie ma możliwości wykorzystywania w projekcie innych bloków funkcjonalnych niż opisane tekstowo w języku VHDL. Wykorzystanie w projekcie schematu elektrycznego narzuca konieczność zastosowania do opisu języka CUPL-a.

WinCUPL jest udostępniany przez firmę Atmel bezpłatnie, natomiast ProChip Designer - przynajmniej na razie - tylko w 30-dniowej wersji ewaluacyjnej.

Udostępnienie nowego narzędzia nie oznacza wycofania się Atmela z dotychczasowej polityki „podbierania“ klientów Alterze. Właśnie dlatego powstała nowa, tym razem windowsowa (rys. 7), wersja programu PO2JED, konwertującego pliki wynikowe POF (wynik pracy systemu Max+Plus II) do postaci JEDEC, akceptowanej przez układy Atmela. Program ten, podobnie do programu AtmISP obsługującego programatory ISP, jest udostępniany przez producenta bezpłatnie.

Na stronie internetowej Atmela jest dostępny także program JED2AHDL,

za pomocą którego można dokonać konwersji plików JEDEC na opis logiczny w języku ABEL. **Piotr Zbysiński, AVT**

*Dodatkowe informacje są dostępne w Internecie pod adresami:*

- <http://www.atmel.com/corp/brochures/2303a/?banner> - prezentacja możliwości układów ATF15xx drugiej generacji,
- <http://www.peakfpga.com/vhdlref/index.html> - kurs VHDL,
- <http://www.atmel.com/atmel/products/prod144.htm> - noty katalogowe układów SPLD i CPLD firmy Atmel.

*Programy WinCUPL oraz ProChip Designer są dostępne pod adresami:*

- <ftp://www.atmel.com/pub/atmel/setupex.exe> - WinCUPL,
- <ftp://www.atmel.com/pub/atmel/pcdtrial.zip> - ProChip Designer,
- <http://www.atmel.com/atmel/products/prod2r.htm> - rejestracja WinCUPLa i ProChip Designera.

*Noty katalogowe układów ATF15xx drugiej generacji oraz programy POF2JED, AtmISP, WinCUPL oraz ProChip Designer zamieściliśmy na płycie CD-EP10/2001.*

**Tab. 1. Zestawienie najważniejszych informacji o układach ATF15xx pierwszej i drugiej generacji.**

Generacja	Typ układu	Liczba makrokomórek	Napięcie zasilania [V]	Czas propagacji [ns]
1	ATF1500A/AL	32	5	7...15/20
1	ATF1500ABV	32	3,3	12...15
1	ATF1502AS/ASL	32	5	7...15/25
1	ATF1502ASV	32	3,3	15/25
1	ATF1504AS/ASL	64	5	7...15/20
1	ATF1504ASV/ASVL	64	3,3	15/20
1	ATF1508AS/ASL	128	5	7...15/20
1	ATF1508ASV/ASVL	128	3,3	15/20
2	ATF1502SE/SEL	32	5	6...10/15
2	ATF1502AEV/AEL	32	3,3	4...10/15
2	ATF1504SE/SEL	64	5	5...10/15
2	ATF1504AE/AEL	64	3,3	4...10/15
2	ATF1508SE/SEL	128	5	6...15/15
2	ATF1508AE/AEL	128	3,3	5...10/15
2	ATF1516SE/SEL	256	5	7...15/15
2	ATF1516AE/AEL	256	3,3	5...10/15
2	ATF1532AE/AEL	512	3,3	5...10/15



Rys. 7.