

# IEEE1532

## Nowoczesny standard programowania i konfigurowania układów PLD

*Programowanie układów w systemie zdobywa coraz większą popularność zarówno wśród producentów półprzewodników jak i projektantów układów. Sukces tej techniki programowania był od samego początku oczywisty, lecz z prawdziwym impetem zaczął wkraczać na rynek po roku 1991, kiedy to światowym standardem stał się JTAG. Od tego czasu upłynęło wiele lat, nadeszła więc pora modyfikacji standardu, o czym właśnie piszemy w artykule.*

Historycznie najstarszym interfejsem ISP (ISP - ang. In System Programmability) był wprowadzony przez firmę Lattice w roku 1990 w układach serii ispLSI1000/2000 interfejs szeregowy będący autorskim opracowaniem tej firmy. Nie znalazł on uznania u szerokiego grona użytkowników i dość szybko rolę standardu ISP przejął słynny JTAG. Wprowadzenie do produkcji układów ISP było możliwe dzięki rozpowszechnieniu się tanich technologii Flash i EEPROM, które to zastosowano do produkcji matryc pamięci przechowujących mapy konfiguracji struktur logicznych.

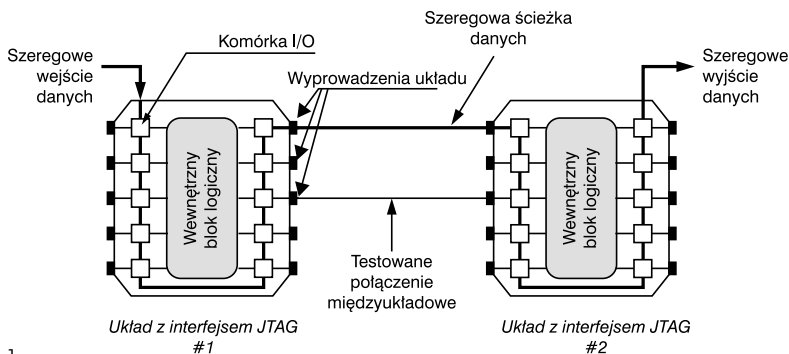
### Interfejs JTAG

Najpopularniejszy obecnie interfejs wykorzystywany do testowania i programowania (konfigurowania) w systemie układów PLD i ASIC, znany pod akronimem JTAG, powstał w końcu lat 80. Prace prowadzone przez *Joint Test Action Group* miały pierwotnie na celu opracowanie systemu umożliwiającego testowanie złożonych modułów cyfrowych po ich zmontowaniu na płytkach drukowanych (rys. 1). Do tego celu opracowano specjalizowane układy logiczne interfejsów magistralowych, umożliwiających monitorowanie większości sygnałów w module. Dzięki temu możliwe stało się testowanie nie tylko pojedynczych struktur półprzewodnikowych, lecz także wzajemnych połączeń pomiędzy układami oraz połączeń pomiędzy układami i elementami stanowiącymi ich otoczenie.

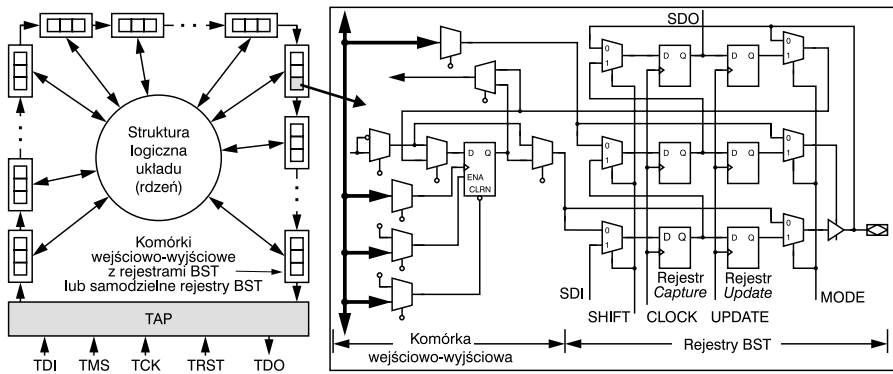
Twórcy interfejsu JTAG założyli, że nie ma potrzeby szczegółowego testowania wewnętrznych fragmentów układów, o których poprawną pracę powinien zadbać projektant na etapie projektowania struktury logicznej. Testowanie funkcjonalne, z małymi wyjątkami, ograniczono do weryfikacji stanów logicznych w komórkach wejściowych i wyjściowych testowanych układów. Stąd właśnie BST, skrótowa nazwa najważniejszej cechy i funkcji interfejsu JTAG, która jest akronimem od *Boundary Scan Testing*, co należy rozumieć jako testowanie metodą ścieżki krawędziowej.

Duża elastyczność i łatwość stosowania interfejsu JTAG, możliwość łatwego, praktycznie nieograniczonego zwiększania jego funkcjonalności i powszechne uznanie jakim cieszył się na rynku spowodowały, że komitet normalizacyjny IEEE przyjął w 1990 roku normę IEEE1149.1, w której zdefiniowano jego strukturę i sposób sterowania. Wprowadzona w 1993 roku nowelizacja normy miała na celu stworzenie języka opisu urządzeń i układów wyposażonych w interfejs JTAG. Nosi on nazwę BSDL (ang. *Boundary Scan Definition Language*) i jest podzbiorem języka opisu sprzętu VHDL.

Blokiem interfejsu JTAG, który najszczegółowiej opisano w normie IEEE1149.1, jest kontroler TAP (ang. *Test Access Port*). Możliwe są dwa warianty interfejsu, różniące się liczbą wyprowadzeń - może ich być 4 lub 5. Obydwa warianty są w pełni kompatybilne. Przykładowy schemat funkcjonalny interfejsu JTAG, ilustrujący jego zasadę działania,



Rys. 1.



Rys. 2.

wraz z uproszczonym schematem typowej komórki wejściowo-wyjściowej przedstawiono na rys. 2. Rejestry BST są najczęściej integrowane z komórkami wejściowo-wyjściowymi, ale w niektórych przypadkach występują także samodzielnie umożliwiając wyprowadzanie na ścieżkę krawędziową najistotniejszych dla działania układu sygnałów z jego rdzenia. Połączone kaskadowo rejestry BST otaczają rdzeń logiczny układu, tworząc środowisko sprzętowe przypominające działaniem stosowane w przemysłowych aplikacjach testery szpilkowe.

Struktura wewnętrznych rejestrów interfejsu zależy od typu układu i jest tylko fragmentarycznie opisana w normie. Każdy wariant interfejsu musi być wyposażony w rejestr i dekodery instrukcji oraz rejestry danych, za pomocą których dane są wyprowadzane z układu. Lista poleceń sterujących pracą interfejsu składa się z 5 poleceń standardowych i może być poszerzana przez producentów, dzięki czemu użytkownik uzyskuje dostęp do specyficznych zasobów wykorzystywanych układów.

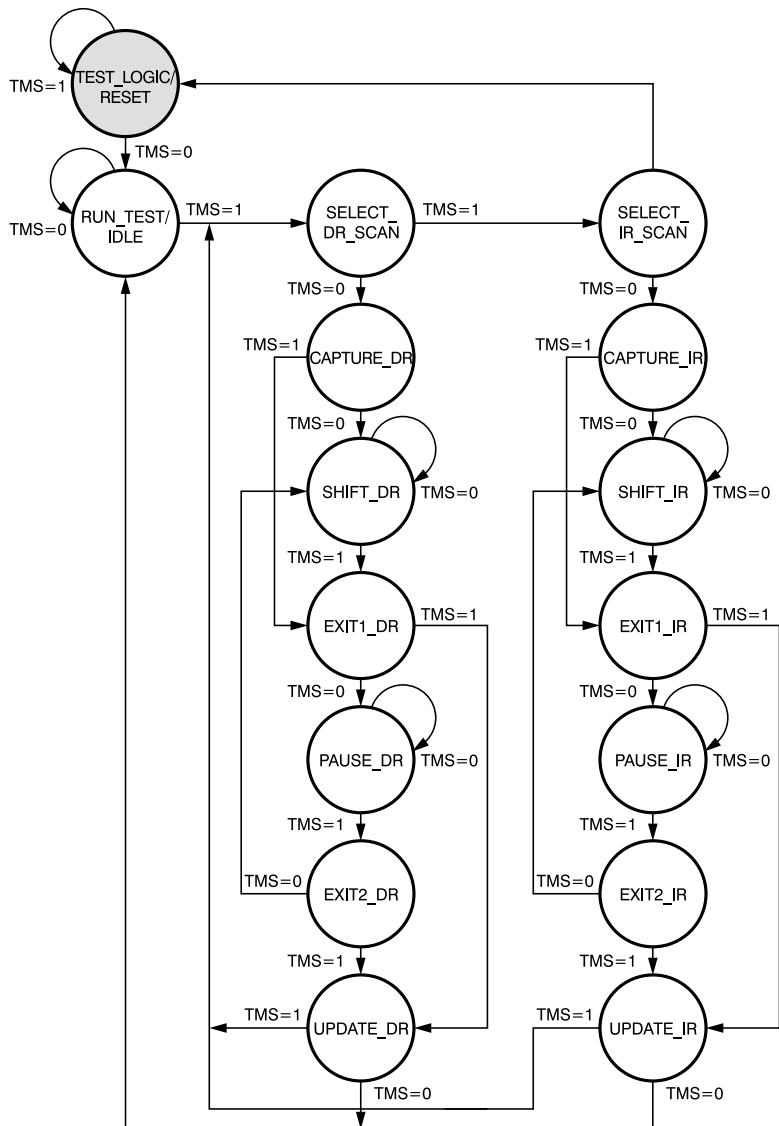
Kontroler TAP jest synchronicznym, 16-stanowym automatem pracującym zgodnie z grafem przejść pokazanym na rys. 3. Jest on sterowany sygnałem cyfrowym na wyprowadzeniu kontrolnym TMS, a synchronizację zapewnia sygnał zegarowy TCK. Zadaniem TAP jest obsługa transferu danych z wejścia TDI do wewnętrznych rejestrów interfejsu i sterowanie pracą dekodera instrukcji.

Typowe dla JTAG-a procesy, tzn. testowanie i programowanie (konfigurowanie) układów z interfejsem JTAG przebiegają w podobny sposób. Najważniejsza różnica pomiędzy nimi polega na wykorzystaniu podczas testowania rejestrów ścieżki krawędziowej, a podczas programowania (konfigurowania) rejestrów ISP/ICR. Rejestry te są opcjonalnym rozszerzeniem standardowej struktury interfejsu i odpowiadają za przekazanie danych do komórek pamięci podczas konfiguro-

wania (w przypadku pamięci konfiguracyjnego typu SRAM) lub programowania (w przypadku pamięci konfiguracyjnego typu EEPROM/Flash) oraz ich odczyt na przykład w celu weryfikacji danych programujących. Do zestawu dodatkowych rejestrów ISP/ICR należą także specyficzne rejestry zapewniające obsługę procesów konfigurowania i programowania.

Ponieważ w opisie standaryzującym JTAG nie uwzględniono - z wcześniej przedstawionych powodów - rejestrów ISP/ICR, każdy producent układów programowalnych w systemie stosuje własne zestawy, ściśle dostosowane do technologii w jakiej wykonano układ. Znaczna dowolność w organizacji i budowie fragmentów interfejsów odpowiedzialnych za konfigurowanie lub programowanie nie ma praktycznie żadnego wpływu na kompatybilność ich standaryzowanych fragmentów przeznaczonych do testowania w systemie.

Twórcy interfejsu JTAG przewidzieli możliwość jednoczesnego programowania lub testowania wielu układów. W takim przypadku należy je połączyć kaskadowo w łańcuch BST (ścieżki krawędziowej), jak to pokazano na rys. 1. Każdy układ z interfejsem zgodnym ze standardem JTAG musi być wyposażony w 1-bitowy rejestr obejściowy (ang. bypass register). To właśnie dzięki temu re-



Rys. 3.

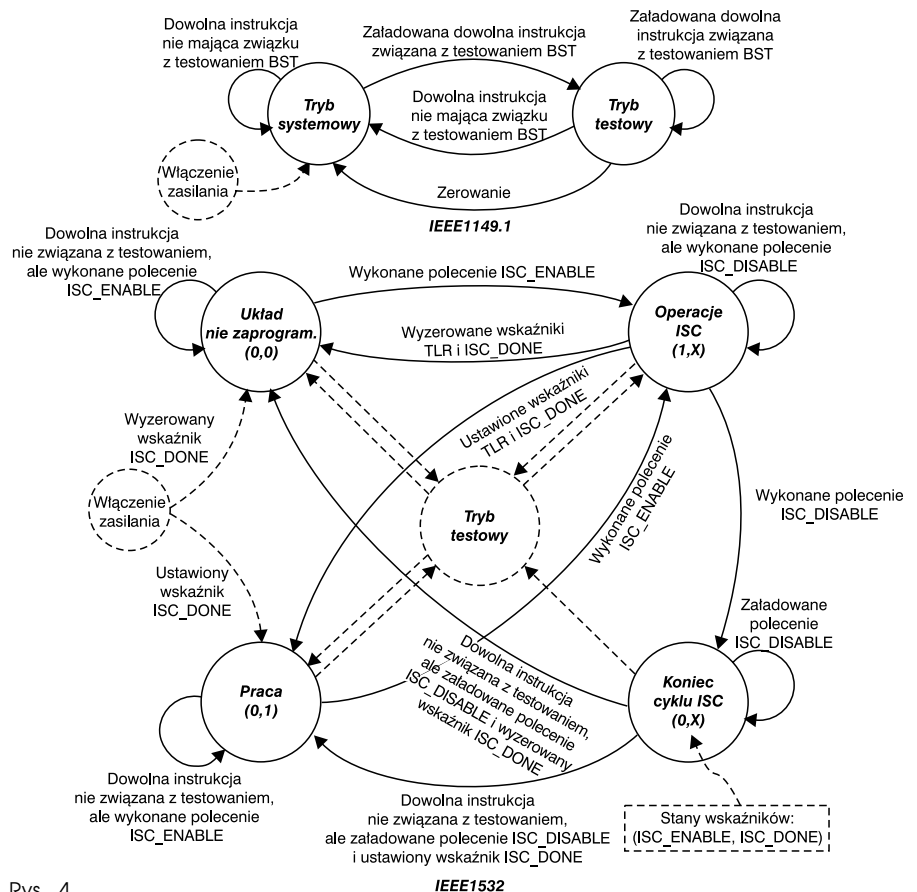
jestrowi istnieje możliwość „operowania“ na układach dowolnie wybranych z całego łańcucha.

W przypadku programowania poprzez interfejs JTAG wielu układów połączonych kaskadowo, czas programowania jest długi, wynosi bowiem tyle, ile suma czasów programowania każdego układu włączonego w łańcuch. To niekorzystne zjawisko udało się producentom układów wyeliminować dzięki wykorzystaniu możliwości implementacji w JTAG-u własnych poleceń. Z myślą o układach z pamięcią konfiguracji typu Flash lub EEPROM opracowano rozszerzenie standardowej listy poleceń, które służy tylko do obsługi charakterystycznych mechanizmów znajdujących się w układach reprogramowalnych. Dotyczy to między innymi obsługi programowania jednoczesnego (ang. concurrent programming). Polega ono na kolejnym wpisywaniu danych do wszystkich układów znajdujących się w łańcuchu i wysłaniu polecenia zapisu do wszystkich układów jednocześnie. Dzięki takiej technice całkowity czas programowania jest zbliżony do czasu programowania największego układu znajdującego się w łańcuchu.

**Następca: IEEE1532**

Autorzy adaptacji normy JTAG do celów programowania i konfigurowania układów w systemie nie przewidzieli - bo wtedy nie było to możliwe - rosnących wymagań, jakie stopniowo stawiano interfejsowi i układom ISP. W związku z tym komitet normalizacyjny IEEE rozpoczął w 1996 roku prace nad nową normą interfejsu ISP, która miała sprostać nowym wymaganiom. W nowej normie, oznaczonej IEEE1532 zachowano wszystkie klasyczne mechanizmy i rozwiązania sprzętowe znane już z JTAG-a.

Najważniejsze wprowadzone zmiany dotyczą ustandaryzowania architektury wewnętrznych rejestrów wykorzystywanych podczas programowania oraz listy związanych z nimi instrukcji. Bardzo użytecznym udoskonaleniem jest także wprowadzenie jednoczesnego programowania (ang. concurrent programming) wielu układów wchodzących w skład łańcucha ISP oraz możliwość zabezpieczenia przed nieuprawnionym odczytem zawartości pamięci konfiguracji. Ogromnym ułatwieniem dla twórców nowych układów jest ponadto możliwość operowania na różnych modelach pamięci konfiguracji, która może być adresowana nieliniowo, także z wykorzystaniem programowanych generatorów adresów.



Rys. 4.

Interfejsy układów zgodne z normą IEEE1532 są kompatybilne „w dół“ z interfejsami IEEE1149.1, dzięki czemu w jednym łańcuchu ISP mogą współpracować układy nowszej i starszej generacji. Różnice w interpretacji przez układy poleceń przesyłanych w łańcuchu pojawiają się dopiero po odebraniu polecenia *ISC\_ENABLE*, które uaktywnia wewnętrzne mechanizmy ISC (ang. In System Configuration) układu. Odebranie i interpretacja tego polecenia przez wewnętrzny dekoderek rozkazów powoduje zmianę stanu automatu sterującego na stan **Operacje ISC** (rys. 4). Jest to jeden z pięciu stanów pracy przyjętych w normie IEEE1532, w miejsce dotychczasowych dwóch określonych w normie IEEE1149.1. Dzięki implementacji w automacie sterującym dodatkowych, w stosunku do IEEE1149.1, stanów możliwe stało się wyraźne rozróżnienie trybów konfiguracji i testowania, jak to pokazano na rys. 4.

W ten sposób unormowano mechanizmy programowania (konfigurowania) w systemie, powszechnie stosowane przez producentów układów ISP, dotychczas implementowane jako pozastandardowe rozszerzenia tego interfejsu.

Do końca lipca 2001 standard IEEE1532 nie został oficjalnie ogłoszony

standardem, trwają bowiem dalsze prace nad jego udoskonaleniem. Pomimo tego większość liczących się na świecie producentów układów programowalnych (m.in. Altera, Lattice i Xilinx) już wprowadzili do swoich ofert układy ISP z interfejsami kompatybilnymi z IEEE1532. Należy się spodziewać, że po oficjalnym ogłoszeniu zakończenia prac rozwojowych standard ten spotka się z uznaniem także użytkowników.

**Piotr Zbysiński, AVT  
piotr.zbysinski@ep.com.pl**

*Dodatkowe informacje związane ze standardem IEEE1532 i interfejsem JTAG można znaleźć w Internecie pod adresami:*

- <http://standards.ieee.org/catalog/test.html>,
- <http://www.ti.com/sc/docs/jtag/jtag-home.htm>,
- <http://www.latticesemi.com/products/technology/index.cfm>,
- [http://www.xilinx.com/xlnx/xil\\_prod\\_cat\\_product.jsp?title=isp\\_standards\\_specs#1532](http://www.xilinx.com/xlnx/xil_prod_cat_product.jsp?title=isp_standards_specs#1532).

*Na płycie CD-EP08/2001B w katalogu \jtag znajduje się program ScanEducator przygotowany przez firmę Texas Instruments, który prezentuje możliwości JTAG-a.*