

Active-HDL™

Complete FPGA Verification Environment

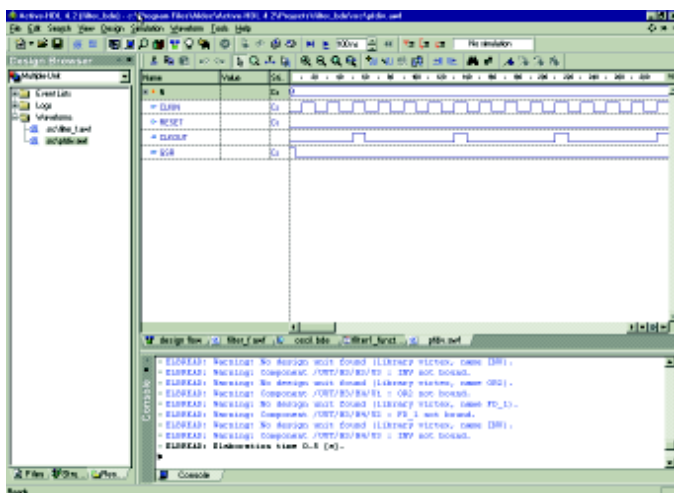
część 3

W pakiecie Active-HDL zintegrowano dwa narzędzia symulacyjne, za pomocą których można sprawdzić budowany układ pod kątem jego poprawności funkcjonalnej oraz pod kątem jego parametrów czasowych. Weryfikacja zgodności zachowania układu w stosunku do zamierzeń projektanta polega na zbudowaniu przez program symulacyjny wirtualnego bloku logicznego, którego struktura wewnętrzna odpowiada zminimalizowanemu według zadanych kryteriów opisowi logicznemu przygotowanemu przez projektanta (w dowolnym edytorze wejściowym lub - w przypadku projektów hierarchicznych - ich dowolnej kombinacji). Ponieważ testowanie na tym etapie nie wymaga żadnych odniesień do architektury układu docelowego, pakiet Active-HDL symulację wykonuje samodzielnie, bez konieczności stosowania żadnych dodatkowych narzędzi programowych. Na rys. 1 pokazano przykładowe efekty symulacji prostego bloku funk-

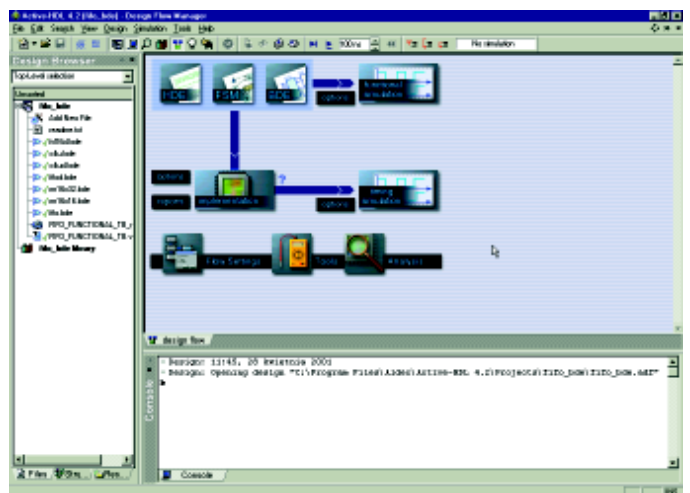
cyjnego o 7 wejściach (w tym 4 tworzących magistralę) i jednym wyjściu. Ewaluacyjna wersja Active-HDL ma nieco ograniczone możliwości funkcjonalne, ponieważ ograniczono liczę możliwych do przetestowania wektorów. Ograniczenie to nie jest szczególnie dotkliwe podczas zabawy z oprogramowaniem zwłaszcza, że producent przewidział możliwość udostępnienia dodatkowej 10-dniowej licencji likwidującej to i większość pozostałych ograniczeń.

Po przeprowadzeniu weryfikacji funkcjonalnej projektu możemy zdecydować jaki układ programowalny wykorzystamy jako docelową platformę dla niego. Etap ten jest nazywany implementacją (rys. 2), a do jej przeprowadzenia jest niezbędny zewnętrzny syntezer logiczny i kompilator odpowiadający za rozłożenie projektu w strukturze układu docelowego. W pakiecie Active-HDL użytkownik może samodzielnie określić jakie narzędzia chce (a przede wszystkim może,

Twórcy pakietu Active-HDL przygotowali dla użytkowników systemu projektowego zestaw narzędzi do symulacji funkcjonalnej i czasowej realizowanych projektów. Dzięki temu liczbę prób uruchomieniowych i związanych z tym czas projektowania znacznie się skraca, a dzięki temu radykalnemu obniżeniu ulegają także koszty całego projektu. W artykule przedstawiamy podstawowe możliwości symulatorów wbudowanych w Active-HDL.



Rys. 1.



Rys. 2.

Nowoczesne projektowanie układów FPGA/CPLD

bo wcześniej trzeba je kupić!) wykorzystać do tego celu (rys. 3). Czytelnikom zainteresowanym przetestowaniem także tej części Active-HDL polecam wykorzystanie narzędzi udostępnianych bezpłatnie przez firmy Altera i Xilinx na ich



Rys. 3.

stronach internetowych. Wyniki symulacji czasowej (w wersji statycznej i dynamicznej) są prezentowane w postaci graficznej oraz tekstowej, którą można wykorzystać jako wiarygodną dokumentację projektu.

Podsumowanie

Prezentowany w trzyczęściowym artykule pakiet do realizacji projektów dla układów programowalnych Active-HDL jest nowoczes-

nym narzędziem, znacznie ułatwiającym tworzenie hierarchicznych projektów z wykorzystaniem wszystkich standardowych, wykorzystywanych współcześnie metod opisu. Niebagatelną zaletą Active-HDL jest wbudowany kompilator języków VHDL i Verilog, w związku z czym (oczywiście po wykupieniu odpowiedniej licencji) projektant może tworzyć projekty „mieszane“, składające się z bloków opisanych jednym z tych języków. Active-HDL dopuszcza także przygotowywanie projektów opisanych częściowo graficznie, częściowo tekstowo, można także wykorzystywać moduły IP (ang. Intellectual Property), które są coraz powszechniej stosowane podczas realizacji dużych projektów dla układów programowalnych.

Reasumując: wszystkich Czytelników zainteresowanych nowoczesnymi metodami projektowania układów PLD gorąco zachęcam



Rys. 4.

do wypróbowania możliwości Active-HDL.

Piotr Zbysiński, AVT
piotr.zbysinski@ep.com.pl

Ewaluacyjna wersja programu Active-HDL oraz skrócony kurs posługiwania się programem zamieściliśmy na płycie CD-EP4/2001B w katalogu \Aldec.