



FPGA

Starter Kit

Układy FPGA (ang. Field Programmable Gate Array) należą do jednej z dwóch szybko rozwijających się grup układów programowalnych.

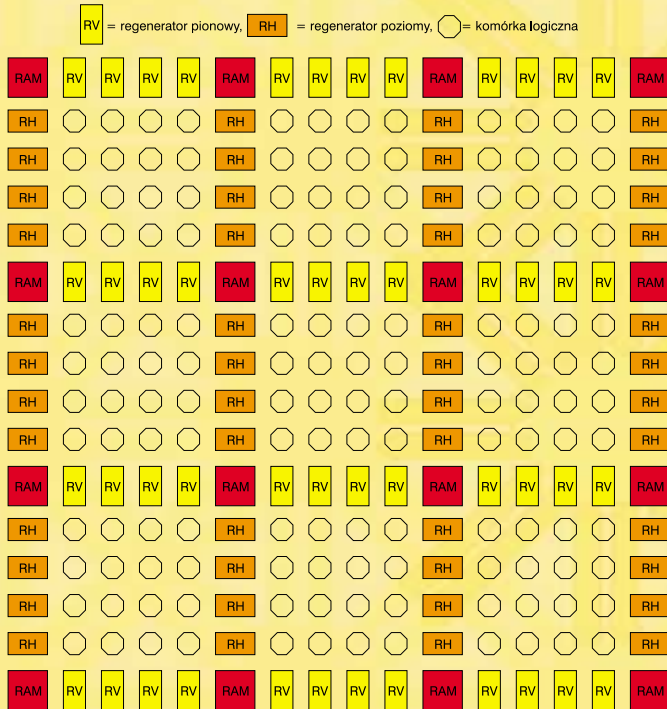
Szczególnie interesujące możliwości oferują użytkownikom układy z rodziny AT40K firmy Atmel - ich fragmenty można bowiem rekonfigurować podczas pracy pozostałej części struktury, dzięki czemu budowanie urządzeń z samomodyfikującym się sprzętem staje się powoli możliwe.

W artykule przedstawiamy architekturę układów FPGA z serii AT40K/KAL oraz doskonale do ich poznania narzędzie - przygotowany przez firmę Kanda Systems zestaw FPGA Starter Kit.

Układy rodzin AT40K oraz AT6000 są obecnie - oprócz układów Virtex II (produkowanych przez Xilinx) - jedynymi produkowanymi seryjnie układami FPGA z możliwością częściowej rekonfiguracji struktury „w locie”. Umożliwiają więc budowę modułów sprzętowych o łatwo modyfikowalnych funkcjach, które można zmieniać podczas pracy układu. Dzięki temu wiele zadań wymagających znacznych zasobów logicznych można realizować w stosunkowo niewielkich układach (o mniejszych zasobach logicznych). Rekonfigurowalne moduły sprzętowe zwykle wspomagają programowe wykonywanie jakichś zadań. Projektowanie systemów, w których część zadań jest realizowana sprzętowo, a część programowo nazywa się projektowaniem sprzętowo-programowym (ang. hardware-software codesign).

Architektura układów AT40K/KAL

Architekturę układów rodzin AT40K i AT40KAL zoptymalizowano pod kątem ap-



Rys. 1.

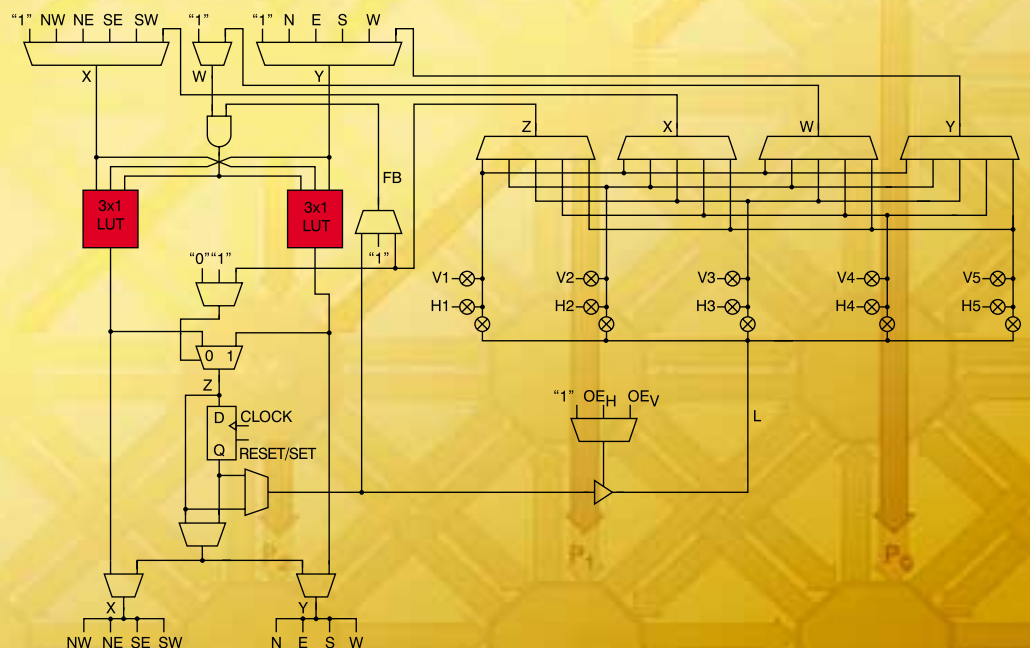
likacji wymagających częściowej rekonfiguracji struktury układu podczas jego pracy oraz aplikacji, w których są realizowane sprzętowo algorytmy obliczeniowe, np. przy wspomaganiu obliczeń procesorów DSP.

Szkic architektury układów AT40K/40KAL, typowej dla klasycznych struktur FPGA, przedstawiono na rys. 1. Symetryczna matryca komórek logicznych, pogrupowanych po 16, jest pocięta traktami połączeniowymi pionowymi i poziomymi, w których umieszczono także regeneratory (repeatery) przesyłanych sygnałów. Każdy trakt zawiera 15 linii (w pięciu warstwach), w tym 5 par linii ekspresowych oraz 5 linii lokalnych. Na skrzyżowaniach pionowych i poziomych traktów połączeniowych ułożono bloki dwuportowych pamięci SRAM o pojemności 32x4 bity.

Komórki logiczne układów AT40K/40KAL mogą komunikować się bezpośrednio z ośmioma sąsiadującymi komórkami logicznymi, a także - za pośrednictwem traktów połączeniowych - z dowolnymi innymi komórkami w układzie. Umożliwiają to połączenia komórek z pięcio-

ma poziomymi i pięcioma pionowymi lokalnymi liniami z traktów połączeniowych.

Budowę komórki logicznej układów AT40K/40KAL pokazano na rys. 2. Zawiera ona dwie 3-wejściowe tablice wartości funkcji LUT (ang. Look-Up Table) z jednym wyjściem. Mogą być do nich wpisane wartości dowolnej, zadanej przez projektanta funkcji logicznej sygnałów podawanych bez-



Rys. 2.

pośrednio z sąsiadujących komórek logicznych (do tego celu są stosowane wejścia i wyjścia o nazwach odpowiadających kierunkom geograficznym: N, E, S, W, NW, NE, SE, SW) lub z traktów połączeniowych (sygnały wejściowe: V1..5, H1..5 i wyjściowy L).

Komórki logiczne, zależnie od wymagań aplikacji, mogą być skonfigurowane do pracy w jednym z pięciu trybów (rys. 3), w tym jednym niespotykanym w innych układach programowalnych, gdy komórka logiczna realizuje funkcję elementu mnożącego z wyjściem kombinacyjnym lub rejestrowym (rys. 3c).

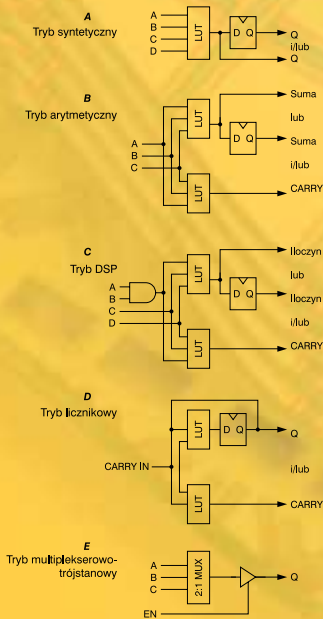
Pozostałe tryby pracy komórki logicznej można zaliczyć do standardowych:

- syntetyczny (rys. 3a) - połączone zasoby komórki tworzą 4-wejściową tablicę LUT, a jej wyjście może być rejestrowe lub kombinacyjne,
- arytmetyczny (rys. 3b) - komórka logiczna spełnia rolę dwubitowego sumatora z wejściem i wyjściem przeniesienia oraz z opcjonalnym przerzutnikiem na wyjściu danych,
- licznikowy (rys. 3d) - komórka logiczna jest skonfigurowana jako 1-bitowy licznik z wejściem i wyjściem przeniesienia,

- multiplexerowo-trójstanowy (rys. 3e) - komórka logiczna jest skonfigurowana jako 2-wejściowy multiplexer z wejściem adresowym i trójstanowym buforem na wyjściu.

Wbudowane w strukturę układów bloki pamięci (nazwane przez producenta FreeRAM) są od siebie całkowicie niezależne, a odczyt ich zawartości jest w pełni asynchroniczny. Od strony wejścia operacje na zawartości pamięci można zsynchronizować lokalnym sygnałem zegarowym. Na rys. 4 pokazano schemat blokowy pojedynczej pamięci wraz z sygnałami sterującymi. Sygnały wejściowe i wyjściowe są dołączone do różnych linii traktów połączeniowych. Przykładowo, 5-bitową magistralę adresową dołączono do pionowych linii ekspresowych, zaś magistralę wejściową danych dołączono do lokalnych linii połączeniowych w trakcie leżącym w pierwszej warstwie, natomiast magistralę wyjściową danych dołączono także do lokalnych linii połączeniowych, ale w trakcie leżącym w drugiej warstwie.

Komunikację układu z otoczeniem umożliwiają komórki wejściowo-wyjściowe, których budowa jest stosunkowo



Rys. 3.

mało skomplikowana. Zawiera: wyjściowy bufor trójstanowy i wejściowy bufor napięciowy, który można skonfigurować do współpracy z układami o poziomach sygnałów TTL lub CMOS. Można także „włączyć” histerezę charakterystyki przejściowej (bufor pracuje jak przerzutnik Schmitta) oraz programowane opóźnienie.

Niewątpliwym atutem układów AT40K/40KAL jest zastosowanie w nich niestandardowej architektury pamięci konfiguracji (CacheLogic), dzięki której jest możliwa całkowita lub częściowa rekonfiguracja dynamiczna (w locie) układu.

Innym atutem tych układów jest duża liczba dostępnych linii dla sygnałów glo-

Tab. 1. Zestawienie najważniejszych parametrów układów AT40K

| Typ układu | Liczba komórek logicznych | Maksymalna liczba przerzutników | Liczba bramek logicznych | Pojemność wbudowanej pamięci SRAM [b] | Maksymalna liczba I/O |
|--------------|---------------------------|---------------------------------|--------------------------|---------------------------------------|-----------------------|
| AT40K05 | 256 | 256 | 5000 | 2048 | 128 |
| AT40K10 | 576 | 576 | 10000 | 4096 | 192 |
| AT40K20/20AL | 1024 | 1024/1272 | 20000 | 8192 | 256 |
| AT40K40/40AL | 2304 | 2304/2676 | 40000 | 18342 | 384 |
| AT40K80AL | 4096 | 4468 | 80000 | 32768 | 384 |

balnych, w tym aż 8 niezależnych sygnałów zegarowych i sygnału Set/Reset (może pochodzić z dowolnego wyprowadzenia układu). Sygnały te są rozprowadzane po układzie specjalnymi liniami wydzielonymi ze standardowych zasobów połączeniowych.

Atmel, wprowadzając do produkcji układy rodzin AT40K/40KAL, chciał wykorzystać ugruntowaną już pozycję firmy Xilinx, w związku z czym rozmieszczenie wyprowadzeń tych układów jest zgodne z rozmieszczeniem wyprowadzeń układów rodzin XC4000/XC5200.

FPGA Starter Kit

Firma Kanda Systems opracowała dla Atmela doskonały zestaw edukacyjno-inżynierski umożliwiający testowanie prostych aplikacji i poznanie w szybkim tempie możliwości architektury układów AT40K/KAL.

Podstawowym elementem zestawu jest płytką drukowana wyposażona w 6-cyfrowy wyświetlacz ciekłokrystaliczny, uniwersalne pole wskaźników LED, 9-przyciskową

klawiaturę, dwa gniazda interfejsu RS232 z konwerterami napięciowymi, a także podstawkę dla mikrokontrolera z rodziny AVR AT90S8515 oraz cztery podstawki dla pamięci (lub innych układów) z interfejsem I²C. Na płytce bazowej umieszczono także elementy: stabilizator napięcia zasilającego i konwerter napięcia ujemnego dla wyświetlacza LCD oraz szereg elementów pomocniczych, które można wykorzystać jako peryferyjne dla układu FPGA podczas budowania i testowania aplikacji. Wśród nich szczególnie interesujące są:

- elementy umożliwiające zbudowanie przetwornika A/C i C/A w oparciu o FPGA,
- elementy interfejsu optycznego (nadajnik i odbiornik podczerwieni),
- piezoceramiczny przetwornik akustyczny.

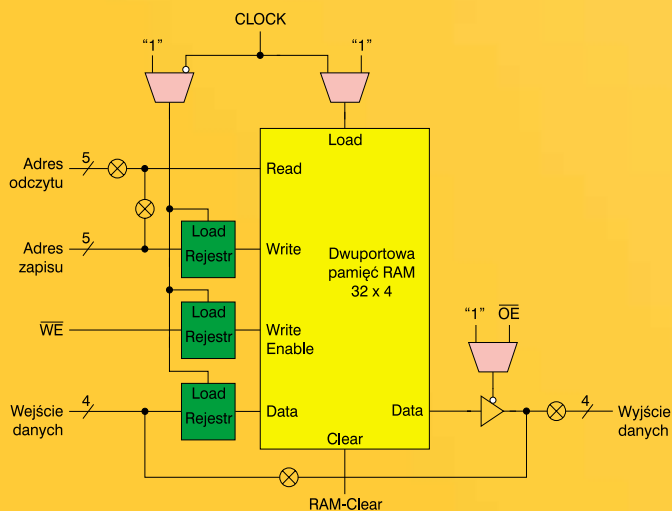
Większość testowanych na prezentowanym zestawie aplikacji będzie wymagała sygnałów zegarowych, których pięć źródeł znajduje się na płytce bazowej. Dostępne są sygnały o kształcie prostokątnym o częstotliwościach: 40MHz, 10MHz, 4,9512MHz, 32,768kHz. Sygnał zegarowy można także dostarczać z zewnątrz, ale można go również wytwarzać „ręcznie” (za pomocą jednego z przycisków). Do każdego z 4 wybranych wejść dla globalnych sygnałów zegarowych układu FPGA można przypisać (za pomocą jumperów) sygnał z jednego z dwóch źródeł.

W centralnym punkcie płytki bazowej przewidziano miejsce dla dodatkowej płytki drukowanej z układem FPGA, który jest „ser-

cem” całego zestawu. W zestawie standardowo jest dostarczany układ AT40K20 (1024 makrokomórki logiczne) wraz z reprogramowalną pamięcią konfiguracji AT17C512. Zawartość tej pamięci można modyfikować przez złącze szeregowe ISP. W przypadku konieczności zastosowania innego układu FPGA, jedynym elementem zestawu wymagającym modyfikacji jest niewielka płytką dodatkowa.

Oprócz modułu sprzętowego producent włączył w skład zestawu interfejs-programator ISP (dołączany do portu Centronics) wraz z programem sterującym CPS (rys. 5), służącym do programowania w systemie pamięci konfiguracyjnej. Ze względu na zastosowanie stosunkowo długich przewodów pomiędzy wyjściem interfejsu i złączem płytki z pamięcią konfiguracyjną, twórcy tego programu przewidzieli możliwość dostosowania częstotliwości sygnału zegarowego do rzeczywistych warunków pracy (rys. 5).

Niezwykle atrakcyjnym uzupełnieniem wyposażenia zestawu jest pakiet projektowy dla układów programowalnych IDS6.0. Jest to kompletny zestaw narzędzi pozwalający wykonać projekt w języku VHDL (za pomocą edytora i modułu syntezy logicznej WorkOffice, firmy



Rys. 4.



Rys. 5.

niegdyś ViewLogic, a obecnie Innoveda) oraz jego kompilację na wybrany układ FPGA firmy Atmel. Pomimo dość archaicznej konstrukcji (opartej na programie Figaro firmy Mentor Graphics z 1996 roku) IDS6.0 jest stabilnie pracującym narzędziem i przy odrobinie cierpliwości umożliwi realizację także bardzo dużych projektów.

W skład wypożyczonego do testów zestawu wchodzi także podręcznik dla początkujących „Get going with... FPGAs“, w którym przystępnie wyjaśniono bu-

dowę układów FPGA, sposób posługiwania się pakietem IDS6.0, skrótnie opisano także kilka projektów przykładowych umożliwiających poznanie peryferii zainstalowanych na płycie bazowej.

Podsumowanie

Układy FPGA opracowane i produkowane przez Atmela, pomimo stosunkowo niewielkiego wartościowego udziału tej firmy w światowym rynku FPGA, należą do „perełek“ w swojej klasie.

Pod tym względem dorównuje im prezentowany w ar-

tykule zestaw. Jest to kompletnie wyposażone (niestety bez zasilacza) narzędzie o przemyślanej i dopracowanej konstrukcji, której „świeżość“ podkreślają drobne poprawki druku wykonane za pomocą wiertarki i kynaru. Gorąco zachęcam wszystkich miłośników układów programowalnych do zaopatrzenia się w prezentowany zestaw!

Piotr Zbysiński, AVT
piotr.zbysinski@ep.com.pl

Prezentowany w artykule zestaw udostępniła redakcji firma JM Elektronik, tel. (0-32) 339-69-00, www.jm.pl.

Informacje o układach FPGA firmy Atmel można znaleźć w Internecie pod adresem: <http://www.atmel.com/atmel/products/prod3.htm>.

Informacje o pamięciach konfiguracyjnych układy FPGA firmy Atmel można znaleźć w Internecie pod adresem: <http://www.atmel.com/atmel/products/prod22.htm>.

Noty katalogowe układów FPGA i konfiguratorów znajdują się także na płycie CD-EP5/2001B w katalogu \Atmel.