

Active-HDL™

Complete FPGA Verification Environment

część 2

Tworzenie nowego projektu ułatwia w Active-HDL kreator, za pomocą którego można wybrać narzędzia do syntezy i implementacji, domyślny język HDL i rodzinę układów docelowych (rys. 1). W zależności od umiejętności



Rys. 1.

ci projektanta i przyjętej metodyki tworzenia projektu, do jego opisania można wykorzystać jeden z dwóch najpopularniejszych języków HDL (VHDL i Verilog), schemat logiczny lub efektywny w przypadku automatów zapis grafowy. Doświadczeni projektanci układów programowalnych mogą skorzystać ze wzorcowych dokumentów udostępnianych przez Active-HDL (rys. 2), mniej doświadczonym pracę ułatwią kreatory plików (rys. 3). Na rys.



Rys. 2.

W drugiej części artykułu poświęconego pakietowi Active-HDL przedstawimy możliwe sposoby opisu projektu realizowanego w układzie programowalnym. Tematyka artykułu obejmie więc edytory: diagramów, tekstowy i grafów, których położenie w strukturze pakietu pokazano na rys. 1 w EP3/2001.

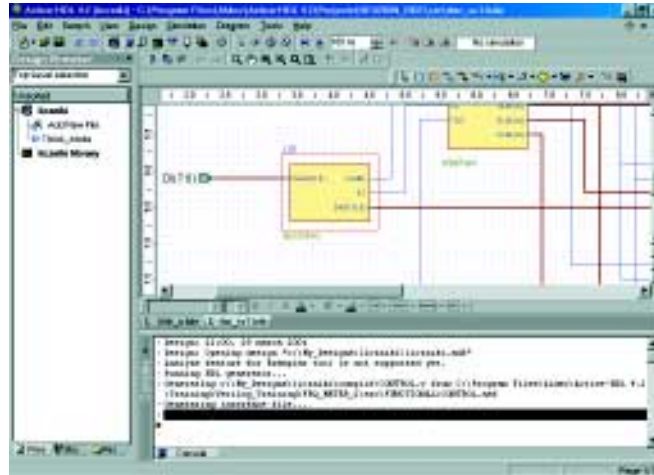


Rys. 3.

4 pokazano przykładowy graf ilustrujący pracę prostego automatu, który można skonfigurować do realizacji synchronicznej lub asynchronicznej. Edytor pozwala na definiowanie warunków przejść, określanie zachowania automatu podczas zmiany stanów (przejść) i w czasie trwania określonego stanu, a także języka do którego kompilowany jest opis graficzny. Dokumentowanie opisu za pomocą tego edytora ułatwiają jego bogate możliwości graficzne (można m.in. kreślić za pomocą krzywych Beziera).

Nieco trudniejszym sposobem opisu realizowanego projektu jest wykorzystanie języka VHDL lub Verilog, przy czym kreowanie „szkieletu” pliku źródłowego ułatwia „czarodziej”, pytając o przewidywane w definiowanym bloku wejścia i wyjścia (rys. 5). Nie obędzie się tutaj bez znajomości jednego z języków HDL, co początkującym fanom układów PLD może sprawić trudność. Bez trudu natomiast można przekształcić trudny w analizowaniu zapis tekstowy do postaci graficznej, co umożliwia wbudowany w pakiet Active-HDL konwerter CODE2GRAPHICS.

Z pewnością opis schematowy będzie się cieszył wśród większości użytkowników większym powodzeniem, niż dość zawily



Rys. 6

wyżej (także lokalnie) w hierarchii. Bloki niższych poziomów mają w większości przypadków na tyle prostą strukturę, że można je opisać za pomocą języka HDL. Pliki graficzne (także wielopoziomowe) można konwertować do postaci jednego z języków HDL lub formatu uniwersalnej listy połączeń EDIF, co oczywiście nieco zmniejsza uniwersalność opisu, optymalizując go wybranej na początku rodziny układów docelowych.

Zarządzanie projektem i jego składowymi ułatwia w Active-HDL doskonały manager programowy (rys. 7), za pomocą którego można wykonywać wszelkie operacje za-

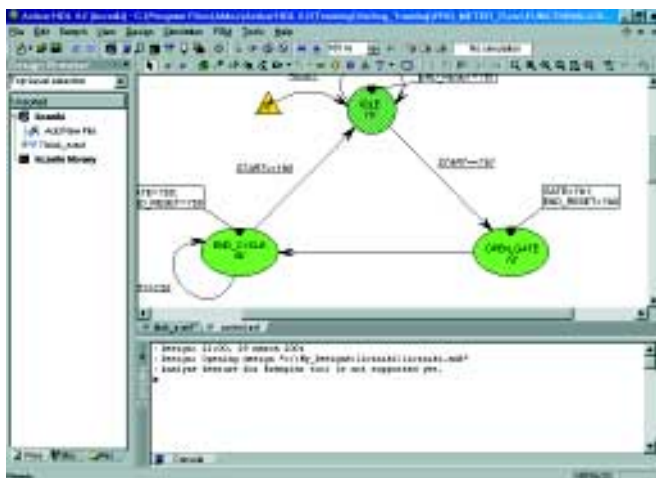


Rys. 7.

równy na strukturze projektu jak i bezpośrednio na plikach. Jest to co prawda mało spektakularna funkcja, ale niewiele jest na rynku programów CAD/CAE, których twórcy zwrócili uwagę na zapewnieniu łatwości utrzymania porządku w projekcie, którego rozmiary mogą być nieraz bardzo duże.

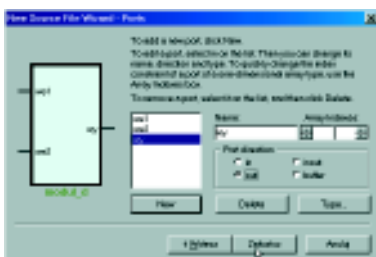
Piotr Zbysiński, AVT
piotr.zbysinski@ep.com.pl

Ewaluacyjna wersja programu Active-HDL oraz skrócony kurs posługiwania się programem zamieściliśmy na płycie CD-EP4/2001B w katalogu \Aldec.



Rys. 4.

i bardzo sformalizowany opis tekstowy. Twórcy Active-HDL przewidzieli to i wbudowali w oprogramowanie edytor schematów (rys. 6), za pomocą którego jest najłatwiej połączyć ze sobą wcześniej przygotowane bloki. Zazwyczaj edytor schematów jest wykorzystywany do tworzenia plików położonych naj-



Rys. 5.