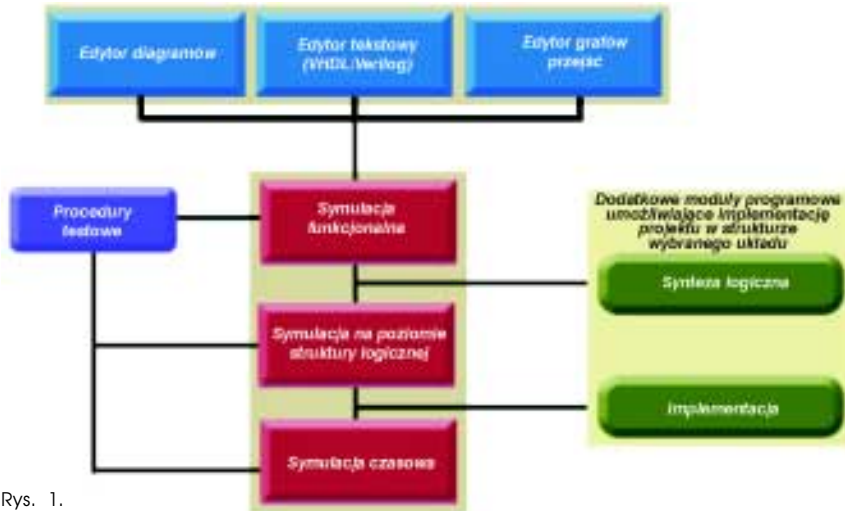


Active-HDL™

Complete FPGA Verification Environment

część 1



Rys. 1.

Producenci układów programowalnych w większości przypadków nie zajmują się bezpośrednio przygotowywaniem narzędzi CAD/EDA, służących do realizacji projektów wykorzystujących PLD. Wynika to najczęściej z konieczności zbudowania potężnego zespołu w skład którego wchodzi twórcy algorytmów optymalizujących logiczną budowę projektów i ich rozkładu w fizycznych strukturach układów, twórcy algorytmów stosowanych podczas symulacji, programiści zamieniający algorytmy w działające programy, testerzy zajmujący się ich weryfikacją, oraz szereg innych osób doskonale znających problematykę. Duża konkurencja na rynku spowodowała, że producenci układów PLD zajmują się swoim segmentem rynku, dając możliwość rozwoju firmom takim jak Aldec.

Active-HDL jest wykorzystywany m.in. w systemie Warp 6.0 firmy Cypress oraz w szeregu zestawów oferowanych przez firmę Xilinx.

Active-HDL z punktu widzenia projektanta

Active-HDL jest uniwersalnym, zintegrowanym środowiskiem projektowym, za pomocą którego można:

- zrealizować dowolny projekt hierarchiczny, w którym można wykorzystać języki: VHDL i Verilog, listę połączeń w formacie EDIF oraz moduły graficzne w postaci schematów lub grafu przejść,

- przeprowadzić pełną symulację funkcjonalną i czasową projektu (zapisanego w jednym z formatów: VHDL, Verilog lub EDIF), także z uwzględnieniem parametrów układów docelowych,
- zbudować i przetestować dowolny moduł biblioteczny (LPM - ang. Library Parameterized Module), który może być następnie wykorzystywany w innych systemach projektowych.

Schemat przedstawiający przebieg procesu projektowego z wykorzystaniem Active-HDL pokazano na rys. 1. Niezależnie od struktury projektu (tzn. rodzajów modułów w nim zastosowanych) wynikowa jego postać może być zapisana w językach: VHDL lub Verilog, jest także możliwe zapisanie listy połączeń w formacie

Niestety rzadko się zdarza, abyśmy (my Polacy) mieli wyraźny powód do chwalenia się opracowaniami zaawansowanymi technologicznie. Słymiemy z wytopu stali, wydobycia węgla i siarki, także ziemniaki są poważną pozycją eksportową naszego kraju... Przykład firmy Aldec dowodzi jednak, że mamy szansę stać się zagłębiem intelektualnym także w tak nowoczesnych dziedzinach elektroniki, jaką są układy programowalne.

Aldec jest firmą amerykańską, lecz jej założycielem jest nasz rodak Stanley Hyduke, a znaczną część oprogramowania tworzą inżynierowie ze Śląska.

EDIF. Kompilacja postaci wynikowej do postaci binarnej, umożliwiającej zaprogramowanie układu docelowego wymaga zastosowania dodatkowych, zewnętrznych modułów do syntezy i implementacji projektów.

Jak zdobyć Active-HDL?

Za miesiąc opiszemy możliwości funkcjonalne pakietu Active-HDL, postaramy się także zamieścić jego wersję ewaluacyjną na naszym CD. Być może wśród naszych Czytelników znajdują się chętni do samodzielnego ściągnięcia tego programu z Internetu, ale uprzedzamy, że w sumie trzeba pobrać pliki o łącznej długości ponad 50MB. Dla tego grona Czytelników zamieszczamy krótką ściągawkę.



Rys. 2.



Rys. 3.

Nowoczesne projektowanie układów

FPGA/CPLD



Rys. 4.

Krok 1

Na głównej stronie firmy Aldec (www.aldec.com) należy kliknąć w *Downloads* (rys. 2).

Krok 2

Po załadowaniu się nowej strony (rys. 3) można wybrać dowolny z oferowanych przez Aldec program w wersji ewaluacyjnej. Do naszych celów niezbędny będzie pierwszy z listy - Aldec-HDL 4.2. Wszystkie udostępnione wersje ewaluacyjne będą pracowały przez 20 dni od chwili instalacji. Ich możliwości funkcjonalne są nieco ograniczone w stosunku do wersji komercyjnej, przy czym istnieje możliwość usunięcia ograniczeń na 10 dni, co wymaga jednak zdobycia osobnego pliku licencyjnego. Informacja o ograniczeniach i pozostałych warunkach licencji znajduje się na początku stro-



Rys. 5.

Krok 3

Po wypełnieniu i wysłaniu formularza, na podany w nim adres e-mail przesyłany jest list (rys. 5) z informacją o położeniu plików do ściągnięcia.

Krok 4

Dostępne są ich dwie wersje: jeden plik o długości ok. 44MB lub 19 plików o długości ok. 2,5MB każdy. Należy wybrać wariant odpowiedni do możliwości wykorzystywanego łącza. Bardzo miłym gestem ze strony firmy Aldec jest przesyłanie tego listu w języku polskim (sic!).

Oprócz samego programu warto ściągnąć biblioteki z opisem układów wybranych producentów, które są także dostępne na stronie, której adres podaj Aldec w liście e-mail.



Rys. 6.

Krok 4

Po ściągnięciu niezbędnych plików należy zainstalować program, która to procedura jest zautomatyzowana, a jej przebieg zbliżony do większości innych instalacji.

Piotr Zbysiński, AVT
piotr.zbysinski@ep.com.pl

Informacje o programie Active-HDL i innych produktach firmy Aldec są dostępne w Internecie pod adresem: www.aldec.com.

Ewaluacyjne wersje programów do ściągnięcia są dostępne pod adresem: <http://www.aldec.com/pages/Downloads.htm>. Rejestrację umożliwiającą czasowe zniesienie ograniczeń w pakiecie Active-HDL można przeprowadzić pod adresem: <http://www.aldec.com/Registration/42REQ.htm>.