

# Cyfrowy oscyloskop/analizator stanów logicznych, część 1

## AVT-529

PROJEKT Z OKŁADKI



*O oscyloskopach cyfrowych już wielokrotnie pisaliśmy na łamach Elektroniki Praktycznej. Prezentowaliśmy projekty zarówno zaawansowane technicznie i kosztowne w realizacji - komercyjne, jak i tanie, o prostej budowie - dla elektroników amatorów. W projekcie przedstawionym w artykule starano się zastosować niektóre rozwiązania konstrukcyjne tych pierwszych zachowując dostępność i walory edukacyjne tych drugich.*

**Rekomendacje:**  
*zaawansowany technicznie przyrząd umożliwi wszystkim konstruktorom poznanie najnowszych rozwiązań konstrukcyjnych oscyloskopów cyfrowych.*

Wartości parametrów i cechy funkcjonalne prezentowanego oscyloskopu pozwalają zaliczyć go do przyrządów tanich i dobrych.

Oscyloskop jest wyposażony w cztery kanały o 8-bitowej rozdzielczości (w osi Y) i częstotliwości próbkowania 100 MHz. Każdy z kanałów może być niezależnie zamieniony w 8-bitowy analizator stanów logicznych. Godna uwagi jest duża pojemność pamięci próbek (po 64k próbek na kanał). Układ wyzwalania jest w pełni cyfrowy, co gwarantuje powtarzalność wyświetlania wyników. Przyrząd współpracuje z komputerem przez port RS232 i wymaga pojedynczego napięcia zasilania 5 V. Został zaprojektowany tak, aby zapewnić możliwość jego rozbudowy (ma budowę modułową).

W tej części artykułu zostanie omówiona budowa oscyloskopu cyfrowego.

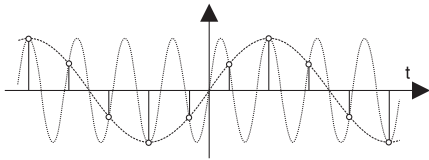
### Jak działa oscyloskop cyfrowy

Podstawowym elementem każdego cyfrowego systemu pomiarowego, w tym i oscyloskopu, jest przetwornik analogowo-cyfrowy (ADC - *Analog to Digital Converter*).

W prezentowanym oscyloskopie układ ADC może być zastąpiony blokiem wejść cyfrowych w celu zapamiętywania stanów logicznych.

Ponieważ ADC próbkuje sygnał wejściowy, może wystąpić zjawisko *aliasingu*. Polega ono na tym, że z jednego zestawu próbek można odtworzyć nieskończenie wiele różnych sygnałów. Dla przykładu, na **rys. 1** przedstawiono dwa możliwe przebiegi sinusoidalne skonstruowane w oparciu o ten sam zestaw próbek sygnału.

Okazuje się jednak, że jeżeli wiadomo, że sygnał wejściowy nie zawierał żadnej składowej o częstotliwości wyższej niż połowa częstotliwości próbkowania, to istnieje dokładnie jedna możliwość odtworzenia tego sygnału z próbek. Z tego wynika, że jeżeli przed próbkowaniem zostaną odfiltrowane z sygnału wejściowego wszystkie składowe o częstotliwości większej od połowy częstotliwości próbkowania, to istnieje pewność jednoznacznego odtworzenia kształtu sygnału wejściowego. To uzasadnia wprowadzenie do układu oscyloskopu kolejnego bloku do proponowanego schematu, a mianowicie filtru AA (*antialias filter*). Niestety, przy 100 MHz ten filtr realizuje się w technice w pełni analogowej (ponieważ jego cyfrowa realizacja wymagałaby próbkowania sygnału wejściowego z jeszcze większą częstotliwością). Co za tym idzie, trudne jest skonstruowanie bloku o dużym tłumieniu powyżej



Rys. 1. Ilustracja zjawiska *aliasingu* przy nieodpowiedniej częstotliwości próbkowania

50 MHz i małym tłumieniem poniżej 50 MHz, zatem dopuszczono istnienie szerokiego pasma przejściowego i ograniczono użyteczne pasmo oscyloskopu do 35 MHz.

Od oscyloskopu oczekuje się, że umożliwi prowadzenie pomiarów w szerokim zakresie napięć. Układy ADC pracujące przy 100 MHz rzadko mają wbudowany wzmacniacz o programowalnym wzmocnieniu (PGA, *Programmable Gain Amplifier*), trzeba więc taki wzmacniacz dodać. Blok PGA jest umieszczony przed filtrem AA. Powód takiego postępowania jest następujący: filtr AA zawiera elementy aktywne, a co za tym idzie może wprowadzać zniekształcenia nieliniowe przy małych sygnałach. Ponadto, każdy blok dodaje do sygnału pewne szumy. Jeżeli sygnał jest mały, to stosunek szumu do sygnału jest stosunkowo duży, a szumy są wzmacniane razem z sygnałem.

Za przetwornikiem ADC znajdują się „czysto” cyfrowe bloki oscyloskopu i to od nich zależą możliwości funkcjonalne oscyloskopu. Przy małych częstotliwościach próbkowania (<1 MHz) można stosować do tego celu mikrokontrolery bądź wręcz bezpośrednio podłączyć przetwornik do komputera PC. Niestety, te tanie i proste rozwiązania (jak na przykład oscyloskop opisany w EP9/2003) nie mogą być wykorzystane przy próbkowaniu z częstotliwością 100 MHz, bowiem wymagana szybkość transferu danych z ADC jest ogromna.

Opisywany w artykule oscyloskop gromadzi paczki danych po 32 bity co 10 ns, co daje łącznie 3,2 Gb/s wymaganej przepustowości. Należy podkreślić, że żaden standard magistrali w komputerze PC nie jest w stanie utrzymać takiego transferu przez dłuższy czas. Na przykład, maksymalna przepustowość magistrali PCI33 wynosi zaledwie 1,0 Gb/s. W do-

datku, korzystanie z magistrali komputera wymagałoby skonstruowania karty (wkładanej do obudowy komputera) zgodnej z dosyć skomplikowanym standardem PCI. Z tego jednoznacznie wynika, że próbki najłatwiej jest przechowywać w pamięci znajdującej się niedaleko ADC. W pierwszej chwili nasuwa się pomysł wykorzystania pamięci kolejkowej FIFO (*First In, First Out*). Można by włączać wstawianie danych do kolejki przez jakiś czas po wyzwoleniu oscyloskopu. Niestety, takie rozwiązanie pozbawiłoby oscyloskop cyfrowy jednej z jego istotnych zalet: możliwości przesłedzenia, co działo się przed momentem wyzwolenia. Dlatego w przedstawionym projekcie zaproponowano użycie zwykłej pamięci statycznej RAM, jaka np. była używana w pamięci podręcznej (*cache*) procesorów klasy Pentium. Dane są zapisywane do pamięci w sposób ciągły przed wyzwoleniem, a także przez określony czas po nim.

Korzystanie z takiej pamięci nieco komplikuje układ sterujący, wymaga bowiem, aby oprócz sygnałów zapisu były generowane adresy.

Zdecydowano się wykorzystać typową pamięć statyczną, a nie dwuportową. Ten wybór był podyktowany ceną pamięci dwuportowych o krótkim czasie dostępu i dużej pojemnościach.

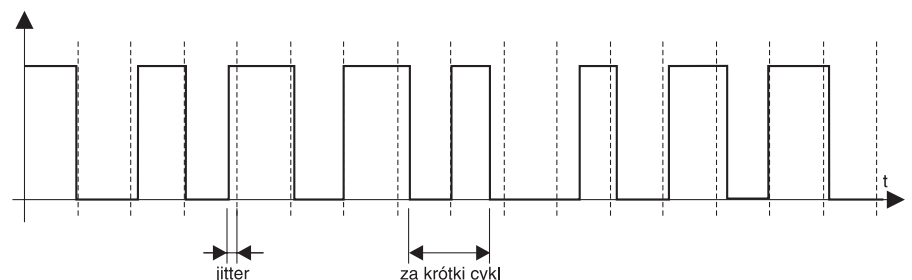
Poza omówionymi blokami, każdy oscyloskop musi zawierać układ wyzwalający. Musi on umożliwiać co najmniej wybór zbocza, na którym oscyloskop zostanie wyzwolony, a także przynajmniej zgrubny wybór poziomu wyzwalań. To, czy wyzwalanie zostanie zaimplementowane w dziedzinie cyfrowej, czy analogowej, zależy od projektanta. Zaletą cyfrowej metody wyzwalań jest precyzja i powtarzalność.

W oscyloskopie wprowadzono możliwość oddzielnego wyzwalania w każdym z kanałów, a także wyboru wzorca bitów (*bit pattern*) zamiast poziomu i zbocza, przy którym nastąpi wyzwolenie. Jest to konieczne w przypadku rejestracji stanów logicznych. Układ wyzwalania jest jednym z bardziej złożonych bloków oscyloskopu.

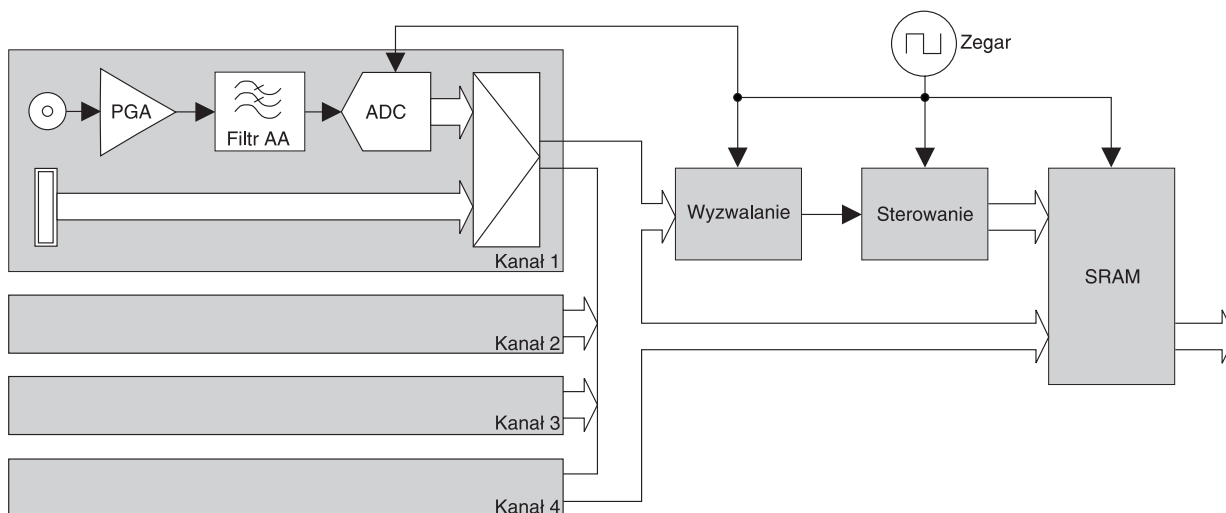
Na koniec należy przypomnieć o roli zegara w oscyloskopie cyfrowym. Sygnał zegara jest konieczny we wszystkich blokach układu: od przetwornika analogowo-cyfrowego po bufor próbek. Ponieważ szum fazowy zegara (niewielkie przesunięcia w czasie aktywnych zboczy w czasie, często określane mianem *jittera*) jest w szybkich układach istotną składową całkowitego szumu (m.in. poprzez nierównomierność rozłożenia próbek ADC), a nawet może spowodować nieprawidłowe działanie układu przez skrócenie niektórych cykli zegara (**rys. 2**), to zarówno wybór układu taktującego, jak i prowadzenie sygnału zegara powinno być dokonywane z najwyższą uwagą.

Dobrej jakości zegar powinien także mieć kontrolowane przesunięcie fazy między blokami układu (*clock skew*). Zignorowanie tego wymagania może spowodować, że aktywne zbocze sygnału zegara przybędzie do przerzutników np. o 1 ns później niż dane, co może spowodować przekłamanie wartości niektórych bitów.

Schemat blokowy oscyloskopu cyfrowego przedstawiono na **rys. 3**. Wyraźnie widać, że można na nim wyróżnić bloki układów analogowych i bloki cyfrowe. Takie rozróżnienie jest konieczne, ponieważ do bloków analogowych stosują się inne zasady projektowania niż do cyfrowych. Układy cyfrowe generują szum w.c.z. w związku ze stromymi zboczami



Rys. 2. Szum fazowy (*jitter*) zegara



Rys. 3. Schemat blokowy oscyloskopu

sygnałów. Ten szum często propaguje się przez obwody zasilania. W projekcie każdy z bloków umieszczono na oddzielnej płytce z oddzielnym zasilaniem, dzięki czemu wrażliwe układy analogowe są odseparowane od źródeł szumu.

**Połączenie z komputerem PC**

Ponieważ karta oscyloskopu nie została wyposażona w wyświetlacz, funkcje interfejsu graficznego użytkownika muszą być zrealizowane na dołączonym do oscyloskopu komputerze. Karta oscyloskopu komunikuje się z systemem nadrzędnym przez port RS232. Pomiędzy matrycą FPGA zbierającą próbki i magistralą I<sup>2</sup>C sterującą układami analogowymi a portem RS232 pośredniczy wbudowany w urządzenie mikrokontroler.

**Realizacja bloków**

*Wzmacniacz o programowalnym wzmacnieniu (PGA)*

Głównym elementem wzmacniacza PGA jest układ scalony THS7002 firmy Texas Instruments. Jest to dwukanałowy PGA z przedwzmacniaczem o paśmie 70 MHz (schemat blokowy pokazano na rys. 4).

Układ THS7002 pozwala na tłumienie sygnału w zakresie do 22 dB lub wzmacnienie do 20 dB. Dodatkowo umieszczono na płycie układ pozwalający na przełączanie wzmacnienia przedwzmacniacza między 0 dB a 40 dB, co łącznie daje maksymalne wzmacnienie 60 dB (napięciowo 1000V/

V). Przełączniki zostały zrealizowane za pomocą jednego układu ADG333 firmy Analog Devices. Nie wykorzystano wbudowanego w te układy ogranicznika sygnału, ponieważ filtr antialiasingowy, znajdujący się za wzmacniaczem PGA, pracuje przy pełnym zakresie napięć zasilania i nie ma potrzeby ograniczania sygnału przed filtrem.

*Filtr antialiasingowy*

W filtrze antialiasingowym zastosowano szczególnego typu wzmacniacz, który nie był dotąd przedstawiany na łamach EP. Jest to wzmacniacz w pełni różnicowy, a więc taki, który oprócz różnicowego wejścia jest także wyposażony w różnicowe wyjście. Potencjał środkowy (odpowiadający w klasycznym wzmacniaczu różnicowym wyjściu zerowemu) można ustawić przez podłączenie jednej z nóżek do źródła napięcia odniesienia. Wykorzystanie takiego elementu było podyktowane wyborem ADC. Zastosowany przetwornik analogowo-cyfrowy wymaga różnicowego sygnału na wejściu. Wzmacniacz w pełni różnicowy jest więc idealnym rozwiązaniem.

Filtr AA jest zbudowany w oparciu o wzmacniacz THS4150 firmy Texas Instruments. Jest to filtr aktywny trzeciego rzędu. Jednocześnie obwód ten wprowadza 12 dB tłumienia (napięciowo - cztery razy), tak że sygnał z poziomu -12...+12 V jest zmniejszany do poziomu -3...+3 V, bezpiecznego dla przetwornika ADC.

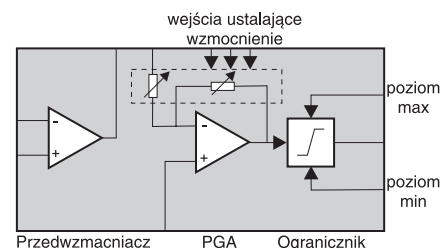
*Przetwornik analogowo-cyfrowy*

Funkcję ADC pełni układ podwójnego, 8-bitowego przetwornika AD9288BST-100. Zawiera on w swojej strukturze układ próbkująco-pamiętający. Szczególną cechą układu AD9288 jest niski pobór mocy (90 mW na kanał) i pojedyncze napięcie zasilania 3,3 V.

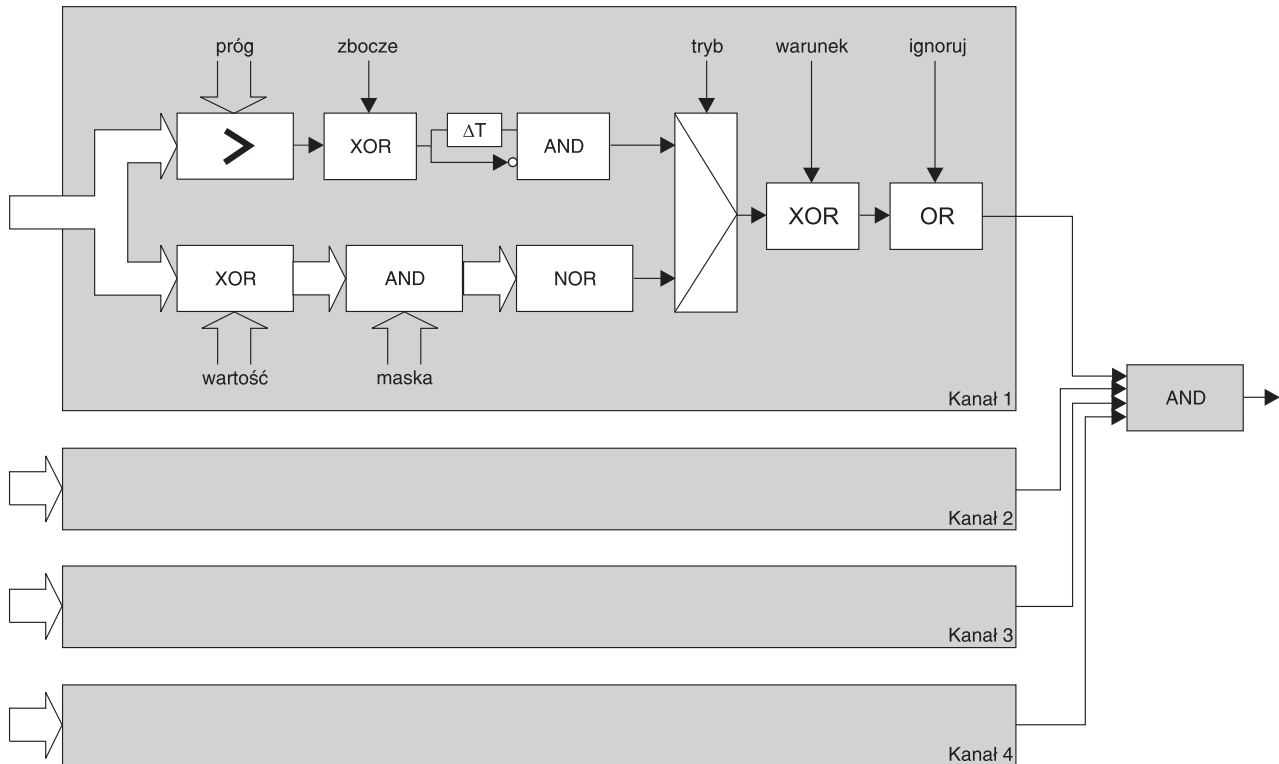
Dane wyjściowe przetwornika mogą być w formacie uzupełnienia do 2 (-128...127) lub naturalnego kodu binarnego (0...255). Wybrano pierwszy format, dzięki czemu dane wyjściowe naturalnie odpowiadają bipolarnemu przebiegowi na wejściu ADC.

*Wejścia cyfrowe*

Wejścia cyfrowe są połączone z układem poprzez dwa 16-bitowe translatory poziomów IDT 74LVC16240. Ponieważ cały układ cyfrowy jest zasilany napięciem 3,3 V, a wiele sygnałów spotykanych w typowych układach ma poziomy np. TTL, taki układ pośredniczący jest konieczny. Odbiorniki układu 74LVC16240 mogą pracować zarówno przy napięciu 5 V jak i 3,3 V (jest to cecha wszystkich układów wykonanych



Rys. 4. Schemat jednego kanału układu THS7002



Rys. 5. Schemat blokowy systemu wyzwalania

w technologii LVCMOS), co zapewnia pożądaną elastyczność korzystania z oscyloskopu pracującego w trybie rejestratora-analizatora stanów logicznych.

#### Multipleksery wejść

Wejścia cyfrowe i analogowe mogą być wybierane dla każdego kanału niezależnie. Służą do tego multipleksery wejść. Ze względu na zmniejszenie liczby układów scalonych i zachowanie dużej szybkości pracy multipleksery zostały zintegrowane wewnątrz układu FPGA - QL3025 firmy Quick-Logic.

#### Wyzwalanie

Układ wyzwalania jest w pełni cyfrowy. Został on zrealizowany jako blok cyfrowy w układzie FPGA. Każdy kanał ma niezależny blok wyzwalania, a sygnał *trigger* dla całego układu jest wytwarzany jako iloczyn logiczny sygnałów ze wszystkich czterech kanałów. Schemat blokowy systemu wyzwalania pokazano na **rys. 5**.

Warunkiem wyzwolenia może być zarówno zgodność bitów z zadany wzorcem jak i wystąpienie zbocza sygnału. Generowane są oba sygnały wyzwalające, a następnie podlegają multipleksowaniu (multipleksy sterowany jest

sygnałem *tryb*). Wyzwalanie wzorcem bitów wymaga określenia, które bity są istotne (*maska*) oraz wartości, przy jakich układ ma zostać wyzwolony (*wartość*). Stosunkowo rzadko spotykaną wśród analizatorów cechą, w jaką wyposażono układ wyzwalania, jest zdolność do negacji warunku wyzwalania tak, że jest możliwe reagowanie nie tylko na pojawienie się odpowiedniej sekwencji bitów na wejściu oscyloskopu, ale także na jej zniknięcie.

Wyzwalanie zboczem jest wykonywane następująco: wartość sygnału wejściowego jest porównywana z zadany progami wyzwalania. Zbocze jest wybierane przy użyciu bramki ExOR. Sygnał wyjściowy bramki określa, czy dana na wejściu jest mniejsza, czy większa od progu. Jest on opóźniany o jeden cykl zegara ( $\Delta T$ ). Wartości: opóźniona i bieżąca są porównywane w bramce logicznej AND. Wykrycie zmiany powoduje wystawienie stanu logicznego 1 na wyjściu bloku wyzwalania.

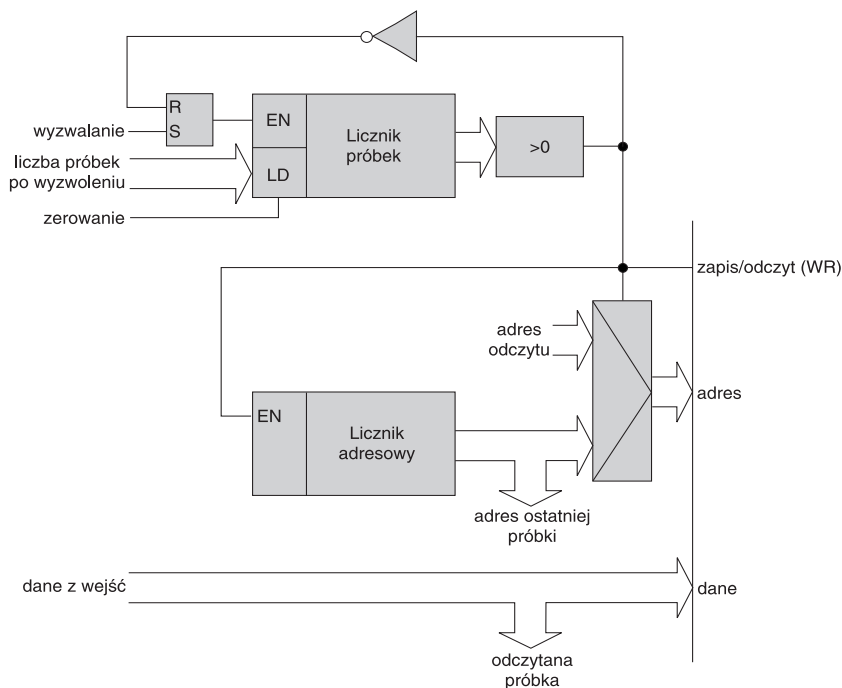
#### Sterowanie

Układ sterowania jest również zintegrowany w FPGA. Podstawowym zadaniem układu sterującego jest dostarczanie sygnałów adresowych do zewnętrznej pamięci

buforowej, a także odliczanie czasu, jaki ma upłynąć między wyzwoleniem układu a zakończeniem zbierania danych.

W opisywanym oscyloskopie układ sterujący odpowiada także za kontrolę odczytu danych z pamięci buforowej po dokonaniu pomiaru.

Podstawowym elementem bloku sterowania jest 16-bitowy licznik adresowy (**rys. 6**), zliczający w przód. Jego inkrementacja następuje pod wpływem sygnału WR (powodującym jednocześnie zapis do pamięci). W ten sposób generowany jest adres zapisu dla pamięci SRAM. Sygnał WR jest ustawiany podczas procedury zerowania, co przygotowuje układ do zebrania nowych próbek. Drugi licznik 16-bitowy zlicza w dół. Podczas zerowania jest on ładowany liczbą próbek, jakie powinny być zapisane po wyzwoleniu pomiaru. Jest on uruchamiany przez sygnał *trigger* pochodzący z opisanego wyżej układu wyzwalania. Kiedy zawartość licznika osiągnie zero, sygnał WR jest zerowany i kończy się faza zapisu do pamięci. Ostatnie 65536 próbek jest dostępnych w pamięci, a ostatnia zawartość licznika adresu (adres ostatniej próbki) jest przechowywana w specjalnym rejestrze.



Rys. 6. Schemat blokowy systemu sterowania

Kiedy sygnał WR jest wyzerowany, czyli po zakończeniu pomiaru, na pamięć SRAM jest podawany adres pochodzący z programowalnych rejestrów adresowych, a w rejestrach danych odwzorowywana jest zawartość zaadresowanych komórek pamięci (słowa). W ten sposób realizowany jest odczyt próbek przez port mikrokontrolera.

### Pamięć buforowa SRAM

Zawartość pamięci w matrycy FPGA nie jest wystarczająca do zbudowania dobrego oscyloskopu, więc skorzystano z pamięci zewnętrznej. Funkcję tę pełni układ IDT 71V632, pierwotnie zaprojektowany jako pamięć *cache* dla procesorów serii Pentium i PowerPC. Wiele możliwości tego układu, jak tryb *burst* lub oddzielne bramkowanie zapisu poszczególnych bajtów, nie jest wykorzystanych w tym zastosowaniu.

Układ IDT to statyczna pamięć synchroniczna. Ten typ pamięci jest stosunkowo rzadko stosowany, lecz tam, gdzie istotny jest krótki czas dostępu i szybki transfer danych, jego osiągi są niedoścignione. Wszystkie szybkie pamięci są synchroniczne (do tej grupy należą także popularne pamięci dynamiczne SDRAM), a ich architektura zapewnia dodatkowo natychmiastowy dostęp do dowolnej po-

zycji w pamięci (zasada działania uniemożliwia korzystanie w ten sposób z pamięci SDRAM, ponieważ są one podzielone na wiersze, kolumny i banki).

W pamięci synchronicznej należy podawać wszystkie sygnały (danych, adresu i sterowania) synchronicznie z aktywnym zboczem sygnału zegarowego. Zastosowanie sygnału zegarowego umożliwia potokową pracę układu pamięci. Na przykład wynik polecenia odczytu pojawia się na wyjściu dopiero po dwóch cyklach - dzięki temu można było podnieść maksymalną częstotliwość zegara do 117 MHz.

Jeżeli szybkość próbkowania miałaby być wyższa, konieczne byłoby skorzystanie z dwóch lub większej liczby pamięci bufora próbek. Wtedy strumień danych jest demultipleksowany na więcej wolniejszych strumieni i np. parzyste próbki trafiają do pierwszego układu pamięci, a nieparzyste do drugiego.

### Zegar

Sygnał zegara systemowego jest generowany przez układ Vaishali VT98521 (produkowane również przez firmę TLSI). Jest to jednoukładowy generator przebiegów prostokątnych o wysokiej częstotliwości. Może on współpracować z rezonatorem kwarcowym. Częstotliwość jego sygnału jest mno-

żona przez jedną z wartości: 3, 3,125, 4, 5, 5,3125, 6, 6,25 lub 8 za pomocą wbudowanej pętli PLL. Ponieważ w systemie potrzebny jest sygnał zegarowy 100 MHz, skorzystano z kwarcu 16 MHz i mnożenia przez 6,25. Jitter tego układu jest bardzo mały i nie przekracza 70 ps.

Oprócz sygnału zegara wewnętrzny oscyloskop może korzystać również z zewnętrznego zegara o częstotliwości nieprzekraczającej 100 MHz. Wejście tego sygnału jest buforowane i wyposażone w translator poziomów 5 V na 3,3 V.

Częstotliwość sygnału zegara (wewnętrznego lub zewnętrznego) może być dzielona wewnątrz układu FPGA przez 2, 5, 10, 20, 50 lub 100. Możliwe też jest korzystanie z zegara o maksymalnej częstotliwości. Przetworniki ADC nie osiągają pełnej dokładności przy prędkościach poniżej 1 MHz, lecz można podłączyć zewnętrzne wolniejsze przetworniki przez złącze analizatora stanów logicznych. Wtedy należy skorzystać ze złącza zewnętrznego sygnału zegarowego.

### Zasilanie

W układzie niezbędne są trzy różne napięcia zasilania: 3,3 V, 12 V, -12 V. Ponieważ dostarczanie wszystkich napięć do układu byłoby kłopotliwe, skorzystano z niewielkich zintegrowanych przetwornic impulsowych. Napięcie 3,3 V zapewnia układ LM2825N-3.3 firmy National Semiconductor, a wysokie napięcia dla elektroniki analogowej generowane są przez przetwornicę PT5061A firmy Texas Instruments. Układ oscyloskopu pobiera prąd o natężeniu ok. 1 A ze źródła zasilania 5 V.

### Interfejs szeregowy

Na płycie znajduje się jeden port RS232 obsługiwany przez mikrokontroler Texas Instruments MSP430F149. Dane są wymieniane z komputerem według prostego protokołu przy szybkości 115,2 kbps. Kontroler pośredniczy między portem RS232, a 8-bitową szyną danych (także wyprowadzoną na oddzielne złącze) łączącą go z matrycą FPGA. Do jego zadań należy także programowanie wzmacniaczy PGA oraz przełączanie umieszczonych pod złączami BNC diod świecących (poprzez magistralę I<sup>2</sup>C).

Te zastosowania nie wyczerpują nawet ułamka olbrzymich możliwości układu MSP430F149, co daje ogromny potencjał rozbudowy. Magistrala I<sup>2</sup>C może zostać w przyszłości wykorzystana także do innych zastosowań, np. do sterowania dodatkowym modułem dwóch przetworników analogowo-

cyfrowych o szybkości próbkowania 200 MHz, podłączanym zamiast wejść cyfrowych.

Wyprowadzona 8-bitowa, asynchroniczna magistrala danych między kontrolerem a FPGA pozwala na zwiększenie szybkości transmisji do komputera albo zbudowania oddzielnego kontrolera

oscyloskopu z własnym wyświetlaczem i panelem sterującym.

**Stanisław Skowronek**

*Wzory płytek drukowanych w formie PDF są dostępne w Internecie pod adresem: <http://www.ep.com.pl/?pdf/pazdziernik03.htm> oraz na płycie CD-EP10/2003B w katalogu PCB.*