

Protel DXP

Przełom na rynku narzędzi EDA dla elektroników, część 2



Kompilowanie projektu w DXP jest zupełnie nowym, ale istotnym składnikiem procesu projektowania. Środowisko Protel DXP posiada wbudowany potężny mechanizm odpowiedzialny za kompilowanie i porównywanie dokumentów składowych całego projektu. Kompilator buduje w pamięci komputera model projektu, który jest następnie sprawdzany pod kątem występowania błędów rysunkowych i elektrycznych.

Kompilacja projektu

Błędy wykryte przez kompilator są wyświetlane w panelu Messages (rys. 7). Dwukrotne kliknięcie myszką na wybranej pozycji w panelu Messages umożliwia przejście do miejsca wystąpienia błędu w dokumencie źródłowym.

Wspomnieliśmy, że kompilacja obejmuje także weryfikację projektu pod kątem występowania błędów. Parametry tej weryfikacji konfigurujemy za pomocą okienka dialogowego Options for Project, które możemy wywołać, np. wybierając z menu Project>Project Options. Spośród całej masy dostępnych opcji pogrupowanych w kilka zakładek, teraz interesują nas te, zawarte pod zakładkami Error Reporting oraz Connection Matrix (rys. 8).

Parametry zgrupowane na zakładce Error Reporting (rys. 9) odpowiadają za tzw. błędy rysunkowe, takie jak np. powtórzone oznaczenia elementów na schemacie, niepodłączone porty zasilania, powielone etykiety sieci itp.

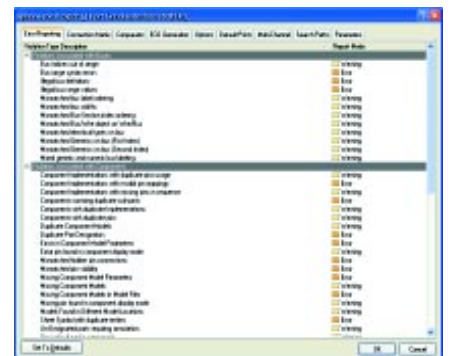
Druga grupa opcji odpowiedzialnych za weryfikację to tzw. macierz połączeń, dostępna na zakładce Connection Matrix. Specyficzna dla Protela macierz połączeń, widoczna na ilustracji, odpowiada za wykrywanie tzw. błędów elektrycznych. Klikając kolorowe pola na przecięciu wierszy i kolumn macierzy, konfigurujemy zachowanie się programu na okoliczność wystąpienia określonych błędów elektrycznych na schematach. Przykładowo, na przecięciu wiersza Output Pin i kolumny Power Pin domyślnie występuje kwadracik koloru pomarańczowego, oznaczający błąd (Error). Takie ustawienie powoduje, że Protel wykrywa połączenie wyprowadzenia typu „wyjście” z wyprowadzeniem typu „zasilanie” i sygnalizuje taki stan jako błąd, co jest dość oczywiste. Konfigurując macierz połączeń, możemy wpłynąć w określony sposób na zachowanie się programu w sytuacji wystąpienia różnego rodzaju błędów elektrycznych. Biorąc pod uwagę możliwą liczbę połączeń pomiędzy kilkunastoma wierszami i kolumnami

macierzy, otrzymamy ponad sto pięćdziesiąt możliwości ustawień. Dla każdej z nich możemy zdefiniować jeden z czterech poziomów sygnalizacji: Błąd Krytyczny (Fatal Error), Błąd (Error), Ostrzeżenie (Warning) i Brak Raportowania (No Report).

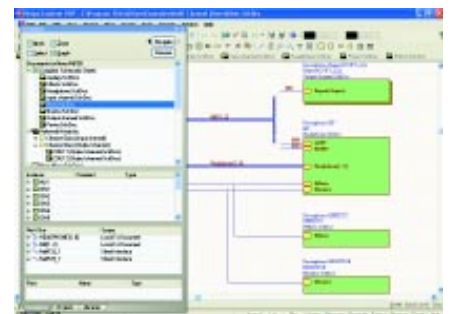
Wcześniej wspomnieliśmy, że podczas kompilacji powstaje model projektu, który odwzorowuje wszystkie relacje pomiędzy jego częściami składowymi. Dotyczy to połączeń pomiędzy arkuszami projektu hierarchicznego, powiązań pomiędzy instancjami poszczególnych kanałów w projekcie wielokanałowym oraz sieci połączeń występującej pomiędzy wszystkimi elementami na arkuszu schematu. Widok skompilowanego projektu pokazuje panel Navigator, za pomocą którego możemy poruszać się po całej strukturze projektu oraz obejrzeć wszystkie połączenia.

Zwracam uwagę, że panel Navigator (rys. 10) daje praktycznie nieograniczone możliwości nawigacji po strukturze projektu, na każdym poziomie i na kilka sposobów. Począwszy od poziomu najwyższego, tj. poszczególnych arkuszy oraz instancji projektu wielokanałowego, poprzez elementy i połączenia na schemacie, aż do poziomu pojedynczych wyprowadzeń elementów i dowolnych parametrów związanych z elementami. Dochodzi do tego możliwości graficznej reprezentacji połączeń z jednoczesnym automatycznym powiększaniem wybranych elementów i maskowaniem pozostałych (rys. 11). Wszystko to powoduje, że poruszanie się po projekcie w programie Protel/nVisage DXP jest proste, łatwe i przyjemne.

Kiedy projekt jest skompilowany i pozabawiony błędów na schematach, możemy przejść do kolejnych etapów projektowania. Bezbłędnie skompilowany projekt to „material” do analiz i symulacji oraz transferu do implementacji - zależnie od rodzaju - na płycie PCB lub w układzie FPGA.



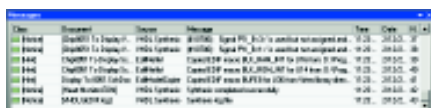
Rys. 9. Okno konfiguracji weryfikacji błędów na schemacie



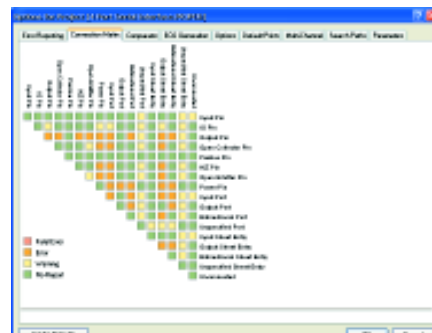
Rys. 10. Navigator pozwala swobodnie przemieszczać się po projekcie



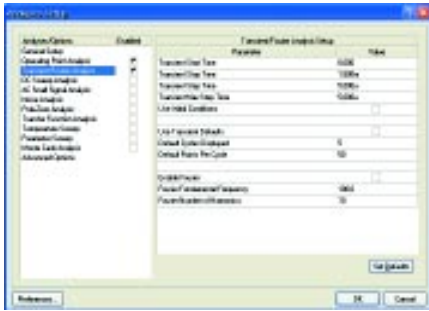
Rys. 11. Połączenia mogą być prezentowane graficznie



Rys. 7. Widok panelu messages



Rys. 8. Okno konfiguracji raportów



Rys. 12. Okno konfiguracji symulatora

Wszechstronna analiza projektu

nVisage i Protel zawierają cały szereg narzędzi do analizy i weryfikacji układu - włączając w to symulator analogowo-cyfrowy typu SPICE3f5/Xspice, symulator VHDL oraz pełne możliwości analizy sygnałowej obwodu. Narzędzia te są całkowicie zintegrowane i gotowe do wykorzystania w razie potrzeby.

Symulator analogowo-cyfrowy

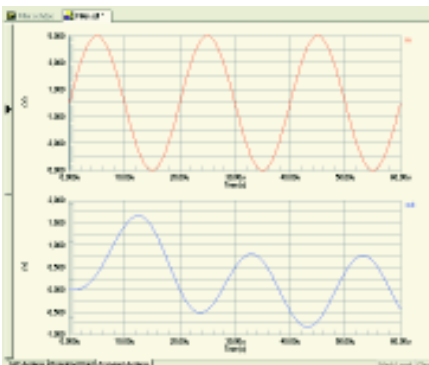
Symulator wykorzystuje rozszerzoną wersję standardu Berkeley SPICE3f5/Xspice, pozwalając na dokładną analizę dowolnych kombinacji układów analogowych i cyfrowych, bez konieczności ręcznego wstawiania przetworników C/A i A/C pomiędzy częściami analogowymi i cyfrowymi. Symulacja układów mieszanych jest możliwa, ponieważ symulator zawiera precyzyjne modele behawioralne układów cyfrowych, zarówno TTL, jak i CMOS. Symulator obsługuje wszystkie modele analogowe kompatybilne ze standardem SPICE.

Symulator oferuje zarówno podstawowe analizy - punktu pracy, analizę przejściową i analizę sygnałową, jak i szereg analiz zaawansowanych np. Fouriera lub Monte Carlo. Na rys. 12 pokazano okienko dialogowe służące do konfiguracji symulatora. W jego lewej części widoczne są wszystkie dostępne rodzaje analiz. Wybierając poszczególne pozycje listy, uzyskujemy dostęp do ich parametrów pokazanych w prawej części okienka.

Wyniki symulacji wyświetlane są na wykresach w postaci przebiegów (przykład pokazano na rys. 13). Szeroki zakres ustawień parametrów obu osi, skali, wielkości i ilości przebiegów na wykresach daje możliwość różnorodnej prezentacji i analizy wyników.

Symulator VHDL

Symulator VHDL to kompletny system umożliwiający kompilację i wykonanie kodu VHDL. Pozwala na analizę funkcjonalną i czasową projektu FPGA. Wyniki symulacji prezentowane są na wykresach w postaci przebiegów czasowych (rys. 14). Dostępny



Rys. 13. Prezentacja wyników symulacji układu analogowego

tryb pracy krokowej pozwala na stopniowe uruchamianie kodu z jednoczesną obserwacją przebiegów i podglądem sygnałów i zmiennych oraz analizą kodu VHDL i odpowiadających mu elementów na schemacie. Możliwość ustawiania pułapek dodatkowo ułatwia uruchamianie projektu.

Analiza sygnałowa obwodu

Wraz ze zwiększaniem częstotliwości pracy współczesnych urządzeń, analiza sygnałowa obwodu staje się coraz bardziej przydatnym narzędziem pracy projektanta. Protel oraz nVisage pozwalają na przeprowadzenie analizy sygnałowej zarówno dla gotowej płyty PCB, jak i zanim jeszcze zaprojektujemy obwód drukowany - na podstawie samego schematu ideowego.

Podstawową zasadą przy projektowaniu, pozwalającą uniknąć problemów związanych z integralnością sygnałów, jest dopasowanie impedancji. Na etapie rysowania schematu osiągamy to przez prawidłowe dopasowanie urządzeń i dobór terminatorów. Natomiast podczas projektowania obwodu drukowanego, przez prawidłowe określenie fizycznych właściwości laminatu oraz odpowiednie prowadzenie ścieżek.

Wstępną analizę sygnałową możemy przeprowadzić jeszcze podczas rysowania schematów. Unikamy w ten sposób ryzyka kosztownego przeprojektowywania płyty, jeśli okaże się, że potrzebne są dodatkowe terminatory lub nawet należy zmienić technologię. Do takiej analizy wystarczy tylko określić średnią impedancję ścieżek, uruchomić symulację i obejrzeć przebiegi sygnałów na wykresach zbliżonych do tych, jakie widzimy na ekranie oscyloskopu. Jeśli zaobserwujemy zniekształcenia sygnałów, mogące mieć wpływ na pracę urządzenia, możemy zastanowić się nad wyborem układów w innej technologii lub spróbować dobrać terminatory. Program pomoże nam szybko określić optymalne wartości elementów terminatora (rys. 15).

Średnia wartość impedancji ścieżek założona podczas wstępnej analizy może być wykorzystana podczas projektowania PCB w celu prawidłowego doboru układu warstw oraz do konfiguracji nowej reguły projektowej na prowadzenie ścieżek wg określonej impedancji. Analiza sygnałowa przeprowadzona na gotowym obwodzie drukowanym pozwala dokładnie sprawdzić jego jakość pod kątem integralności sygnałów.

Przebiegi sygnałów, jakie możemy zaobserwować w wyniku takiej analizy, odpowiadają z dużą dokładnością tym, jakie pojawiają się w rzeczywistym obwodzie. Na wykresach możemy zaobserwować zjawiska przesłuchów pomiędzy ścieżkami, odbicia sygnałów, zmierzyc czas narastania i opadania zbocza oraz impedancję ścieżki (rys. 16).

Należy zaznaczyć, że algorytmy używane podczas analizy są bardzo dokładne, jednak chcąc uzyskać wiarygodne wyniki, musimy dobrze określić parametry elektryczne laminatu i miedzi, na podstawie których program liczy impedancję ścieżek. Ponadto, musimy dysponować odpowiednimi modelami elementów. Większość z nich jest dostępna w bibliotekach dołączonych do programu. Jeśli dla pewnego elementu brakuje modelu, możemy określić go sami lub pozwolić, aby program zastosował model przybliżony.

Praca z wykresami

Wszystkie rodzaje symulacji dostępne w DXP mają wspólną cechę w postaci graficznej reprezentacji wyników na wykresach. Środowisko DXP zawiera dwie przeglądarki



Rys. 14. Wyniki symulacji projektu układu FPGA

przebiegów, obsługujące wszystkie rodzaje wykresów generowanych przez narzędzia do analizy.

Przeglądarka analogowa oferuje takie funkcje jak: podgląd kilku przebiegów, przebiegi nałożone na jednym wykresie z kilkoma osiami Y, kursory służące do precyzyjnego odczytu wartości z wykresów, możliwość zastosowania formuł matematycznych do przebiegów, kopiowanie wykresów do schowka Windows oraz eksport wyników do pliku.

Przeglądarka cyfrowa jest nieco uboższa, ale wyczerpuje typowe potrzeby w zakresie prezentacji przebiegów cyfrowych w funkcji czasu, pomiarów czasu i wyświetlania wartości.

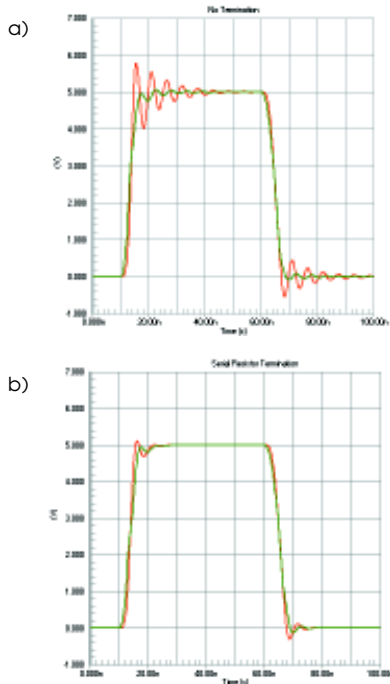
Synteza VHDL

Zagadnienie syntezy dotyczy przetwarzania kodu VHDL przy projektowaniu programalnych układów logicznych. Synteza to złożony proces polegający na transformacji projektu układu logicznego do fizycznej implementacji w układzie FPGA. Programy nVisage i Protel posiadają wbudowane uniwersalne narzędzia do syntezy VHDL pozwalające na wybór jednego z wielu dostępnych na rynku układów programowalnych. Dają swobodny wybór architektury oraz rodziny układów FPGA. Programy posiadają wiele zaawansowanych cech spotykanych zwykle w drogich narzędziach do syntezy FPGA. Podczas syntezy program wyświetla szczegółowe komunikaty w oknie Messages. Klikając na wybranej pozycji z listy w okienku Messages możemy przejść automatycznie do miejsca w projekcie, którego dany komunikat dotyczy. Pozwala to w łatwy i prosty sposób dotrzeć do miejsc, w których program znalazł błędy.

DXP daje możliwość importu informacji o rozkładzie wyprowadzeń generowanych przez zewnętrzne narzędzia do implementacji FPGA. Rozkład wyprowadzeń zaprogramowanego już układu logicznego możemy załadować do programu, zarówno w projekcie FPGA, jak i PCB. Dzięki temu możemy zachować spójny rozkład wyprowadzeń podczas całego procesu projektowania. Aktualnie program obsługuje większość rodzin



Rys. 15. Protel DXP potrafi obliczyć parametry terminatora linii transmisyjnych



Rys. 16. Wyniki symulacji wpływu parametrów terminatora na przesyłany sygnał

układów FPGA, takich producentów jak: Xilinx, Altera, Actel, Atmel, Lattice, Quicklogic i Vantis.

Projekty wielokanałowe

Zaawansowany mechanizm, wspomagający tworzenie projektów wielokanałowych, to nowe i ciekawe zagadnienie, które pojawiło się w DXP. Mechanizm ten ułatwia projektowanie układów, w których pewne części obwodu powtarzają się - dwukrotnie, czterokrotnie czy nawet 32-krotnie. Programy nVisage i Protel DXP posiadają kilka cech,



Rys. 17. Przykładowa struktura projektu 32-kanałowego

które zapewniają pełną obsługę prawdziwych, zagnieżdżonych projektów wielokanałowych. Spośród tych ułatwień należy wymienić automatyczne generowanie wielu instancji arkuszy schematów dla poszczególnych kanałów, zarządzanie oznaczeniami, automatyczne generowanie klas elementów i tworzenie odrębnych obszarów PCB dla poszczególnych kanałów oraz możliwość powielania identycznego rozkładu elementów i ścieżek na PCB dla każdego z kanałów.

Na rys. 17 przedstawiono strukturę przykładowego projektu 32-kanałowego, który zawiera cztery banki, z których każdy jest wyposażony w osiem identycznych kanałów.

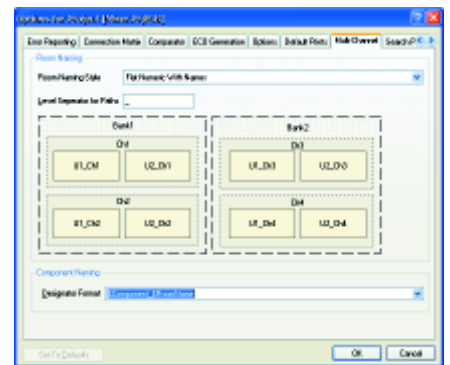
Pojęcie prawdziwego projektowania wielokanałowego, które jest często podkreślane, oznacza, że schemat powtarzającego się kanału rysujemy tylko raz. Nie ma potrzeby tworzenia wielu kopii tego samego arkusza! Projekt na schemacie pozostaje w takim stanie nawet po przeniesieniu do PCB, a system utrzymuje powiązanie jednego elementu logicznego na schemacie do wielu fizycznych elementów na płycie PCB.

Edytor schematów daje nam do dyspozycji dwie możliwości narysowania projektu wielokanałowego - kładziemy osobne symbole arkusza dla każdego kanału, wszystkie odnoszące się do tego samego arkusza schematu lub wykorzystujemy specjalną składnię oznaczenia symbolu arkusza, która reprezentuje wiele kanałów za pomocą jednego symbolu arkusza.

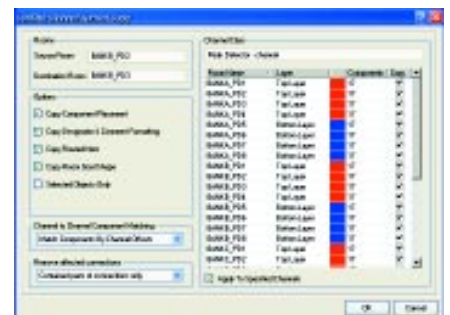
Używając specjalnego słowa kluczowego *Repeat* w oznaczeniu symbolu arkusza, określamy liczbę wystąpień danego kanału. Podczas kompilacji projektu program powieli dany kanał odpowiednią liczbę razy, tworząc wewnętrzny skompilowany model, używając wybranego schematu numeracji w celu unikalnego oznaczenia każdego elementu w każdym kanale. Ten proces nie powieli arkusza schematu dla każdego kanału - schemat pozostaje ciągle jeden. Kiedy projekt jest skompilowany, pojawiają się zakładki w dolnej części okna edytora schematów, po jednej dla każdego kanału.

Sposób mapowania pojedynczego elementu na schemacie z jego kilkoma wystąpieniami (w kilku kanałach) na PCB jest określony przez tzw. schemat oznaczeń ustawiony w okienku dialogowym *Projekt Options* na zakładce *Multi-Channel*. Na rys. 18 pokazano wygląd okna konfiguracyjnego i jeden z możliwych schematów oznaczeń.

Konfiguracja kanałów ze schematów przechodzi automatycznie na rozkład elementów na płycie drukowanej. Kiedy przenosimy projekt do PCB, elementy są układane



Rys. 18. Okno konfiguracji projektu wielokanałowego



Rys. 19. Formaty kanałów można dowolnie kopiować

w grupach (tzw. *component classes*), a każda grupa elementów na płycie jest umieszczana w osobnym obszarze (tzw. *placement room*).

Elementy na PCB układamy tylko dla jednego kanału, wewnątrz jego obszaru, następnie prowadzimy ścieżki, korzystając z polecenia *Autoroute>Room*. Dalej korzystamy z polecenia *Tools>Rooms>Copy Room Formats*, aby powielić krok po kroku rozkład elementów i ścieżek dla wszystkich kanałów. Wspomniana funkcja obsługuje zarówno płyty z dwustronnym rozkładem elementów i ścieżek kanału, jak i jednostronny rozkład dla kanału, który może być powielony po obu stronach płyty. Dostępne możliwości kopiowania formatu kanałów najlepiej ilustruje widok okienka dialogowego na rys. 19.

Grzegorz Witek, Evatronix

Dodatkowe informacje
 Dodatkowe informacje można uzyskać w firmie Evatronix, www.evatronix.com.pl.