

AT89S8253 - nowy mikrokontroler Atmela

Programy pisane w języku C na ogół zajmują więcej pamięci niż ich odpowiedniki assemblerowe. Wygoda programowania często decyduje jednak o tym, że konstruktorzy systemów mikroprocesorowych „przesiadają” się z assemblera na języki wysokiego poziomu. Najczęściej jest to język C. Niewątpliwą zachętą do podejmowania takich kroków jest systematyczne powiększanie pamięci programu w nowych mikrokontrolerach większości producentów.

Wśród konstruktorów projektujących systemy mikroprocesorowe możemy zaobserwować wyraźny podział na fanów poszczególnych rodzin tych układów. Mimo, że większość założeń dla powstających urządzeń można zrealizować niemal w identyczny sposób przy użyciu różnych mikrokontrolerów, to każdy konstruktor najczęściej wybiera ten typ układu, dla którego dysponuje sprawdzonym narzędziem uruchomieniowym, posiada biblioteki procedur i po prostu dobrze go zna. Wśród zwolenników wyśłużonej rodziny MCS-51 powstał jednak kilka lat temu pewien rozłam. Stało się tak, gdy Atmel wypuścił pierwsze mikrokontrolery AVR. Szybko okazało się, że stanowią one bezpośrednią konkurencję dla '51. AVR-y jako nowszy wyrób przechwyciły z pewnością część klientów '51. Głównym ich atutem jest nowocześniejsza, bardziej wydajna jednostka centralna. Czy możemy obecnie mówić o walce o prymat pierwszeństwa

między tymi mikrokontrolerami? Chyba nie. Obie rodziny rozwijają się zupełnie niezależnie. Nie zawsze przesiadka jest uzasadniona. W wielu przypadkach zalety nowego mikrokontrolera nie są wykorzystywane w ogóle, a zmiana narzędzi wywołana jest - powiedzmy sobie szczerze - tylko trendami mody. Mimo błyskotliwej kariery AVR-ów rodzina MCS-51 broni się nadal dzielnie i daleko jej jeszcze do śmierci naturalnej. O oznakach takowej moglibyśmy mówić, gdyby na rynku przestały pojawiać się nowe odmiany układów, tymczasem tak nie jest. Na dowód tego przyjrzyjmy się anonsowanemu na wrzesień 2004 mikrokontrolerowi AT89S8253, który w chwili ukazania się artykułu powinien być już dostępny w handlu.

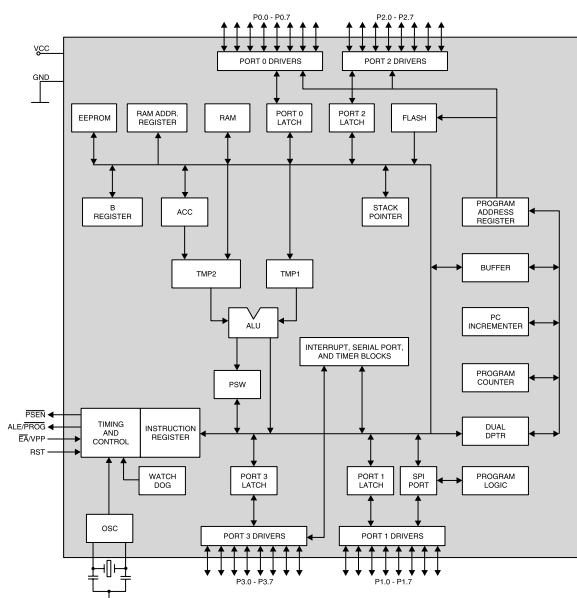
Kilka szczegółów budowy wewnętrznej

O mikrokontrolerze AT89S8253 możemy powiedzieć, że jest to wyrób nowoczesny, mimo że jest klonem układu jakby minionej epoki. Posiada wszystkie ważniejsze parametry obowiązujące współcześnie. Układ ten jest dostosowany do zasilania napięciem od 2,7 do 5,5V, posiada 12 kB programowanej w systemie pamięci programu typu Flash z 3-poziomym systemem zabezpieczeń, 256 B wewnętrznej pamięci RAM, 2 kB pamięci EEPROM. Pamięć programu „wytrzymuje” 10000 cykli kasowania/zapisu, wewnętrzny EEPROM natomiast 100000 takich cykli. Pamięć Flash może być programowana za pośrednictwem interfejsu SPI lub standardowymi programami

torami równoległymi. W układzie tym pozostawiono możliwość korzystania z zewnętrznej pamięci programu. Dostęp do pamięci EEPROM jest możliwy za pośrednictwem odpowiedniego zestawu rejestrów specjalnych (SFR).

Zastosowany w mikrokontrolerze AT89S8253 system redukcji mocy wykorzystuje tryby *Low-power Idle* i *Power-down*. Fakt uśpienia procesora jest sygnalizowany w specjalnym znaczniku *Power off Flag*. Informacja ta może być przydatna w niektórych zastosowaniach. W trybie *Idle* uśpiona zostaje jednostka centralna, zaś bloki peryferyjne pozostają aktywne. Zachowana zostaje zawartość wewnętrznej pamięci RAM i rejestrów specjalnych. Wyjście z tego trybu może nastąpić po wystąpieniu dowolnego przerwania lub po wyzerowaniu procesora. W trybie *Power-down* zostaje zatrzymany oscylator, zawartość RAM-u i rejestrów specjalnych zostaje zachowana do czasu zakończenia uśpienia. Wyjście z trybu *Power-down* może nastąpić po sprzętowym wyzerowaniu procesora lub po wystąpieniu przerwania procesora lub po wystąpieniu przerwania zewnętrznego. Na skutek zerowania zostają ponownie zainicjowane rejestry specjalne, pamięć RAM pozostaje natomiast niezmienną.

Większość praktyków zapewne wie o tym, że pracy mikrokontrolera towarzyszy proporcjonalna do częstotliwości oscylatora emisja zakłóceń EMI (*Electromagnetic Interference*). Dla ich obniżenia w układzie AT89S8253 uwzględniono możliwość wstępnego podziału częstotliwości oscylatora przez 2. Taki tryb pracy pozwala na stosowanie 6MHz rezonatorów, zamiast standardowych 12MHz. Jednostka centralna opisywanego mikrokontrolera jest w pełni statyczna, może pracować z zegarem od 0 do 24 MHz, wykorzystuje podwójny rejestr wskaźnikowy (*Data Pointer*), posiada, 32 linie we/wy ogólnego przeznaczenia, z których część tra-



Rys. 1.

dycyjnie służy do obsługi funkcji alternatywnych. Jest to typowe rozwiązanie stosowane nie tylko w mikrokontrolerach '51. Inne bloki funkcjonalne zaimplementowane w układzie AT89S8253 spotykamy również w innych mikrokontrolerach. Są to: trzy 16-bitowe timery/liczniki, nowocześniejszy układ UART z detekcją błędów ramki i automatycznym rozpoznawaniem adresu, podwójnie buforowany interfejs SPI, timer Watchdog, 5-poziomowy, rozszerzony kontroler przerwań, a także wewnętrzny układ zerowania *Power-on Reset (POR)*. Układ POR zapewnia generowanie prawidłowego sygnału zerowania po ustabilizowaniu się napięcia zasilającego.

Schemat blokowy mikrokontrolera AT89S8253 jest przedstawiony na rys. 1. Jak widać, jego budowa wewnętrzna jest typowa dla rodziny MCS-51. Trzy 8-bitowe porty P1...P3 w ogólnym przypadku mogą być wykorzystywane jako uniwersalne wejścia/wyjścia. W wielu zastosowaniach będą jednak pełniły przydzielone im standardowe funkcje: P0 obsługuje multipleksowaną szynę adresową/danych (nie posiada wewnętrznych rezystorów podciągających o czym należy pamiętać, jeśli port ten będzie pracował jako uniwersalne we/wy), wyprowadzenia P1.0 i P1.1 współpracują z timerem T2, natomiast P1.4 do P1.7 zostały przydzielone do obsługi interfejsu SPI. Port P2 w całości stanowi starszy bajt szyny adresowej. Funkcje portu P3 są również typowe dla '51, poszczególne jego wyprowadzenia odpowiadają liniom !RXD, !TXD, !INT0, !INT1, T0, T1, !WR, !RD. Mikrokontrolery '51 jeszcze nie tak dawno nie były wyposażane w pamięć programu lub miały jej bardzo mało. Musiały więc współpracować z pamięcią zewnętrzną. Niestety odbywało się to kosztem zajęcia aż dwóch portów P0 i P2. W chwili obecnej, gdy programista dostaje do użytku 12kB pamięci najczęściej nie ma już takiej potrzeby, a porty te mogą być wykorzystywane w dowolny sposób. Nadal wyjątkiem pozostają aplikacje, w których CPU będzie się komunikować z innymi urządzeniami zewnętrznymi poprzez szynę adresową i danych (za pośrednictwem rozkazów MOVX). Warto pamiętać, że ograniczenie zewnętrznej przestrzeni adresowej do 256 bajtów pozwoli zaoszczędzić rejestr P2 do zastosowań ogólnych. Obciążalność portów w stanie niskim nie jest zbyt wysoka, wynosi 10 mA dla jednego wyprowadzenia. Obowiązuje rów-

nież ograniczenie do 15mA dla całego portu 8-bitowego, a łączna obciążalność dla wszystkich portów mikrokontrolera nie może przekroczyć wartości 71mA.

Oprócz standardowych dla '51 rejestrów specjalnych, w układzie AT89S8253 możemy znaleźć kilka specyficznych dla tego typu. Są to:

- AUXR służący do konfigurowania wyjścia ALE,
- CLKREG włączający dodatkowy dzielnik częstotliwości oscylatora (przez dwa),
- EECON służący do obsługi pamięci EEPROM, a także do wyboru banku rejestrów wskaźnikowych,
- WDTCN - rejestr sterujący timerem Watchdog,
- SPCR - rejestr sterujący interfejsem SPI,
- SPSR - rejestr stanu interfejsu SPI,
- SPDR - rejestr danych interfejsu SPI.

Timer Watchdog stosowany do zabezpieczania programu przed zawieszeniem się, jak wiadomo, musi być zerowany w pewnych odstępach czasu ustawianych przez programistę. W układzie AT89S8253 można wybrać jedną spośród ośmiu standardowych wartości z zakresu od 16 do 2047 ms. Timery T0 i T1 działają w identyczny sposób jak w mikrokontrolerze 8051, T2 natomiast odpowiada analogicznemu komponentowi mikrokontrolera 8052.

Układ transmisji asynchronicznej UART również odpowiada typowemu dla mikrokontrolera 8051, lecz został dodatkowo wzbogacony o możliwość detekcji błędów ramki, a także automatyczne rozpoznawanie adresu. Ostatnia cecha znacznie ułatwia obsługę transmisji w systemach wieloprotokolowych. W tym przypadku dane są odbierane jedynie wtedy, gdy adres przesłany z nadajnika (*Master*) jest zgodny z adresem własnym odbiornika (*Slave*). Czynności sprawdzające nie wymagają żadnych procedur programowych. System maskowania adresu pozwala na selektywne rozsyłanie wiadomości przez *Master'a* do jednego układu *Slave* lub jednocześnie do wielu.

Interfejs SPI mikrokontrolera AT89S8253 umożliwia prowadzenie synchronicznej transmisji szeregowej z różnymi urządzeniami peryferyjnymi lub innymi procesorami. Może pracować zarówno w trybie *Master*, jak i *Slave*. Maksymalna częstotliwość zegara transmisyjnego jest równa $f_{osc}/4$

lub $f_{osc}/2$ (gdy wybrano wstępny podział częstotliwości oscylatora systemowego przez 2). Kolejność wysyłanych bitów (od LSB lub od MSB) może być ustawiana przez programistę. Odbiornik tego interfejsu jest podwójnie buforowany. Podobnie jest z nadajnikiem, lecz jest to możliwe tylko w trybie rozszerzonym.

Zegar taktujący CPU mikrokontrolera może być generowany wewnętrznie z wykorzystaniem rezonatora kwarcowego lub ceramicznego. Można również doprowadzić zewnętrzny przebieg zegarowy do wejścia XTAL1. Jeśli zastosowano wstępny podział częstotliwości zegara systemowego przez dwa, nie jest istotny współczynnik wypełnienia przebiegu zewnętrznego. Zawsze trzeba oczywiście zapewnić odpowiednie poziomy napięciowe takiego przebiegu.

Mikrokontroler AT89S8253 jest produkowany w obudowach PDIP40, PLCC44, TQFP44 oraz PDIP42. Obudowa PDIP42 została zoptymalizowana pod kątem redukcji zakłóceń EMI. Zastosowano w niej dwa dodatkowe wyprowadzenia zasilające: PWRVDD i PWRGND. Za ich pośrednictwem zasilane są wyłącznicę porty we/wy. Wyprowadzenia PWRVDD i VCC oraz PWRGND i GND powinny być odpowiednio połączone ze sobą na płycie drukowanej.

Podsumowanie

Przeglądając wstępną notę katalogową mikrokontrolera AT89S8253 można się zastanawiać, po co producent wypuszcza kolejny układ, niewiele różniący się od istniejących do tej pory? AT89S8253 pozbawiony jest większych „wodotrysków”. To co posiada, na dobrą sprawę stanowi minimum wyposażenia mikrokontrolerów średniej klasy. Brak choćby najprostszego przetwornika analogowo-cyfrowego na pewno zdyskwalifikuje go w wielu przypadkach. Jedynym argumentem przemawiającym za wprowadzeniem tego układu do oferty handlowej jest dość duża pamięć programu, w dodatku programowana w systemie. Zachętą do sięgania po niego mogą być również pewne elementy pozwalające na redukcję zakłóceń EMI, jakkolwiek jest to „materia” dość trudna do zrozumienia i stosowania w praktyce. Najprawdopodobniej niewielu użytkowników będzie potrafiło w pełni skorzystać z tych możliwości.

Jarosław Doliński, EP
jaroslaw.dolinski@ep.com.pl