

Koniec ery 5 V, część 3

Kompatybilność rodzin układów cyfrowych

W poprzednich odcinkach zapoznaliśmy się z charakterystykami najczęściej stosowanych rodzin układów cyfrowych. Zdobytą do tej pory wiedza dała ogólne pojęcie o możliwościach ich optymalnego - z punktu widzenia danej aplikacji - doboru. Wiedza ogólna, to jednak za mało. W praktyce często zatrzymujemy się na szczegółach technicznych. Wobec tendencji do obniżania napięcia zasilania układów cyfrowych, jednym z najważniejszych problemów, jakie przyjdzie nam rozwiązywać, jest dopasowywanie do siebie układów wykorzystujących różne standardy poziomów logicznych.

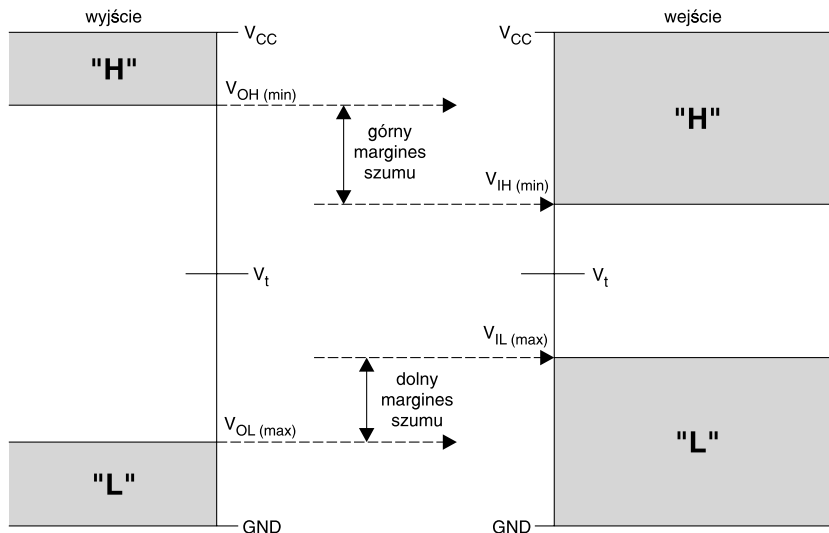


Choć w dobie mikrokontrolerów i układów programowalnych coraz rzadziej sięgamy po układy logiczne w klasycznym wydaniu, to zapewne jeszcze długo (jeśli w ogóle) nie pożegnamy się z nimi na zawsze. Mimo pozornego zaniku popularności bramek, inwerterów, liczników, itp. nie należy lekceważyć znajomości technologii omówionych w poprzednich częściach artykułu. Są one również stosowane do produkcji modnych mikrokontrolerów, FPG-ów, czy ASIC-ów. Dziś niemal w każdym urządzeniu spotykamy się z wieloma różnymi układami, zarówno ze względu na własności funkcjonalne, jak i na technologie wykonania. Najczęściej układy te są zoptymalizowane dla określonego napięcia zasilającego. W efekcie, w jednym systemie konieczne może być stosowanie kilku rodzajów zasilania. Zadaniem konstruktora jest takie zaprojektowanie urządzenia, aby całość, mimo wszystkich powyższych utrudnień, działała prawidłowo.

Poziomy logiczne, kompatybilność układów

George Bool (1815-1864) formułując teorię dość specyficznej algebry, operującej na liczbach przyjmujących jedynie wartości 0 lub 1, z pewnością nie przypuszczał, jak wielkie znaczenie będzie ona miała dla przyszłych pokoleń. To właśnie na tej algebrze opiera się zasada działania współczesnych układów cyfrowych (bramek logicznych, mikroprocesorów, układów programowalnych). Ich wyjścia mogą przyjmować jeden z dwóch możliwych stanów, tak, jak mogą się zmieniać argumenty funkcji logicznych - opisanych algebrą Boole'a. Poszczególnym stanom przypisano odpowiednie przedziały napięciowe: inny dla „0” (stanu niskiego, „L”) i inny dla „1” (stanu wysokiego, „H”). Takie założenie pozwoliło na stosunkowo łatwą realizację fizyczną układów logicznych. Przykładowo, dla standardowej technologii TTL, przyjmuje się, że mini-

malne napięcie wyjściowe dla stanu wysokiego ma wartość $V_{OH}=2,4\text{ V}$, natomiast maksymalne napięcie wyjściowe dla stanu niskiego jest równe $V_{OL}=0,4\text{ V}$. Przyjmuje się ponadto, że stan wysoki może „sięgnąć” aż do wartości napięcia zasilającego, czyli 5 V w przypadku układów TTL, stan niski natomiast „zaczyna się” od poziomu 0 V. Dla zapewnienia warunków kompatybilności pomiędzy dwoma połączonymi ze sobą funktozami niezbędne jest również określenie limitów dla napięć wejściowych. Aby funktoz mógł prawidłowo interpretować stan wejściowy, dopuszczalne napięcia wyjściowe i wejściowe muszą na siebie „zachodzić” zarówno dla stanu niskiego jak i wysokiego (rys. 16). Minimalne napięcie wyjściowe w stanie wysokim V_{OH} musi być więc wyższe od dopuszczalnego, minimalnego napięcia wejściowego w stanie wysokim V_{IH} , natomiast dopuszczalna, maksymalna wartość napięcia wyjściowego w



Rys. 16. Graficzna interpretacja warunku kompatybilności logicznej układów cyfrowych

stanie niskim musi być niższa niż założone, maksymalne napięcie wejściowe dla stanu niskiego. Jeśli warunki te nie będą spełnione, funkcyj może błędnie odczytywać stany wejściowe. Odstęp między napięciami V_{OH} i V_{IH} oraz V_{IL} i V_{OL} nazywane są marginesami szumu. Wyznaczają one pewną granicę bezpieczeństwa. Dla opisywanych wyżej układów TTL przyjmuje się: minimalne napięcie wejściowe dla stanu wysokiego $V_{IH}=2V$ i maksymalne napięcie wejściowe dla stanu niskiego $V_{IL}=0,8V$. Analogiczne parametry dla układów CMOS są definiowane nieco inaczej, co wynika z odmiennej ich budowy. Relacje pomiędzy napięciami V_{OH} i V_{IH} oraz V_{OL} i V_{IL} pozostają te same, natomiast konkretne wartości napięć przyjmuje się zakładając, że: $V_{IH}=0,7 \cdot V_{CC}$, a $V_{IL}=0,3 \cdot V_{CC}$. Współczynniki występujące w powyższych wyrażeniach ulegają nieznaczniemu zmniejszeniu dla napięć zasilających niższych niż 5V. Graficzną interpretację poziomów logicznych dla różnych wersji układów cyfrowych jest przedstawiona na rys. 17.

Zagadnienie kompatybilności układów logicznych stało się istotne z chwilą pojawienia się układów

Warunek kompatybilności układów logicznych

O układzie logicznym A możemy mówić, że jest kompatybilny pod względem poziomów logicznych z układem logicznym B, jeżeli:

$$V_{OH(A)min} > V_{IH(B)min} \text{ i } V_{OL(A)max} < V_{IL(B)max}$$

(patrz rys. 16)
Należy pamiętać, że o pełnej kompatybilności mogą często decydować jeszcze inne względy techniczne.

Tolerancja napięcia wejściowego

O układzie cyfrowym mówimy, że toleruje określone napięcie wejściowe, jeśli podanie takiego napięcia na wejście (w przypadku, gdy jest ono wyższe od napięcia zasilającego) nie powoduje uszkodzenia układu. Przykładowo, układy zasilane napięciem 3,3V, 2,5V, 1,8V, 1,5V, albo 1,2V mogą tolerować wejściowe napięcie 5V.

przeznaczonych dla napięcia zasilającego równego 3,3V. Było to historycznie pierwsze napięcie inne, niż wcześniej długo stosowane 5V. Kolejne wersje układów o coraz niższych napięciach zasilających cechowały się charakterystycznymi dla siebie poziomami logicznymi (rys. 17). Powstał problem łączenia ze sobą układów wykonanych w różnych technologiach. Konstruowanie urządzeń tak, aby zachować jednolitość technologii zastosowanych układów cyfrowych nie zawsze jest możliwe. Wynika to z faktu, że pewne grupy układów cyfrowych są produkowane wyłącznie w określonych technologiach, nie zawsze zgodnych z innymi, występującymi w danej aplikacji. Czasami o konieczności użycia układów różnych serii decyduje po prostu ich dostępność na rynku.

Zapewne każdy, kto pierwszy raz bierze do ręki układ 3-woltowy (tak będziemy umownie nazywać układy przystosowane *de facto* do standardu 3,3V) zadaje sobie pytanie, czy możliwe jest bezpośrednie łączenie go z tradycyjnym układem 5-woltowym. Gdyby połączenie takie było poprawne bez dodatkowych zabiegów, tzn. układy „rozumiałyby” się nawzajem, byłoby to najprostsze rozwiązanie problemu kompatybilno-

ści. Intuicyjnie czujemy, że połączenie wyjścia układu 5-woltowego z wejściem układu 3-woltowego może zakończyć się nawet uszkodzeniem tego drugiego. Połączenie w drugą stronę wydaje się bezpieczne, choć na razie nie wiadomo, czy miałyby sens praktyczny. Niestety w pewnych przypadkach, nawet ta pierwsza, z pozoru bezpieczna konfiguracja teoretycznie mogłaby jednak doprowadzić do uszkodzenia układu zasilanego niższym napięciem. Będzie o tym mowa w dalszej części. Okazuje się, że połączenia opisane wyżej są niekiedy możliwe, a nawet zgodnie z przypuszczeniami pomagają rozwiązywać zagadnienia związane z kompatybilnością logiczną. Warunkiem jest jednak odpowiednia konstrukcja układu zasilanego niższym napięciem. Musi on być przystosowany do tolerowania napięcia wejściowego, wyższego niż jego napięcie zasilające. Warunek ten nie dotyczy zresztą tylko wejść, można sobie bowiem wyobrazić układ np. 3-woltowy, którego wyjścia są dołączone do magistrali współpracującej jednocześnie z układami 5-woltowymi. Jako, że najlepszą formą nauki są ćwiczenia, spróbujmy teraz rozpatrzyć kilka praktycznych przykładów.

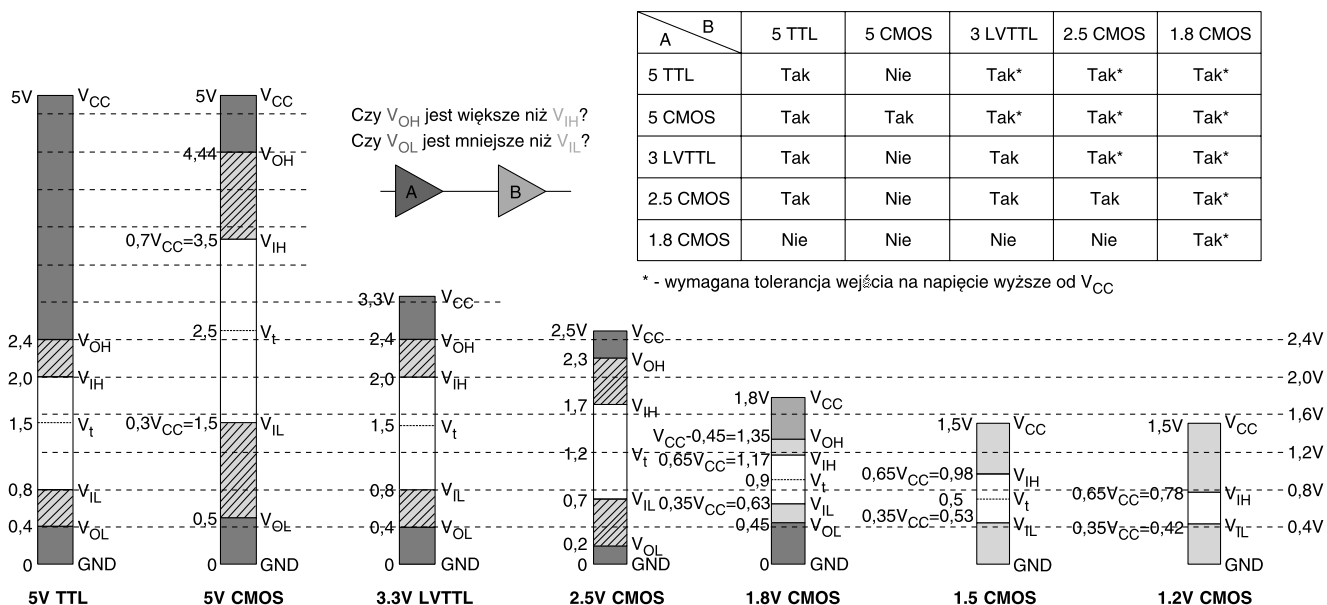
Przykład 1

Wyjście układu ABT (BiCMOS) zasilanego napięciem 5V jest połączone z wejściem układu HC (High-Speed CMOS) zasilanego napięciem 3V. Czy układy te będą ze sobą prawidłowo współpracować?

Z danych katalogowych układów ABT wynika, że przy zasilaniu 5V minimalne napięcie wyjściowe w stanie wysokim V_{OHmin} jest równe 3V, a maksymalne napięcie wyjściowe w stanie niskim V_{OLmax} jest równe 0,55V. Dla układu HC natomiast: $V_{IHmin}=2,1V$ i $V_{ILmax}=0,9V$. Z powyższych zależności widać, że $V_{OHmin} > V_{IHmin}$ i jednocześnie $V_{OLmax} < V_{ILmax}$, a więc oba układy są ze sobą kompatybilne pod względem poziomów logicznych. Układ HC to-

Tolerancja napięcia wyjściowego

O układzie cyfrowym mówimy, że toleruje określone napięcie wyjściowe, jeśli podanie takiego napięcia (w przypadku, gdy jest ono wyższe od napięcia zasilającego) na wyjście znajdujące się w stanie wysokiej impedancji, nie powoduje uszkodzenia układu. Przykładem może być układ 74LV245A przystosowany do napięcia zasilającego 3,3V (2...3,6V), którego wyjście w stanie wysokiej impedancji toleruje napięcie o wartości 5,5V.



Rys. 17. Definicje różnych standardów poziomów logicznych

leruje napięcia wejściowe o wartości maksymalnej V_{CC}, czyli w tym przypadku 3V. Niestety, przy 5V zasilaniu układu ABT, nie można wykluczyć, że jego napięcie wyjściowe w stanie wysokim przekroczy wartość 3V. W takiej sytuacji może dojść do uszkodzenia układu HC. Wniosek: oba układy nie mogą ze sobą bezpośrednio współpracować.

Przykład 2

Wyjście układu AHC (Advanced High-Speed CMOS) zasilanego napięciem 3,3V jest połączone z wejściem takiego samego układu zasilanego napięciem 2,5V. Czy układy te będą ze sobą prawidłowo współpracować?

Z rysunku 17 wynika, że jeżeli V_{CC}=3,3V, to napięcie V_{OLmax}=0,4V. Napięcie to jest mniejsze od V_{ILmax}=0,7V dla V_{CC}=2,5V. Jak widać, w stanie niskim uzyskuje się margines szumu równy 300mV (rys. 16). Analogicznie, jeżeli V_{CC}=3,3V, to napięcie V_{OHmin}=2,4V. Napięcie to jest większe od V_{IHmin}=1,7V dla V_{CC}=2,5V. W tym przypadku margines szumu jest równy 700mV. Z tolerancją napięciową wejść nie ma problemu, gdyż układy AHC dopuszczają napięcia wejściowe o wartości do 7V. Wniosek: układy w takim połączeniu będą ze sobą prawidłowo współpracowały.

Przykład 3

Rozpatrzmy sytuację podobną, jak w przykładzie 2, tylko układy zostaną połączone odwrotnie, tzn. układ zasilany napięciem 2,5V będzie sterował układem zasilanym

napięciem 3,3V. Postępujemy podobnie jak w przykładzie 2. Z rysunku 17 odczytujemy, że jeżeli V_{CC}=2,5V, to napięcie V_{OLmax}=0,4V. Napięcie to jest mniejsze od V_{ILmax}=0,8V dla V_{CC}=3,3V. W stanie niskim uzyskuje się margines szumu równy 400mV. Analogicznie, jeżeli V_{CC}=2,5V, to napięcie V_{OHmin}=2,0V. Napięcie to jest równe napięciu V_{IHmin}=2,0V dla V_{CC}=3,3V. W tym przypadku margines szumu jest równy 0 i dlatego współpraca układów, choć przy odrobinie szczęścia byłaby teoretycznie możliwa, to konstruktor nie może w ten sposób projektować aplikacji.

Przykład 4

Rozpatrzmy jeszcze dwa przypadki, z którymi dość często możemy się spotkać w praktyce.

1. Czy układ wykonany w technologii CMOS zasilany napięciem 5V może prawidłowo sterować układem TTL, zasilanym napięciem 5V lub LVTTTL zasilanym z 3,3V?

Minimalne napięcie wyjściowe układu CMOS w stanie wysokim jest równe V_{OHmin}=4,44V, natomiast minimalne, dopuszczalne napięcie wejściowe w stanie wysokim dla układów TTL i 3.3V-LVTTTL jest równe V_{IHmin}=2V. W tym stanie układy są więc zgodne, zachowując nawet dość duży margines szumu. W stanie niskim również zostaje zapewniona zgodność, gdyż dla układu CMOS U_{OLmax}=0,5V. Napięcie to jest niższe od V_{ILmax}=0,8V dla układów TTL i 3.3V-LVTTTL. Należy jednak zwrócić uwagę na to, że napięcie wyjścio-

we w stanie wysokim układu CMOS jest większe od napięcia zasilającego układ LVTTTL. Warunkiem poprawnej współpracy będzie więc tolerowanie 5-woltowych sygnałów wejściowych przez układ LVTTTL.

2. Tym razem odwrócimy kolejność. Czy układ TTL, zasilany napięciem 5V lub LVTTTL zasilany z 3,3V może prawidłowo sterować układem CMOS zasilanym napięciem 5V?

Niestety, minimalne, dopuszczalne napięcie wejściowe w stanie wysokim układu CMOS (V_{IHmin}=0,7*V_{CC}=3,5V) jest wyższe, niż minimalne napięcie wyjściowe w stanie wysokim układów TTL i LVTTTL (V_{OHmin}=2,4V). Odpowiedź jest więc negatywna. W takiej konfiguracji układy nie będą ze sobą współpracowały prawidłowo. Ale, ale... Tak będzie w przypadku stosowania „zwykłych” układów CMOS, np. serii 4000, AC, HC, AHC. Mają one wejścia i wyjścia typu CMOS. Istnieją jednak przecież bliźniacze serie ACT, HCT i AHCT posiadające wejścia typu TTL, a wyjścia typu CMOS. Takie układy możemy z powodzeniem stosować jako CMOS-y z powyższego przykładu.

W kolejnym odcinku zostaną przedstawione wskazówki, o których warto pamiętać przy projektowaniu układów zasilanych różnymi napięciami zasilającymi. Zostaną również zaprezentowane przykładowe rozwiązania praktyczne.

Jarosław Doliński, EP
jaroslaw.dolinski@ep.com.pl